



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월06일

(11) 등록번호 10-1534163

(24) 등록일자 2015년06월30일

(51) 국제특허분류(Int. Cl.)

G01R 31/26 (2014.01) G11C 29/00 (2006.01)

H01L 21/66 (2006.01)

(21) 출원번호 10-2009-0028027

(22) 출원일자 2009년04월01일

심사청구일자 2014년03월24일

(65) 공개번호 10-2010-0109662

(43) 공개일자 2010년10월11일

(56) 선행기술조사문헌

JP2006300922 A

KR1020060029725 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

이정국

경기도 용인시 기흥구 한보라1로43번길 22, 한보  
라마을아파트 503동 1502호 (보라동)

이성희

서울특별시 동작구 동작대로29길 115, 우성 아파  
트 305동 402호 (사당동)

(74) 대리인

박영우

전체 청구항 수 : 총 2 항

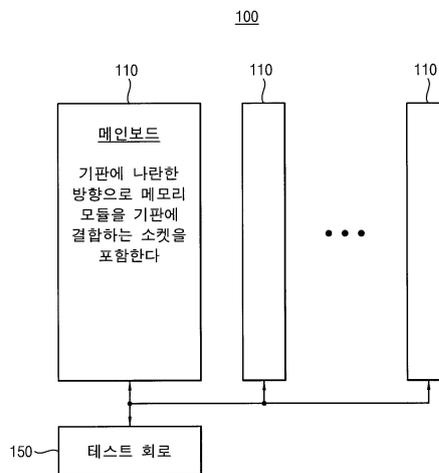
심사관 : 박근용

(54) 발명의 명칭 **실장 테스트에 적합한 메인 보드 및 이를 포함하는 메모리 실장 테스트 시스템**

**(57) 요약**

실장 테스트에 적합한 메인 보드 및 이를 포함하는 메모리 실장 테스트 시스템이 개시된다. 메인 보드는 기판, 및 메모리 모듈을 상기 기판에 나란한 방향으로 상기 기판에 직접 결합하는 적어도 하나의 소켓을 포함한다. 메모리 실장 테스트 시스템은 복수의 메인 보드 및 테스트 회로를 포함한다. 테스트 회로는 상기 메인 보드들에 전기적으로 연결되고, 상기 메인 보드들 각각에 장착되어 있는 메모리 모듈들의 양호/불량을 테스트한다. 따라서, 복수의 메인 보드로 구성된 메모리 실장 테스트 시스템은 시스템 사이즈가 작으며, 테스트 효율이 높다.

**대표도** - 도1



**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

메모리 모듈을 기관에 나란한 방향으로 상기 기관에 직접 결합하는 소켓을 갖는 복수의 메인 보드; 및

상기 메인 보드들에 전기적으로 연결되고, 어드레스 신호, 제어 신호 및 데이터 신호를 상기 메인 보드들에 제공하고 상기 메인 보드들 각각에 장착되어 있는 메모리 모듈들의 양호/불량을 테스트하는 테스트 회로를 포함하는 메모리 실장 테스트 시스템으로서,

상기 메모리 실장 테스트 시스템은

상기 메모리 모듈들이 2 이상의 랭크(rank)를 가지는 경우, 상기 메모리 모듈들을 1 개의 랭크를 갖는 것으로 인식하여 상기 메모리 모듈들을 테스트하는 것을 특징으로 하는 메모리 실장 테스트 시스템.

**청구항 9**

삭제

**청구항 10**

제 8 항에 있어서,

상기 메모리 모듈들 각각에 대하여 제 1 랭크에 연결된 칩 선택 신호용 버스와 제 2 랭크에 연결된 칩 선택 신호용 버스는 전기적으로 연결되고, 상기 제 1 랭크에 연결된 클럭 인에이블 신호용 버스와 상기 제 2 랭크에 연결된 클럭 인에이블 신호용 버스는 서로 전기적으로 연결된 것을 특징으로 하는 메모리 실장 테스트 시스템.

**발명의 설명**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 메모리 실장 테스트 시스템에 관한 것으로, 특히 실장 테스트에 적합한 메인 보드 및 이를 포함하는 메모리 실장 테스트 시스템에 관한 것이다.

**배경 기술**

[0002] 종래에는 자동측정장비(Automatic Test Equipment; ATE)를 사용하여 특정한 신호 패턴을 반도체 장치에 인가하고, 반도체 장치로부터 출력되는 신호를 분석함으로써 반도체 장치의 양호/불량 여부를 테스트하였다.

[0003] 그러나, 반도체 장치가 고용량화, 고속화되면서 각각의 반도체 장치를 테스트하는 비용이 높아지고, 반도체 장치가 실제로 설치되어 사용되는 환경이 아니라 별도의 실험 환경에서 테스트가 수행됨으로 인하여, 반도체 장치의 정확한 테스트가 어려웠다.

[0004] 최근에는, 마더 보드(mother board)라 불리는 메인 보드(main board)를 사용하여 메모리 장치들을 포함하는 메모리 모듈을 실제 환경에서 실장 테스트를 수행한다. 개인용 컴퓨터(personal computer)에 사용되는 DRAM(Dynamic Random Access Memory) 모듈을 메인 보드에 삽입하고 실제 환경에 따른 테스트 프로그램을 구동하여, 개인용 컴퓨터가 정상적으로 동작하면 양호로 판단하고, 동작이 비정상적으로 이루어지면 불량으로 판단한다.

[0005] 그러나, 고용량의 메모리 장치들을 시스템 레벨에서 테스트를 수행하는 것은 테스트 시간이 많이 소요되고 테스트 비용이 높아진다.

**발명의 내용**

**해결 하고자하는 과제**

[0006] 본 발명의 목적은 실장 테스트에 적합한 메인 보드를 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 메인 보드를 포함하는 메모리 실장 테스트 시스템을 제공하는 것이다.

**과제 해결수단**

[0008] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 메인 보드는 기관, 및 메모리 모듈을 상기 기관에 나란한 방향으로 상기 기관에 직접 결합하는 적어도 하나의 소켓을 포함한다.

[0009] 본 발명의 하나의 실시예에 의하면, 상기 소켓은 상기 기관의 상부에 설치될 수 있다.

[0010] 본 발명의 하나의 실시예에 의하면, 상기 메인 보드는 앞면에 중앙처리장치, 메모리 컨트롤러 및 입출력 제어회로를 포함할 수 있다.

[0011] 본 발명의 하나의 실시예에 의하면, 상기 소켓은 상기 기관의 앞면에 결합될 수 있다.

[0012] 본 발명의 하나의 실시예에 의하면, 상기 소켓은 상기 기관의 뒷면에 결합될 수 있다.

[0013] 본 발명의 하나의 실시예에 의하면, 상기 소켓은 상기 기관의 앞면 및 뒷면에 결합될 수 있다.

[0014] 본 발명의 하나의 실시예에 의하면, 상기 메인 보드는 중앙처리장치, 메모리 컨트롤러 및 입출력 제어회로를 포함하는 제 1 메인 보드, 및 외부 장치들과 인터페이스하는 인터페이스 회로를 포함하는 제 2 메인 보드를 포함할 수 있다.

[0015] 본 발명의 하나의 실시형태에 따른 메모리 실장 테스트 시스템은 복수의 메인 보드 및 테스트 회로를 포함한다.

[0016] 메인 보드들은 각각 메모리 모듈을 기관에 나란한 방향으로 상기 기관에 직접 결합하는 소켓을 갖는다. 테스트 회로는 상기 메인 보드들에 전기적으로 연결되고, 어드레스 신호, 제어 신호 및 데이터 신호를 상기 메인 보드들에 제공하고 상기 메인 보드들 각각에 장착되어 있는 메모리 모듈들의 양호/불량을 테스트한다.

[0017] 본 발명의 하나의 실시예에 의하면, 상기 메모리 실장 테스트 시스템은 상기 메모리 모듈들이 2 이상의 랭크(rank)를 가지는 경우, 상기 메모리 모듈들을 1 개의 랭크를 갖는 것으로 인식하여 상기 메모리 모듈들을 테스트할 수 있다.

[0018] 본 발명의 하나의 실시예에 의하면, 상기 메모리 모듈들 각각에 대하여 제 1 랭크에 연결된 칩 선택 신호용 버스와 제 2 랭크에 연결된 칩 선택 신호용 버스는 전기적으로 연결되고, 상기 제 1 랭크에 연결된 클럭 인에이블

신호용 버스와 상기 제 2 랭크에 연결된 클럭 인에이블 신호용 버스는 서로 전기적으로 연결될 수 있다.

**효 과**

[0019] 본 발명의 실시예들에 따른 메인 보드는 기판에 나란한 방향으로 메모리 모듈을 기판에 직접 결합하는 소켓을 포함한다. 복수의 메인 보드로 구성된 메모리 실장 테스트 시스템은 메인 보드와 메모리 모듈들이 나란한 방향으로 배치되므로, 공간을 적게 차지하고 시스템 사이즈가 작다. 또한, 본 발명의 실시예들에 의한 메인 보드를 포함하는 메모리 실장 테스트 시스템은 2 개 이상의 랭크를 갖는 메모리 모듈의 경우, 메모리 모듈들을 1 개의 랭크를 갖는 것으로 인식하여 메모리 모듈들을 테스트한다. 따라서, 본 발명의 메모리 실장 테스트 시스템은 테스트 시간을 적게 사용하므로 테스트 효율이 높다.

**발명의 실시를 위한 구체적인 내용**

[0020] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0022] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0026] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0028] 도 1은 본 발명의 제 1 실시예에 따른 메모리 실장 테스트 시스템을 나타내는 개략도이다.

[0029] 도 1을 참조하면, 메모리 실장 테스트 시스템(100)은 메인 보드들(110) 및 테스트 회로(150)를 포함한다.

[0030] 메인 보드들(110) 각각은 후술하는 바와 같이 메모리 모듈을 기판(substrate)에 나란한 방향으로 상기 기판에 직접 결합하는 소켓을 포함한다. 테스트 회로(150)는 메모리 모듈들이 전기적으로 결합된 메인 보드들(110)에 어드레스 신호, 제어 신호 및 데이터 신호를 제공하고 메모리 모듈들의 양호/불량을 테스트 한다.

- [0031] 도 1의 메모리 실장 테스트 시스템(100)은 메인 보드들(110) 각각에 메모리 모듈들이 나란한 방향으로 장착되므로, 공간을 적게 차지하고 시스템 사이즈가 작다.
- [0032] 도 2는 도 1의 메모리 실장 테스트 시스템(100)을 구성하는 메인 보드(110)의 개략적인 구성의 하나의 예를 나타내는 측면도이다.
- [0033] 도 2를 참조하면, 메인 보드(110a)는 제 1 기판(111), 제 1 메모리 모듈(116)을 제 1 기판(111)에 나란한 방향으로 제 1 기판(111)에 직접 결합하는 제 1 소켓(112)을 포함한다. 제 1 기판(111)은 인쇄회로기판(printed circuit board)일 수 있다. 제 1 소켓(112)은 제 1 금속 선(metal line)(113)을 통해 제 1 기판(111)에 전기적으로 결합될 수 있다. 제 1 메모리 모듈(116)은 제 2 기판(117) 및 제 2 기판(117)의 양쪽 면에 부착된 메모리 장치들(118, 119)을 포함한다. 또한, 메인 보드(110a)는 메모리 컨트롤러(114) 및 중앙처리 장치(115)를 더 포함할 수 있다.
- [0034] 제 1 소켓(112)은 메모리 컨트롤러(114) 및 중앙처리 장치(115)가 장착된 메인보드(110a)의 제 1 기판(111)의 앞면에 결합된다. 실장 테스트를 수행할 때, 메모리 모듈의 장착을 용이하게 하기 위해, 제 1 소켓(112)은 제 1 기판(111)의 상부(upper portion)에 설치될 수 있다.
- [0035] 도 2의 메인 보드(110a) 상에는 제 1 메모리 모듈(116)을 제 1 기판(111)에 결합하기 위한 제 1 소켓(112), 메모리 컨트롤러(114) 및 중앙처리 장치(115) 외에도 입출력 제어회로, 인터페이스 회로 등이 장착될 수 있다.
- [0036] 도 3은 도 1의 메모리 실장 테스트 시스템(100)을 구성하는 메인 보드(110)의 개략적인 구성의 하나의 예를 나타내는 측면도이다.
- [0037] 도 3을 참조하면, 메인 보드(110b)는 제 1 기판(111), 제 2 메모리 모듈(126)을 제 1 기판(111)에 나란한 방향으로 제 1 기판(111)에 직접 결합하는 제 2 소켓(122)을 포함한다. 제 1 기판(111)은 인쇄회로기판(printed circuit board)일 수 있다. 제 2 소켓(122)은 제 2 금속 선(123)을 통해 제 1 기판(111)에 전기적으로 결합될 수 있다. 제 2 메모리 모듈(126)은 제 3 기판(127) 및 제 3 기판(127)의 양쪽 면에 부착된 메모리 장치들(128, 129)을 포함한다. 또한, 메인 보드(110b)는 메모리 컨트롤러(114) 및 중앙처리 장치(115)를 더 포함할 수 있다.
- [0038] 제 2 소켓(122)은 메모리 컨트롤러(114) 및 중앙처리 장치(115)가 장착된 메인보드(110b)의 제 1 기판(111)의 뒷면에 결합된다. 실장 테스트를 수행할 때, 메모리 모듈의 장착을 용이하게 하기 위해, 제 2 소켓(122)은 제 1 기판(111)의 상부에 설치될 수 있다.
- [0039] 도 3의 메인 보드(110b) 상에는 제 2 메모리 모듈(126)을 제 1 기판(111)에 결합하기 위한 제 2 소켓(122), 메모리 컨트롤러(114) 및 중앙처리 장치(115) 외에도 입출력 제어회로, 인터페이스 회로 등이 장착될 수 있다.
- [0040] 도 4는 도 1의 메모리 실장 테스트 시스템(100)을 구성하는 메인 보드(110)의 개략적인 구성의 하나의 예를 나타내는 측면도이다.
- [0041] 도 4를 참조하면, 메인 보드(110c)는 제 1 기판(111), 제 1 메모리 모듈(116)을 제 1 기판(111)에 나란한 방향으로 제 1 기판(111)에 직접 결합하는 제 1 소켓(112), 제 2 메모리 모듈(126)을 제 1 기판(111)에 나란한 방향으로 제 1 기판(111)에 직접 결합하는 제 2 소켓(122)을 포함한다. 제 1 기판(111)은 인쇄회로기판(printed circuit board)일 수 있다. 제 1 소켓(112)은 제 1 금속 선(metal line)(113)을 통해 제 1 기판(111)에 전기적으로 결합될 수 있고, 제 2 소켓(122)은 제 2 금속 선(123)을 통해 제 1 기판(111)에 전기적으로 결합될 수 있다. 제 1 메모리 모듈(116)은 제 2 기판(117) 및 제 2 기판(117)의 양쪽 면에 부착된 메모리 장치들(118, 119)을 포함하고, 제 2 메모리 모듈(126)은 제 3 기판(127) 및 제 3 기판(127)의 양쪽 면에 부착된 메모리 장치들(128, 129)을 포함한다. 또한, 메인 보드(110c)는 메모리 컨트롤러(114) 및 중앙처리 장치(115)를 더 포함할 수 있다.
- [0042] 제 1 소켓(112)은 메모리 컨트롤러(114) 및 중앙처리 장치(115)가 장착된 메인보드(110a)의 제 1 기판(111)의 앞면에 결합되고, 제 2 소켓(122)은 메모리 컨트롤러(114) 및 중앙처리 장치(115)가 장착된 메인보드(110b)의 제 1 기판(111)의 뒷면에 결합된다. 실장 테스트를 수행할 때, 메모리 모듈의 장착을 용이하게 하기 위해, 제 1 소켓(112) 및 제 2 소켓(122)은 제 1 기판(111)의 상부에 설치될 수 있다.
- [0043] 도 4의 메인 보드(110c) 상에는 제 1 메모리 모듈(116)을 제 1 기판(111)에 결합하기 위한 제 1 소켓(112), 제 2 메모리 모듈(126)을 제 1 기판(111)에 결합하기 위한 제 2 소켓(122), 메모리 컨트롤러(114) 및 중앙처리 장치(115) 외에도 입출력 제어회로, 인터페이스 회로 등이 장착될 수 있다.

- [0044] 도 5는 도 1의 메모리 실장 테스트 시스템(100)을 구성하는 메인 보드(110)의 개략적인 구성의 하나의 예를 나타내는 평면도이다.
- [0045] 도 5를 참조하면, 메인 보드(200)는 기판(210), 소켓(MODULE SOCKET)(220), 중앙처리 장치(CPU)(230), 메모리 컨트롤러(MCH)(240), 입출력 제어회로(ICH)(250) 및 인터페이스 회로(260)를 포함한다. 기판(210)은 인쇄회로기판(printed circuit board)일 수 있다.
- [0046] 실장 테스트를 수행할 때, 메모리 모듈의 장착을 용이하게 하기 위해, 소켓(MODULE SOCKET)(220)은 기판(210)의 상부에 배치될 수 있다.
- [0047] 일반적으로, 메인 보드(200) 상에서 소켓(MODULE SOCKET)(220), 중앙처리 장치(CPU)(230), 메모리 컨트롤러(MCH)(240) 및 입출력 제어회로(ICH)(250)들 사이의 거리(D1, D2, D3)는 규격(specification)으로 정해져 있다. 따라서, 메모리 모듈의 장착을 용이하게 하기 위해 소켓(MODULE SOCKET)(220)을 기판(210)의 상부에 위치시키면, 중앙처리 장치(CPU)(230), 메모리 컨트롤러(MCH)(240) 및 입출력 제어회로(ICH)(250)들도 소켓(MODULE SOCKET)(220)과의 적절한 거리를 유지하기 위하여 기판(210)의 위 부분에 배치한다. 외부 장치들과 인터페이스하는 인터페이스 회로(260)는 기판(210)의 하부에 배치될 수 있다.
- [0048] 도 6은 도 1의 메모리 실장 테스트 시스템(100)을 구성하는 메인 보드(110)의 개략적인 구성의 다른 하나의 예를 나타내는 평면도이다.
- [0049] 도 6을 참조하면, 메인 보드(300)는 제 1 기판(310), 제 2 기판(315), 소켓(MODULE SOCKET)(320), 중앙처리 장치(CPU)(330), 메모리 컨트롤러(MCH)(340), 입출력 제어회로(ICH)(350) 및 인터페이스 회로(360)를 포함한다. 소켓(MODULE SOCKET)(320), 중앙처리 장치(CPU)(330), 메모리 컨트롤러(MCH)(340), 입출력 제어회로(ICH)(350)는 제 1 기판(310) 상에 배치되고, 인터페이스 회로(360)는 제 2 기판(315) 상에 배치된다. 제 1 기판(310) 및 제 2 기판(315)은 인쇄회로기판(printed circuit board)일 수 있다. 제 1 기판(310)과 제 2 기판(315)은 커넥터들(317, 318)을 통해 전기적으로 연결될 수 있다.
- [0050] 도 6의 예에서, 제 1 기판(310)과 제 2 기판(315)은 물리적으로 분리되어 있다. 실장 테스트를 수행할 때, 메모리 모듈의 장착을 용이하게 하기 위해, 소켓(MODULE SOCKET)(320)은 기판(310)의 상부에 배치될 수 있다.
- [0051] 메모리 모듈의 장착을 용이하게 하기 위해 소켓(MODULE SOCKET)(320)을 기판(310)의 상부에 위치시키면, 중앙처리 장치(CPU)(330), 메모리 컨트롤러(MCH)(340) 및 입출력 제어회로(ICH)(350)들도 소켓(MODULE SOCKET)(320)과의 적절한 거리(D1, D2, D3)를 유지하기 위하여 제 1 기판(310) 상에 배치한다. 외부 장치들과 인터페이스하는 인터페이스 회로(360)는 제 2 기판(315) 상에 배치될 수 있다.
- [0052] 도 7은 본 발명의 제 2 실시예에 따른 메모리 실장 테스트 시스템(400)을 나타내는 개략도이다.
- [0053] 도 7을 참조하면, 메모리 실장 테스트 시스템(400)은 기판(410), 커넥터(420), 중앙처리 장치(425), 소켓들(430)로 구성된 복수의 메인 보드를 일정한 간격으로 수직으로 배치되어 있다. 또한, 메모리 실장 테스트 시스템(400)은 전원 공급 장치들(PS)(440)을 가지며, 전원 공급 장치들(PS)(440)은 메인 보드들 각각에 하나씩 연결될 수도 있고, 수 개의 메인 보드들 마다 하나의 전원 공급 장치들이 연결될 수도 있다. 메모리 실장 테스트 시스템(400)은 메모리 모듈들을 실장 테스트하기 위해 기판(410)에 결합된 커넥터(420)를 통해 어드레스 신호, 제어 신호 및 데이터 신호를 메모리 모듈들에 제공한다.
- [0054] 도 8 및 도 9는 각각 3 개의 층, 2 개의 열로 구성된 메모리 실장 테스트 시스템을 나타내는 측면도 및 정면도이다.
- [0055] 도 8 을 참조하면, 메모리 실장 테스트 시스템(500)은 3 개의 층(510, 520, 530)으로 구성되어 있으며, 각 층에는 40 개의 메인 보드가 설치되어 있다. 각 층은 2 개의 스테이션(station)으로 구성되어 있으며, 1 개의 스테이션에는 20 개의 메인 보드가 설치된다.
- [0056] 도 9를 참조하면, 메모리 실장 테스트 시스템(600)은 2 개의 열(610, 620)로 구성되어 있으며, 앞 열(FRONT)의 2 층에는 메인 보드가 설치되지 않고 트레이(TRAY)가 배치된다. 따라서, 앞 열(610)과 뒤 열(620) 전체적으로 1 층과 3 층에는 각각 80 개의 메인 보드가 설치되고 2 층에는 40 개의 메인 보드가 설치된다. 앞 열(610)의 1 층에는 메인 보드(614)가, 2 층에는 트레이들(612, 613)이, 3 층에는 메인보드(611)가 설치된다. 뒤 열(620)의 1 층에는 메인 보드(623)가, 2 층에는 메인 보드(622)가, 3 층에는 메인보드(621)가 설치된다. 메인 보드들 각각은 지지대(616) 및 소켓(615)을 구비한다.

- [0057] 도 8 및 도 9에 도시된 바와 같이, 수십 개의 메인 보드들을 구비한 메모리 실장 테스트 시스템(600)은 메인 보드들 각각이 메인 보드들에 나란하게 메모리 모듈들을 결합시킬 수 있는 소켓을 구비하기 때문에, 공간을 적게 차지하고 시스템 사이즈가 작다.
- [0058] 도 10, 도 11 및 도 12는 두 개의 랭크(rank)를 갖는 메모리 모듈을 효율적으로 테스트하기 위한 구성을 나타내는 도면들이다.
- [0059] 본 발명의 실시예들에 따른 메인 보드를 포함하는 메모리 실장 테스트 시스템은 테스트 효율을 높이기 위해 RANK PTB(Parallel Test Board) 기술은 이용한다.
- [0060] RANK PTB 기술은 메모리 모듈들이 2 이상의 랭크(rank)를 가지는 경우, 메모리 모듈들을 1 개의 랭크를 갖는 것으로 인식하여 메모리 모듈들을 테스트하는 기술이다.
- [0061] RANK PTB 기술을 이용하여 메모리 모듈들을 테스트하려면, 도 10에 도시된 바와 같이, 제 1 랭크에 연결된 칩 선택 신호(CS0)용 버스와 제 2 랭크에 연결된 칩 선택 신호(CS1)용 버스를 전기적으로 연결시킨다.
- [0062] 도 10에는 메인 보드 기관의 양 면에 모듈을 결합하기 위한 소켓이 있는 경우, 제 1 면의 소켓에 결합된 메모리 모듈(MO)과 메모리 컨트롤러(MCH)를 전기적으로 결합하는 A\_CHANNEL에 대응하는 칩 선택 신호를 A\_S0 및 A\_S1으로 표시되고, 제 2 면의 소켓에 결합된 메모리 모듈(MO)과 메모리 컨트롤러(MCH)를 전기적으로 결합하는 B\_CHANNEL에 대응하는 칩 선택 신호를 B\_S0 및 B\_S1으로 표시되었다.
- [0063] 메인 보드 기관의 양 면에 모듈을 결합하기 위한 소켓이 있는 경우, A\_CHANNEL과 B\_CHANNEL 모두에 대해 제 1 랭크에 연결된 칩 선택 신호(CS0)용 버스와 제 2 랭크에 연결된 칩 선택 신호(CS1)용 버스를 전기적으로 연결시킨다.
- [0064] 또한, RANK PTB 기술을 이용하여 메모리 모듈들을 테스트하려면, 도 11에 도시된 바와 같이, 제 1 랭크에 연결된 클럭 인에이블 신호(CKE0)용 버스와 제 2 랭크에 연결된 클럭 인에이블 신호(CKE1)용 버스를 전기적으로 연결시킨다.
- [0065] 도 11에는 메인 보드 기관의 양 면에 모듈을 결합하기 위한 소켓이 있는 경우, 제 1 면의 소켓에 결합된 메모리 모듈(MO)과 메모리 컨트롤러(MCH)를 전기적으로 결합하는 A\_CHANNEL에 대응하는 클럭 인에이블 신호를 A\_CKE0 및 A\_CKE1로 표시되고, 제 2 면의 소켓에 결합된 메모리 모듈(MO)과 메모리 컨트롤러(MCH)를 전기적으로 결합하는 B\_CHANNEL에 대응하는 클럭 인에이블 신호를 B\_CKE0 및 B\_CKE1로 표시되었다.
- [0066] 메인 보드 기관의 양 면에 모듈을 결합하기 위한 소켓이 있는 경우, A\_CHANNEL과 B\_CHANNEL 모두에 대해 제 1 랭크에 연결된 클럭 인에이블 신호(CKE0)용 버스와 제 2 랭크에 연결된 클럭 인에이블 신호(CKE1)용 버스를 전기적으로 연결시킨다.
- [0067] 또한, RANK PTB 기술을 이용하여 메모리 모듈들을 테스트하려면, 제 1 랭크에 연결된 온 다이 터미네이션 신호(ODT0)용 버스와 제 2 랭크에 연결된 온 다이 터미네이션 신호(ODT1)용 버스를 전기적으로 연결시킨다. 도 12에 도시된 바와 같이, 제 2 랭크에 연결된 온 다이 터미네이션 신호(ODT1)용 버스를 접지에 연결할 수도 있다.
- [0068] 도 12에서 메인 보드 기관의 양 면에 모듈을 결합하기 위한 소켓이 있는 경우, 제 1 면의 소켓에 결합된 메모리 모듈(MO)과 메모리 컨트롤러(MCH)를 전기적으로 결합하는 A\_CHANNEL에 대응하는 온 다이 터미네이션 신호를 A\_ODT0 및 A\_ODT1로 표시되고, 제 2 면의 소켓에 결합된 메모리 모듈(MO)과 메모리 컨트롤러(MCH)를 전기적으로 결합하는 B\_CHANNEL에 대응하는 온 다이 터미네이션 신호를 B\_ODT0 및 B\_ODT1로 표시되었다.
- [0069] 메인 보드 기관의 양 면에 모듈을 결합하기 위한 소켓이 있는 경우, A\_CHANNEL과 B\_CHANNEL 모두에 대해 제 1 랭크에 연결된 온 다이 터미네이션 신호(ODT0)용 버스와 제 2 랭크에 연결된 온 다이 터미네이션 신호(ODT1)용 버스를 전기적으로 연결시킨다.
- [0070] RANK PTB를 실현하기 위해서, 컴퓨터의 BIOS에서 옵션(option)을 설정한다. 입출력 제어회로(ICH)의 사용되지 않은 핀(NC PIN)을 사용하여 정상 모드(normal mode)와 RANK PTB 모드를 선택한다. RANK PTB 모드가 선택되면, 메모리 모듈들이 2 이상의 랭크(rank)를 가지는 경우, 메모리 모듈들을 1 개의 랭크를 갖는 것으로 인식하여 메모리 모듈들을 테스트하기 때문에, 정상 모드로 테스트하는 것보다 테스트 시간이 반으로 줄어든다.
- [0071] 상기한 바와 같이, 본 발명의 실시예들에 의한 메인 보드는 기관에 나란한 방향으로 메모리 모듈을 기관에 직접 결합하는 소켓을 포함한다. 메모리 모듈을 기관에 결합하는 소켓은 기관의 앞면에 장착될 수도 있고, 기관의 뒷면에 장착될 수도 있다. 소켓은 또한 기관의 앞면과 뒷면에 모두 장착될 수도 있다. 메인 보드와 메모리 모

들들이 나란한 방향으로 배치되므로, 복수의 메인 보드로 구성된 메모리 실장 테스트 시스템은 공간을 적게 차지하고 시스템 사이즈가 작다. 또한, 본 발명의 실시예들에 의한 메인 보드를 포함하는 메모리 실장 테스트 시스템은 2 개 이상의 랭크를 갖는 메모리 모듈의 경우, 메모리 모듈들을 1 개의 랭크를 갖는 것으로 인식하여 메모리 모듈들을 테스트한다. 따라서, 본 발명의 메모리 실장 테스트 시스템은 테스트 시간을 적게 사용하므로 테스트 효율이 높다.

**산업이용 가능성**

[0072] 본 발명은 메모리 테스트 회로에 적용이 가능하며, 특히 메인 보드를 이용하여 메모리 모듈을 테스트하는 메모리 실장 테스트 시스템에 적용이 가능하다.

[0073] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

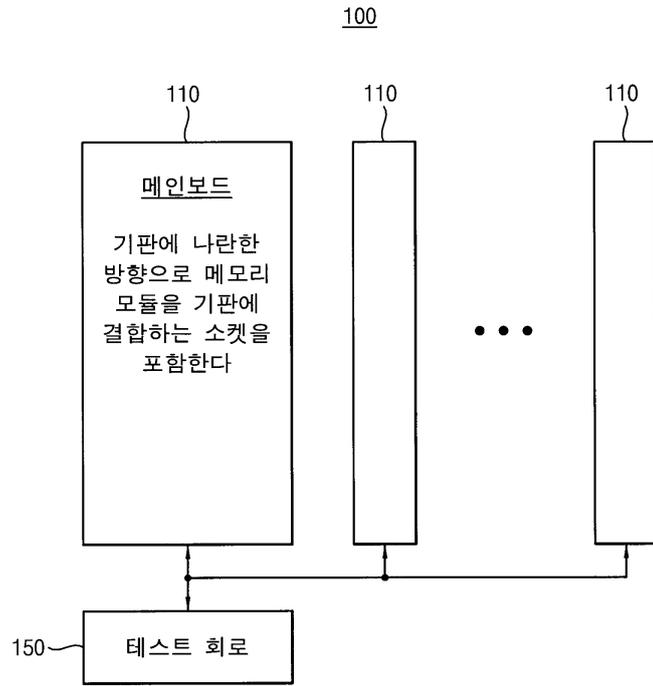
- [0074] 도 1은 본 발명의 제 1 실시예에 따른 메모리 실장 테스트 시스템을 나타내는 개략도이다.
- [0075] 도 2는 도 1의 메모리 실장 테스트 시스템을 구성하는 메인 보드의 개략적인 구성의 하나의 예를 나타내는 측면도이다.
- [0076] 도 3은 도 1의 메모리 실장 테스트 시스템을 구성하는 메인 보드의 개략적인 구성의 하나의 예를 나타내는 측면도이다.
- [0077] 도 4는 도 1의 메모리 실장 테스트 시스템을 구성하는 메인 보드의 개략적인 구성의 하나의 예를 나타내는 측면도이다.
- [0078] 도 5는 도 1의 메모리 실장 테스트 시스템을 구성하는 메인 보드의 개략적인 구성의 하나의 예를 나타내는 평면도이다.
- [0079] 도 6은 도 1의 메모리 실장 테스트 시스템을 구성하는 메인 보드의 개략적인 구성의 하나의 예를 나타내는 평면도이다.
- [0080] 도 7은 본 발명의 제 2 실시예에 따른 메모리 실장 테스트 시스템을 나타내는 개략도이다.
- [0081] 도 8 및 도 9는 각각 3 개의 층, 2 개의 열로 구성된 메모리 실장 테스트 시스템을 나타내는 측면도 및 정면도이다.
- [0082] 도 10, 도 11 및 도 12는 두 개의 랭크(rank)를 갖는 메모리 모듈을 효율적으로 테스트하기 위한 구성을 나타내는 도면들이다.

<도면의 주요부분에 대한 부호의 설명>

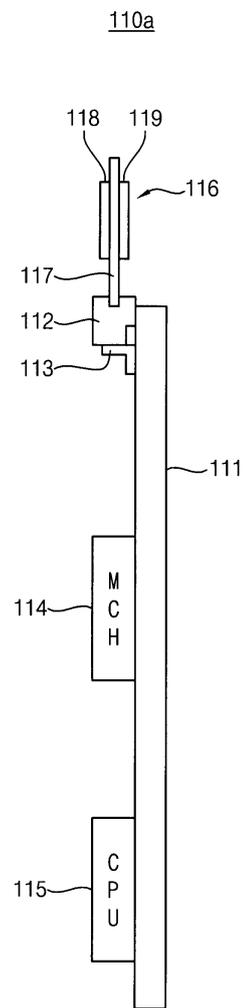
- [0083] 100, 200, 300, 400, 500, 600 : 메모리 실장 테스트 시스템
- [0084] 110, 110a, 110b, 110c : 메인 보드
- [0085] 150 : 테스트 회로

도면

도면1

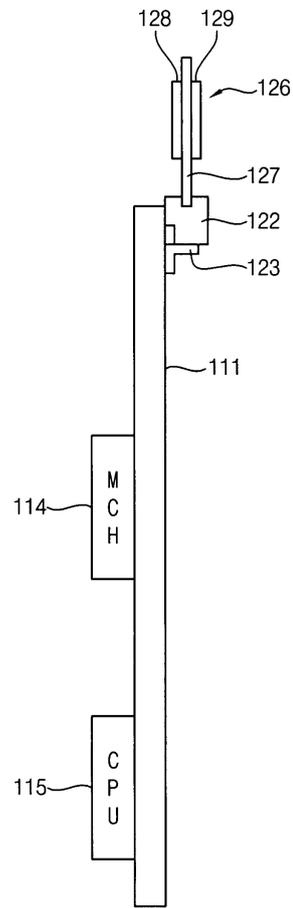


도면2

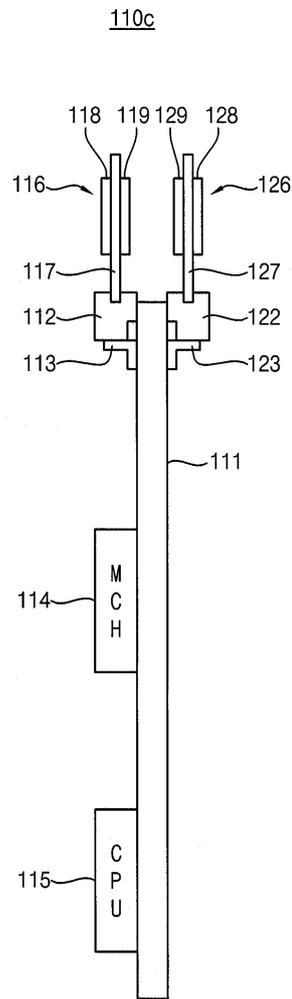


도면3

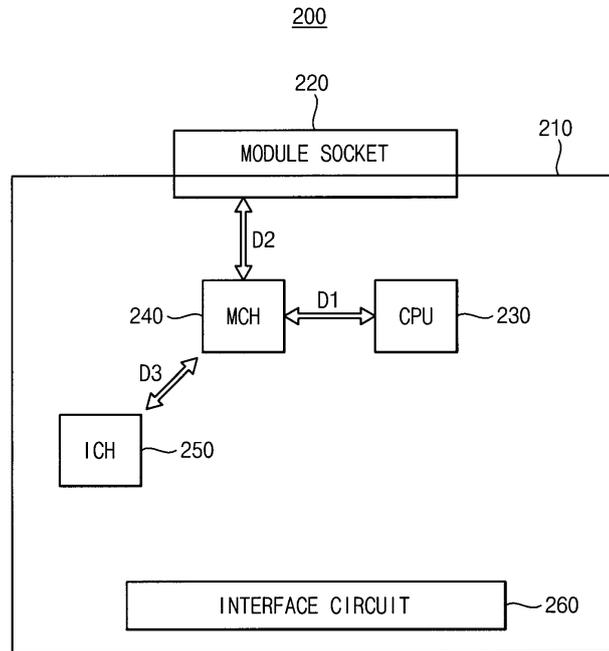
110b



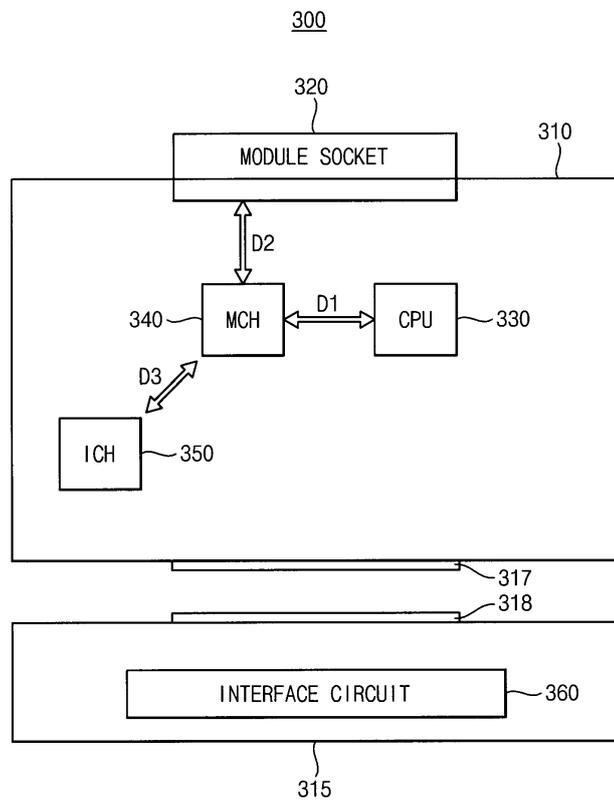
도면4



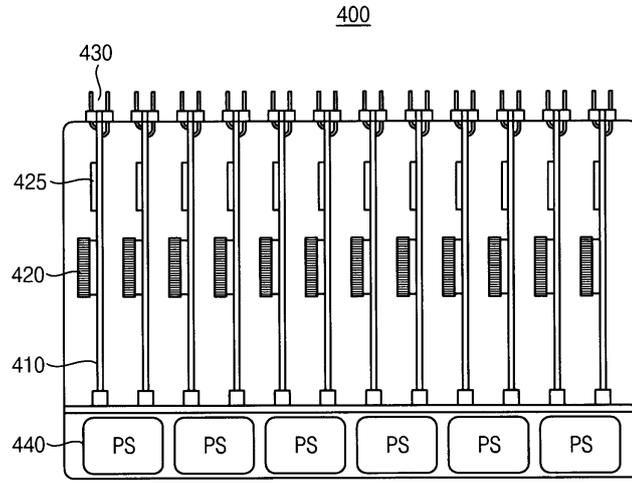
도면5



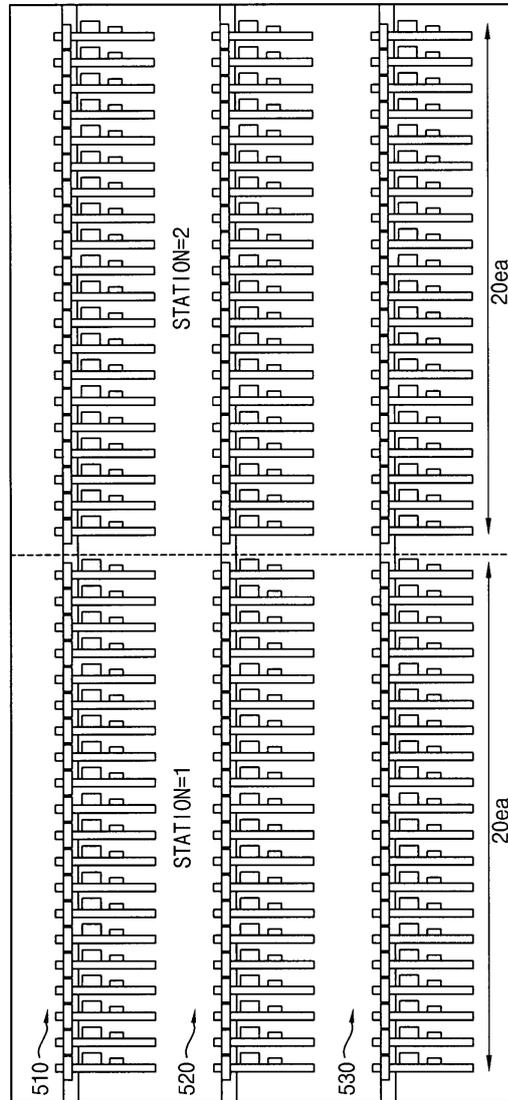
도면6



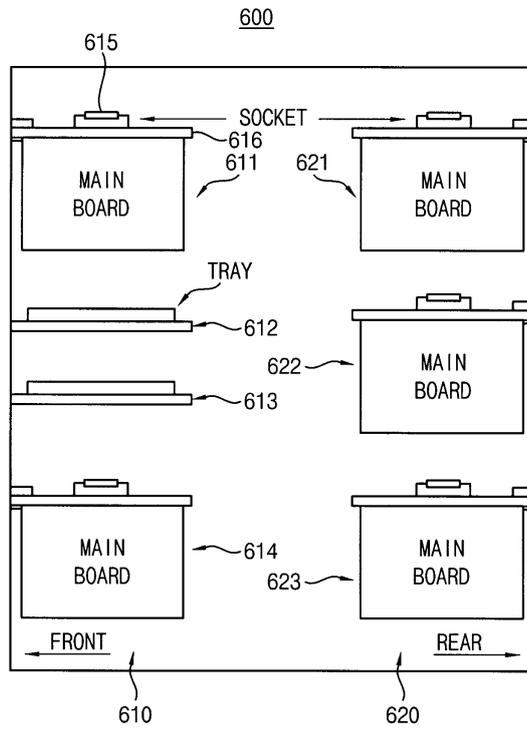
도면7



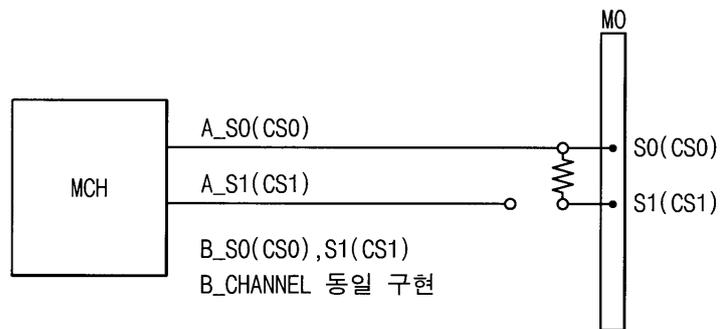
도면8



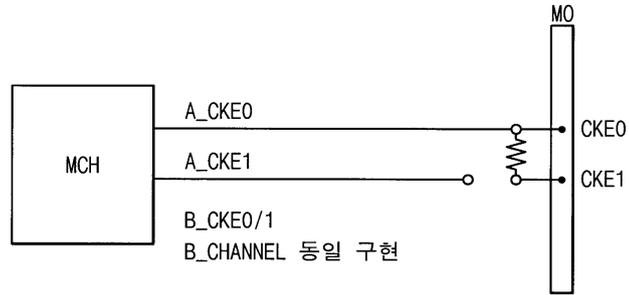
도면9



도면10



도면11



도면12

