



# (12) 发明专利申请

(10) 申请公布号 CN 116613134 A

(43) 申请公布日 2023. 08. 18

(21) 申请号 202310715443.8

H01L 23/538 (2006.01)

(22) 申请日 2018.10.02

(30) 优先权数据

62/569,063 2017.10.06 US

(62) 分案原申请数据

201880004566.8 2018.10.02

(71) 申请人 谷歌有限责任公司

地址 美国加利福尼亚州

(72) 发明人 金镇永 吴忠华

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

专利代理师 周亚荣 邓聪惠

(51) Int. Cl.

H01L 23/498 (2006.01)

H01L 23/50 (2006.01)

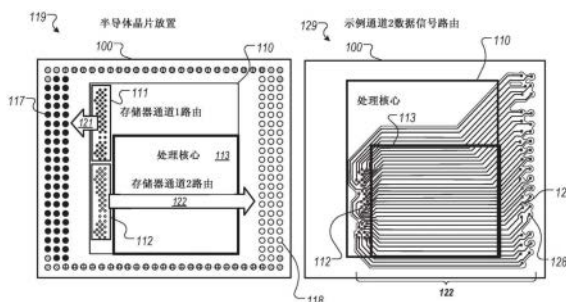
权利要求书2页 说明书12页 附图4页

(54) 发明名称

集成电路封装中的信号路由

(57) 摘要

本申请公开了一种集成电路封装中的信号路由。在一些实施方式中,一种用于耦合到集成电路的衬底包括多个层。所述多个层的每个层在衬底的特定区域中具有与电源和接地相对应的区域的重复图案。所述多个层包括(i)顶层,顶层在特定区域中具有用于耦合到集成电路的电源触点和接地触点,以及(ii)底层,底层在特定区域中具有用于耦合到另一个装置电源触点和接地触点。所述多个层中的至少一个层具有信号迹线的重复图案,信号迹线沿着至少一个层中与接地相对应的区域延伸并位于所述区域之间。



1. 一种用于耦合到集成电路的衬底,所述衬底包括:

第一层,包括具有一个或多个信号迹线的区域,所述第一层具有沿一个或多个信号迹线的相对侧与所述一个或多个信号迹线相邻放置的第一接地导电元件;以及

位于所述第一层上方或下方的第二层,其中,所述第二层具有一个或多个第二接地导电元件,沿着所述一个或多个信号迹线放置在所述一个或多个信号迹线上方,或者沿着所述一个或多个信号迹线放置在所述一个或多个信号迹线下方,其中,所述第一接地导电元件位于所述第一层的所述一个或多个信号迹线和导电元件之间。

2. 根据权利要求1所述的衬底,其中,所述一个或多个信号迹线包括在所述区域中彼此平行延伸的多个信号迹线。

3. 根据权利要求1所述的衬底,其中,所述第一层是所述衬底的顶层,所述顶层被配置为接收所述集成电路,并且其中,所述第一接地导电元件包括与所述集成电路耦合的触点。

4. 根据权利要求3所述的衬底,其中,所述触点是配置为与BGA封装的焊球配合的导电凸块。

5. 根据权利要求1所述的衬底,其中,所述一个或多个第二接地导电元件包括沿着所述一个或多个信号迹线延伸穿过所述区域的金属区域。

6. 根据权利要求5所述的衬底,其中,所述第一接地导电元件被电耦合到所述金属区域。

7. 根据权利要求1所述的衬底,其中,所述第一接地导电元件包括导电通孔,所述导电通孔在紧接在所述第一层上方的层或紧接在所述第一层下方的层之间形成接地连接。

8. 根据权利要求1所述的衬底,其中,所述第一层是所述衬底的中间层。

9. 根据权利要求1所述的衬底,其中,所述第二层是所述衬底的底层,并且所述一个或多个第二接地导电元件包括配置成与电路板的接地触点耦合的一系列触点。

10. 一种系统,包括:

集成电路;

存储器装置;以及

包括多层的衬底,其中,所述集成电路和所述存储器装置附接到所述衬底的顶表面;

其中,所述衬底包括:

第一层,包括具有一个或多个信号迹线的区域,所述第一层具有沿一个或多个信号迹线的相对侧与所述一个或多个信号迹线相邻放置的第一接地导电元件;以及

位于所述第一层上方或下方的第二层,其中,所述第二层具有一个或多个第二接地导电元件,沿着所述一个或多个信号迹线放置在所述一个或多个信号迹线上方,或者沿着所述一个或多个信号迹线放置在所述一个或多个信号迹线下方,其中,所述集成电路具有用于与所述存储器装置耦合的存储器触点,所述存储器触点位于所述衬底的特定区域的第一侧并且与所述一个或多个信号迹线耦合以承载来自所述存储器装置的信号;并且

其中,所述存储器装置在所述衬底的所述特定区域的所述第一侧附接到所述衬底的所述顶表面。

11. 根据权利要求10所述的系统,其中,所述存储器装置是接地参考的存储器装置。

12. 根据权利要求10所述的系统,其中,所述一个或多个信号迹线包括在所述区域中彼此平行延伸的多个信号迹线。

13. 根据权利要求10所述的系统,其中所述第一层是所述衬底的顶层,所述顶层被配置为接收所述集成电路,并且其中,所述第一接地导电元件包括与所述集成电路耦合的触点。

14. 一种用于耦合到集成电路的衬底,所述衬底包括:

第一层,包括具有一个或多个信号迹线的区域,所述第一层具有沿一个或多个信号迹线的相对侧与所述一个或多个信号迹线相邻放置的第一接地导电元件;以及

位于所述第一层上方或下方的第二层,其中,所述第二层具有一个或多个第二接地导电元件,沿着所述一个或多个信号迹线放置在所述一个或多个信号迹线上方,或者沿着所述一个或多个信号迹线放置在所述一个或多个信号迹线下方,其中,所述第一接地导电元件和所述一个或多个第二接地导电元件沿着所述一个或多个信号迹线在沿着所述一个或多个信号迹线穿过所述区域的路径的三侧上延伸。

15. 根据权利要求14所述的衬底,其中,所述一个或多个信号迹线包括在所述区域中彼此平行延伸的多个信号迹线。

16. 根据权利要求14所述的衬底,其中,所述第一层是所述衬底的顶层,所述顶层被配置为接收所述集成电路,并且其中,所述第一接地导电元件包括与所述集成电路耦合的触点。

17. 根据权利要求14所述的衬底,其中,所述触点是配置为与BGA封装的焊球配合的导电凸块。

18. 根据权利要求14所述的衬底,其中,所述一个或多个第二接地导电元件包括沿着所述一个或多个信号迹线延伸穿过所述区域的金属区域。

19. 根据权利要求18所述的衬底,其中,所述第一接地导电元件被电耦合到所述金属区域。

20. 根据权利要求14所述的衬底,其中,所述第一接地导电元件包括导电通孔,所述导电通孔在紧接在所述第一层上方的层或紧接在所述第一层下方的层之间形成接地连接。

## 集成电路封装中的信号路由

[0001] 分案说明

[0002] 本申请属于申请日为2018年10月2日的中国发明专利申请201880004566.8的分案申请。

### 技术领域

[0003] 本公开涉及集成电路封装中的信号路由。

### 背景技术

[0004] 在一些装置中,一个或多个集成电路附接到衬底,例如电路板、电路卡、芯片载体等。封装电子产品可以涉及使用衬底电连接多个半导体晶片。

### 发明内容

[0005] 在一些实施方式中,用于耦合到集成电路的衬底包括多个层,每个层包括与电源和接地相对应的区域的重复图案。这些区域可以布置在跨越衬底的特定区域上的交替条带中。层中的一个或多个包括信号迹线,信号迹线提供附接到衬底的不同半导体晶片之间的连接。信号迹线可以布置在重复图案之间,以提供高信号质量,即使在用于电源和接地的高密度连接之间。例如,用于接地参考信号例如DDR DRAM信号的信号迹线可以放置在与接地相对应的条带中,其中沿着信号迹线放置连接到接地的导体。下面讨论的这些和其他技术可以在使用少量的层例如4层或更少的同时允许衬底在区域中提供信号路由和高密度电源以及接地连接。

[0006] 一般而言,可以使用多层封装衬底来互连不同半导体晶片上的集成电路(IC)。在一些实施方式中,可使用球栅格阵列(BGA)将半导体晶片附接到多层封装衬底。多层封装衬底的外层上的金属凸块或球的栅格可以布置在接地连接和电源连接的交替区域中。衬底内层的电连接包括通孔也可以布置在接地连接和电源连接的交替区域中。交替的接地和电源区域可以对齐。例如,每个层的接地区域可以直接放置在彼此之上。类似地,电源传导区域也可以直接放置在彼此之上。接地和电源连接的这种布置在衬底的至少一个区域中提供堆叠配置,其中接地连接的区域跨层堆叠,且电源连接的区域跨层堆叠。

[0007] 在一些实施方式中,可通过在电源和接地区域的重复图案之间的规则位置处散布信号迹线来将数据信号迹线路由到半导体晶片的特定区域下方。例如,包括通孔或触点的栅格的层可以具有某些去填充的区域,在去填充的区域中具有信号迹线。可以沿着层的去填充区域图案化一个或多个数据信号迹线,以将一个半导体晶片的触点连接到第二半导体晶片的触点。

[0008] 为了保持对数据信号的一致参考,放置信号迹线的层的去填充区域可以被完全包含在接地区域内。结果,用于接地参考信号的信号迹线可以仅通过接地连接在层内的两侧分界。通过包括多层封装衬底的多个层的信号迹线,可以增加数据信号路由的密度和复杂性。为了保持信号完整性,数据信号迹线可以不被包括在多层封装衬底的相邻层上。相反,

可以在包括数据信号路由的层之间放置一个或多个中间层。例如,衬底可以在特定区域中包括信号迹线的层与特定区域中不包括信号迹线的层之间交替。没有数据信号迹线的中间层可以使其电源和接地区域与相邻层对齐,以保持高信号质量。

[0009] 对于很多移动装置诸如移动电话而言,装置的整体厚度受到限制。为了提供具有适当厚度的半导体封装,衬底可以被约束于有限数量的层,例如,6层、4层等。虽然更多数量的层可以在路由中提供更大的灵活性,但是它可能提供不可接受的封装厚度。即使在层数的限制下,也可以使用电源和接地区域的重复图案以及下面讨论的连接来跨越高密度电源和接地通孔所在的区域路由用于数据传送的信号迹线。

[0010] 在一个总体方案中,一种用于耦合到集成电路的衬底,衬底包括:多个层,多个层在衬底的特定区域中每个具有与电源和接地相对应的区域的重复图案,多个层包括(i)顶层,顶层在特定区域中具有用于耦合到集成电路的电源触点和接地触点,以及(ii)底层,底层在特定区域中具有用于耦合到另一个装置的电源触点和接地触点。多个层中的至少一个层具有信号迹线的重复图案,信号迹线沿着至少一个层中与接地相对应的区域延伸并位于区域之间。

[0011] 实施方式可包括以下特征中的一个或多个。例如,衬底是倒装芯片球栅格阵列(FCBGA)衬底,并且底层上的电源触点和接地触点是球栅格阵列(BGA)焊球。

[0012] 在一些实施方式中,布置与电源和接地相对应的区域的重复图案,所述多个层的每个层中的用于电源的区域直接位于彼此之上。

[0013] 在一些实施方式中,顶层被包括在重复图案中布置的信号迹线,信号迹线沿着用于耦合到集成电路的接地触点延伸并位于接地触点之间。

[0014] 在一些实施方式中,在信号迹线的多个组中布置信号迹线,每个组包括多个信号迹线。每个信号迹线组的范围从特定区域的一侧到特定区域的相反侧,并且沿着跨越特定区域的信号迹线的整个范围,与顶层的电源触点相比,每个信号迹线组更靠近顶层的接地触点。

[0015] 在一些实施方式中,多个层被包括直接位于顶层下方的中间层。中间层包括耦合到顶层的接地触点的金属接地区域。金属接地区域直接位于信号迹线下方并沿着信号迹线延伸。

[0016] 在一些实施方式中,多个层被包括在顶层与底层之间的中间层。中间层包括交替金属区域,交替金属区域相应地耦合到顶层的接地触点和顶层的电源触点的组。

[0017] 在一些实施方式中,与电源和接地相对应的区域的重复图案是交替电源条带和接地条带,并且信号迹线位于接地条带中。电源条带在多个层的每个层中对齐,且接地条带在多个层的每个层中对齐。

[0018] 在一些实施方式中,顶层包括触点栅格,触点栅格包括电源触点和接地触点的行的重复图案。栅格包括多个去填充的行,去填充的行不包括触点,且信号迹线沿着去填充的行延伸。

[0019] 在一些实施方式中,信号迹线每个放置在底层的接地触点上方并且被对齐沿着底层的接地触点延伸。

[0020] 在一些实施方式中,多个层中的两个或更多个层包括跨越特定区域的信号迹线。

[0021] 在一些实施方式中,两个或更多个层的信号迹线被布置为使得所述层中的一个的

信号迹线被布置在另一个层的信号迹线上方,并且多个层包括中间层,中间层具有位于两个或更多个层的信号迹线之间的接地区域。

[0022] 在一些实施方式中,衬底包括不超过四个层。

[0023] 在一些实施方式中,多个层包括第一层、直接位于第一层下方的第二层、直接位于第二层下方的第三层、以及直接位于第三层下方的第四层。顶层是第一层,底层是第四层。第一层和第三层每个包括跨越特定区域延伸的信号迹线。第二层和第四层不包括跨越特定区域延伸的信号迹线。

[0024] 在一些实施方式中,与特定区域中的电源和接地相对应的区域的重复图案基本上跨越特定区域线性地延伸,且信号迹线基本上跨越特定区域线性地延伸。

[0025] 在一些实施方式中,集成电路是半导体晶片,并且衬底被配置为在衬底的特定区域上容纳半导体晶片。衬底在特定区域中不包括任何输入触点或输出触点。

[0026] 在一些实施方式中,衬底的特定区域位于衬底被配置为与集成电路配合的集成电路区域内。衬底在顶层上具有(i)被配置为与一个或多个存储器装置配合的第一存储器区域,第一存储器区域位于特定区域的第一侧,以及(ii)被配置为与一个或多个存储器装置配合的第二存储器区域,第二存储器区域位于特定区域的第二侧。集成电路包括(i)用于与第一存储器区域的一个或多个存储器装置耦合的第一触点,以及(ii)用于与第二存储器区域的一个或多个存储器装置耦合的第二触点,第一触点和第二触点位于特定区域的第一侧。信号迹线提供跨越特定区域的路径,用于在位于特定区域的第一侧的第二触点与位于特定区域的第二侧的第二存储器区域处的一个或多个存储器装置之间传输信号。

[0027] 在一些实施方式中,集成电路区域的第二侧与集成电路区域的第一侧相反。

[0028] 在一些实施方式中,衬底包括一个或多个印刷电路板层。

[0029] 在一些实施方式中,衬底包括一个或多个再分布层。

[0030] 在另一个总体方案中,一种系统包括:集成电路;第一存储器装置;第二存储器装置;以及包括多个层的衬底。集成电路、第一存储器装置和第二存储器装置附接到衬底的顶表面。衬底具有位于集成电路下方的特定区域,且多个层在特定区域中具有与电源和接地相对应的区域的重复图案。衬底的多个层包括(i)顶层,顶层在特定区域中具有用于耦合到集成电路的电源触点和接地触点,以及(ii)底层,底层在特定区域中具有用于耦合到另一个装置的电源触点和接地触点。多个层中的至少一个层具有信号迹线的重复图案,信号迹线延伸跨越特定区域,且信号迹线沿着至少一个层中与接地相对应的区域延伸并位于区域之间。

[0031] 实施方式可包括以下特征中的一个或多个。例如,集成电路具有用于与第一存储器装置和第二存储器装置耦合的存储器触点,存储器触点位于衬底的特定区域的第一侧。第一存储器装置在衬底的特定区域的第一侧附接到衬底的顶表面。第二存储器装置在衬底的特定区域的第二侧附接到衬底的顶表面,第二侧不同于第一侧。信号迹线被配置为在存储器触点与第二存储器装置之间跨越特定区域传递信号。

[0032] 在一些实施方式中,特定区域的第二侧与第一侧相反。

[0033] 在一些实施方式中,第一存储器装置和第二存储器装置是接地参考的存储器装置。

[0034] 在一些实施方式中,第一存储器装置和第二存储器装置是双倍数据速率(DDR)同

步动态随机存取存储器 (SDRAM) 装置。

[0035] 在一些实施方式中,衬底是倒装芯片球栅格阵列 (FCBGA) 衬底。

[0036] 在一些实施方式中,衬底的特定区域提供到集成电路的电源和接地的连接,但特定区域不提供到集成电路的输入和输出连接。

[0037] 在一些实施方式中,衬底的特定区域是位于集成电路的一个或多个处理核心下方的区域。处理核心例如可以是微处理器的处理核心、应用处理器、中央处理单元、图形处理单元、智能处理单元、数字信号处理器、神经网络处理单元、芯片上的系统、或其他集成电路。

[0038] 实施方式可以提供以下优点中的一个或多个。例如,数据信号可以跨越具有高密度电源和接地通孔的区域路由。即使在密集连接到电源和接地的区域,也可以使用信号迹线提供高质量信号。在多层封装衬底中去填充球或通孔的特定区域使得数据信号迹线能够在半导体晶片的区域下方路由。这可以允许在衬底上布置芯片,否则将不可行。

[0039] 在一些实施方式中,数据信号迹线可在半导体晶片的球栅格阵列下方路由,同时仍使用相邻的剩余球和通孔触点提供到半导体晶片的电源和接地连接。跨越多层封装衬底的层对齐堆叠中的接地区域和电源区域改善了信号完整性并且使得能够在多层封装衬底的多个层上实现数据信号路由。通过在封装衬底的多个层上实现数据信号路由,可以实现更密集和更复杂的数据信号路由方案。数据信号迹线与电源/接地连接的比率可以在半导体晶片的不同区域中不同,以解决IC的不同区域的不同电源需求。例如,对于IC具有高电源需求的区域,栅极阵列的小区域或者没有区域被去填充,使得到半导体晶片的电源/接地连接大部分就位以向IC提供电源,但是防止信号路由。对于具有较低电源需求的IC区域,栅格阵列的较大区域被去填充,从而允许在这些区域下方放置更多数量或长度的数据信号迹线。

[0040] 本申请的技术可以解决在电子装置的设计中经常遇到的各种问题。例如,很多系统通常避免在集成电路下方路由存储器数据线和和其他数据载体,因为这样做可能会限制到集成电路的重要区域的送电,可能需要增加通孔密度,导致封装阻抗增加和感应延迟,和/或导致数据信号噪声与供电线耦合。这些因素通常会导致存储器信号迹线和其他数据信号避免跨越集成电路的下侧特别是在处理核心区域下方路由。这可能限制存储器装置和其他元件的放置,并且可能导致需要更大的电路板,以适应集成电路周围而不是集成电路下方的路由。如下所述,本申请中讨论的衬底的特征可以允许在集成电路下方路由数据信号,同时保持低噪声并在集成电路下方保持高密度的电源和接地连接。这通过允许在集成电路下方以高信号质量路由存储器信号和其他数据信号来解决该领域中的各种问题,即使在具有高电力需求的区域下,例如处理微处理器和其他处理单元的处理核心。通过使用具有导电路径的较少数量的衬底层来实现数据信号路由以及电源和接地路由,可以保持衬底纤薄。

[0041] 在附图和以下描述中给出本说明书所述主题的一个或多个实施例的细节。根据说明书、附图和权利要求,本主题的其他特征、方案和优点将变得显而易见。

## 附图说明

[0042] 图1是示出用于耦合到集成电路的衬底的示例的示意图。

[0043] 图2是与集成电路耦合的衬底的示例的剖视图。

- [0044] 图3是用于与集成电路耦合的衬底的示例的不同层的一系列顶视图。
- [0045] 图4是示出附接有集成电路的衬底的示例的顶视图的示意图。
- [0046] 不同附图中相似的附图标记和名称指示相似的元件。

### 具体实施方式

[0047] 很多电子装置,例如移动电话和计算机,包括多个集成电路(IC)。在不同半导体晶片上形成的集成电路可以使用衬底互连。例如,移动电话可包括专用IC(ASIC),例如应用处理单元(APU)。ASIC可以连接到一个或多个动态随机存取存储器(DRAM)晶片。ASIC和DRAM晶片可以附接到单个衬底,然后衬底可以附接到电路板或另一个装置。

[0048] 不同半导体晶片的互连可以涉及为数十或数百个数据、电源和接地信号提供电连接。一些信号可以在不同晶片之间路由,而其他信号可以从晶片路由到主电路板(例如主板)。衬底可以提供信号迹线,信号迹线连接附接到衬底的不同半导体晶片的多个部分。如本文使用的,信号迹线是指在层上提供的任何布线或导电路径,并且不限于通过蚀刻或任何特定制造技术产生的路径。衬底还可将晶片的多个部分连接到被布置为与电路板配合的多个触点。例如,衬底可以重新布置半导体晶片的紧密封装的触点,例如,通过以增加触点的尺寸和间隔的方式重新分布触点。

[0049] 在衬底中,优选将信号迹线布置为提供高质量信号。一般优选较短的信号迹线以改善高频下的性能。通常应避免混合信号参考。混合信号参考通常是指将数据信号迹线放置在接地和电力迹线两者附近,这会导致不期望的电磁耦合和噪声。

[0050] 图1是示出封装衬底100的示例的示意图。提供两个视图119和129,每个视图示出衬底100的不同方面。视图119示出顶视图,示出IC的位置和可以耦合附加IC的触点。视图129提供剖视图,示出衬底100的下层,其具有在IC下方路由的信号迹线,以提供与另一个IC的通信。

[0051] 衬底100可用于承载IC,在IC的两侧有一个或多个存储器装置。在该示例中,两个DRAM存储器通道的触点位于IC的同一侧,例如左侧。一个存储器通道可以连接到左侧的存储器装置,靠近IC上的存储器触点,具有从IC向外延伸的短迹线。但是,将第二存储器通道的存储器触点连接到IC右侧的存储器装置并不是那么简单。在IC的整个占位面积(footprint)周围路由信号可能涉及降低信号完整性的长迹线。可通过将信号迹线放置在IC下方来进行连接,如视图129所示,但是这可能存在其他挑战。例如,信号迹线可以在IC的处理核心区域下方通过,其中需要很多到接地的连接。对于倒装芯片封装的IC、电源、接地和数据连接直接在IC下方而不是在IC的外围进行。处理核心和其他电路通常需要很多电源和接地连接。跨越这些电源和接地连接的路由信号迹线可能降低信号质量或仅允许低密度的数据信号迹线。

[0052] 在顶视图119中,示出IC 110附接到封装衬底100。封装衬底100提供向IC 110提供电源和接地信号的电连接,以及将IC 110互连到附接于封装衬底100的一个或多个其他装置(未示出)的电连接和信号迹线。封装衬底100的表面包括位于IC 110的占位面积之外的金属触点117和118。金属触点117和118例如可以是焊料凸块、金属球、导电垫、或用于进行电接触的其他器件。

[0053] IC 110例如可以是中央处理单元(CPU)、图形处理单元(GPU)、APU、ASIC或其他IC。



IC 110是倒装芯片封装的,因此沿着IC 110朝向衬底110的表面放置一系列电触点(例如焊球)。IC 110包含两组触点111和112,连接到IC 110的两个存储器通道的输入/输出(I/O)数据线。触点111连接到存储器通道1的I/O数据线,而触点112连接到存储器通道2的I/O数据线。

[0054] 在图1中,两个不同的存储器通道连接到两个独立的存储器装置(未示出),这两个存储器装置也附接在封装衬底100上。为了电连接两个存储器通道,在IC 110的触点111和112与封装衬底100的触点117和118之间形成电连接。在示例100中,路由存储器通道1涉及将IC触点111连接到封装衬底触点117,示出为路由121。路由存储器通道2涉及将IC触点112连接到封装衬底触点118,示出为路由122。

[0055] IC 110的区域被示为处理核心区域113。例如,处理核心区域113可以要求电源和接地信号直接连接到处理核心113的区域,例如,正好在处理核心的下方,或者基本上垂直通过衬底100。通常,通过仅在一层或两层上的信号迹线进行存储器通道2的连接将涉及IC 110的处理核心区域113下方的很多数据信号迹线。

[0056] 衬底100的剖视图129示出用于存储器通道2数据迹线的信号路由的示例。这里,在封装衬底100上示出IC 110的轮廓。通过穿越IC 110下侧的数据信号迹线124,存储器通道2的触点112(位于处理核心113的左侧)连接到金属触点128(位于处理核心的右侧)113)。路由将信号迹线124放置在IC 110的处理核心113下方。在示例100中,处理核心113下方的大密度信号迹线124可能使得难以向处理核心113的区域提供足够的电源和接地连接,这可能阻止IC 110正常操作。此外,信号迹线区域中的高密度通孔通常会增加封装阻抗和电感延迟并减少响应时间。结果,由于送电和信号质量的限制,信号迹线的这种布置可能限制IC 110的性能。如下所述,可以使用电源和接地区域的重复图案来减少或完全避免这些限制,其中散布有信号迹线。

[0057] 图2是具有与集成电路耦合的衬底220的装置200的示例的剖视图。集成电路示出为多个半导体晶片210、211和212,每个半导体晶片附接到衬底220的同一侧,例如,衬底220的顶侧。晶片210、211和212例如可通过倒装芯片焊接来附接。衬底220相应连接到主电路板230。衬底220提供数据信号从一个半导体晶片到另一个半导体晶片以及半导体晶片与主电路板230之间的电互连和路由。衬底220还提供半导体晶片与主电路板230之间的电源和接地连接。此外,衬底220重新分配晶片211(或者视情况,任何晶片210、211、212)上的球栅格阵列(BGA)触点的连接,以更大的间距接触,用于连接到主电路板230。

[0058] 衬底220使得能够在附接的半导体晶片下方路由数据信号线。在图2中,多层封装衬底220包括多个电隔离层,其中每个层包括用于数据连接、电源连接和/或接地连接的导体。多层封装衬底220例如可以是印刷电路板(PCB)、芯片级封装(CSP)、倒装芯片球栅格阵列(FCBGA)、有机衬底、陶瓷衬底或其他封装衬底。多层封装衬底220可以具有多个层。像很多衬底一样,衬底220在某些情况下可具有十层或更多层。但是,为了限制封装的总厚度,衬底220可以限于更少的层,例如6层、4层或更少。多层封装衬底220可包括再分布层(RDL),用于将来自半导体晶片211的I/O端子的信号连接路由到多层封装衬底220上或主电路板230上的电连接。

[0059] 在图2中,多层封装衬底220包括四个堆叠的电隔离层:层L1、层L2、层L3和层L4。层L1和L4是外层,层L2和L3是内层。外层L1例如通过球栅格阵列(BGA)耦合到半导体晶片210、

211、212并与其电连通。球栅格阵列是规则的金属凸块(球)213阵列,其在半导体晶片211上的端子与多层衬底的层L1上的电触点(例如焊盘)之间形成电连接。对于不同的集成技术或不同的半导体晶片,BGA内金属凸块213的间距可以不同。例如,BGA内金属凸块213的间距可以是140微米。与IC配合的金属凸块213的间距可以是高于可制造极限的任何值。

[0060] 多层封装衬底220的外层L4与主电路板230耦合,例如,通过可包括BGA的焊料凸块232的阵列。主电路板230例如可以是主板。焊料凸块232将多层封装衬底220的外层L4中的金属迹线与主电路板230上的电触点(例如焊盘)连接。焊料凸块232可以布置成规则阵列,其几何形状与多层封装衬底220的顶侧上的金属凸块213的BGA相同。为了与主电路板230配合,底侧焊料凸块232可以布置成规则阵列,其间距大于与IC配合的金属凸块的间距213。底侧焊料凸块232的间距可以是BGA中的顶侧IC金属凸块213的间距的固定整数比。例如,如果BGA中的顶侧IC金属凸块213的间距是140微米,则底侧焊料凸块232的间距可以是350微米(2:5的比率)。底侧BGA中的焊料凸块232的间距可以基于可制造性并且作为顶侧金属凸块213的固定比率来选择,如由所需信号计数和信号/电源完整性需求所确定的。

[0061] 层L1、L2、L3和L4可通过跨越层厚度的导电通孔与相邻层电接触。导电通孔可以布置成栅格阵列,其间距与顶层L1上的BGA的金属凸块213的间距匹配。通孔可以与相邻层中的通孔对齐,使得通孔在相邻层中直接堆叠在彼此之上。通孔也可以与外层的金属凸块213对齐。通孔可以填充导电金属,以确保沿通孔长度的良好导电性。层的一些区域可包括金属区域,例如,提供可以用作层中的接地平面或电源平面的连续导体。

[0062] 多层封装衬底220的层还可以包含给定层内的信号迹线,例如导电金属化路径,以实现信号路由。在示例200中,信号迹线223和225相应地在层L1和L3内示出。穿过层的信号迹线和导电通孔可以将一个半导体晶片上的触点电连接到不同半导体晶片上的触点。信号迹线和导电通孔还可以将半导体晶片上的触点电连接到主电路板230上的电触点。例如,层L1中的信号迹线223将半导体晶片211的触点电连接到半导体晶片210的触点。层L3中的信号迹线225将半导体晶片211的触点电连接到半导体晶片212的触点。

[0063] 在一些情况下,通过包括用于电源和接地的密集填充的通孔的区域,可以在半导体晶片的下方路由金属信号迹线。如图所示,迹线225的实体部分在半导体晶片211的下方路由。在一些实施方式中,通过在多层封装衬底的选定层中去填充球或通孔栅格阵列的区域,可以在一部分半导体晶片的下方路由信号。该技术在图3中更详细地示出。

[0064] 图3示出用于与集成电路耦合的衬底300的示例的不同层的一系列顶视图。层L1、L2、L3和L4仅示出衬底300的特定区域,例如,直接位于集成电路的处理核心下方的区域。因此,所示视图不代表整个层或甚至衬底上的集成电路芯片的整个占位面积。特别地,所示衬底的特定区域不包括集成电路之间的任何输入或输出连接,其将位于所示特定区域外部的衬底的附加部分。特定区域也没有示出附加芯片将附接的区域。

[0065] 在图3中,在一部分球栅格阵列或通孔栅格阵列已经去填充的区域中,在层L1和L3内路由数据信号。信号迹线在那些去填充区域内图案化,为半导体晶片下方的数据信号提供路由。

[0066] 与电源和接地相对应的区域布置为重复图案。例如,每个层可包括与电源和接地相对应的条带。例如,区域可包括接地条带310和电源条带311。每个条带可以跨越包括球栅格阵列/通孔栅格阵列的一个或多个行的区域。接地条带310彼此对齐,使得接地条带310在

组装的衬底300中直接位于彼此之上。类似地,电源条带311也对齐,使得它们直接位于彼此之上。用于接地参考信号的信号迹线可以位于接地条带310内,例如,在栅格的去填充的行中。如果信号参考电源电平,则可以反转该布置,使得信号迹线放置在电源条带311中。信号迹线可以与条带310、311一起在重复图案中出现。

[0067] 诸如301、321、331、341等的圆形特征示出栅格阵列的位置。在层L1中,圆形特征301、302、303是触点,例如导电凸块,以与BGA封装的焊球配合。然后,通孔将这些触点连接到L2层。在层L2和L3中以虚线示出的圆形特征代表通孔从上面的层连接到层的位置。例如,层L2的虚线圆圈示出通孔将层L1的触点连接到层L2的金属区域的位置。在层L4中,特征341、342示出布置在栅格中用于与电路板耦合的触点,例如焊料凸块。

[0068] 用于层L1至L3的栅格阵列可包括各种几何形状中的任何一种。例如,凸块或通孔可以以矩形阵列或六边形阵列对齐。在层L1的基线栅格阵列中,凸块以正方形阵列对齐,其中每个凸块与其四个最近相邻凸块分开相同的距离(例如间距)。层L1、L2和L3包含匹配栅格阵列(例如,它们具有相同的间距并且与下方层中一个栅格阵列上方的每个栅格元素对齐),而层L4的阵列可以具有更大的间距。

[0069] 圆形特征的阴影指示该特征所电连接的信号电平。实填充的特征代表与电源信号电平电连接的凸块或通孔,而虚填充的特征代表电连接到接地信号电平的凸块或通孔。

[0070] 层L1是多层封装衬底的最顶层,并且例如可通过BGA与半导体晶片接触。层L2是直接位于L1下方的层,层L3是直接位于L2下方的层,层L4是直接位于L3下方的层。在四层的多层封装衬底中,层L4是底层并且与主电路板接触,如图2所示。

[0071] 为了通过给定层的栅格阵列路由信号线,可以在指定区域中去填充凸起或通孔。在层L1中,栅格阵列已经以规则的间隔去填充,使得每第五行凸块和通孔被移除。可以在去填充的区域中路由一个或多个信号迹线。在图3的示例中,在每个去填充的行中将四个信号迹线305图案化。如果处理和性能容差允许,则可以将多于四个信号迹线图案化。这些信号线可以被路由以将一个半导体晶片的I/O触点连接到不同半导体晶片的I/O触点。在一些实施方式中,可以去填充多于一行的凸块或通孔,以容纳数据信号线。去填充的区域也可能以不同的间隔重复。例如,在一些实施方式中,可以去填充每第九行或者可以去填充每第二行。此外,去填充的区域不必是规则的行阵列。去填充的区域可以是容纳路由信号所需的任何形状或几何形状。这些区域可以以规则的间隔或不规则的间隔去填充。

[0072] 通过仅去填充一部分栅格以容纳信号迹线,剩余的凸块和通孔可用于向栅格阵列正上方的半导体部分提供电源和接地信号。通过这种方式,数据信号可以在一部分半导体晶片的下方(通过去填充区域)被路由,同时仍然向半导体晶片的该部分(通过剩余的凸块和通孔)提供电源和接地信号。

[0073] 在一些实施方式中,为了改善数据信号完整性,可将剩余的凸块和通孔以交替条带图案连接到接地或电源信号电平。例如,在层L1中,紧邻去填充区域(例如,凸起的水平行302和303)的凸起的行被电连接到接地,而不紧邻去填充区域的凸起的行(例如,凸起的水平行301)被连接到电源电平。在某些情况下,接地连接和电源连接的条带可以具有相同的宽度。或者,接地连接和电源连接的条带可以具有不同的宽度。例如,每个接地连接的条带可以覆盖与三个凸块的行相对应的区域,而每个电源连接的条带可以覆盖与两个凸块的行相对应的区域。

[0074] 为了避免混合信号参考和相关联的信号失真,紧邻层内信号迹线的凸起或通孔应该仅连接到一个信号电平(例如,接地连接或电源连接)。在图3的示例中,紧邻层L1中的信号迹线305的凸块接地,这非常适合于接地参考的数据信号。或者,对于使用电源参考数据信号的电路,紧邻信号迹线305的凸块可以是电源连接的。

[0075] 层L2紧密位于多层封装衬底中的层L1的下方,并包括规则的通孔阵列。在图3的示例中,层L2不包含任何数据信号迹线。相反,通过交替的接地连接和电源连接区域层将L2图案化。层L2中的接地区和电源区域被图案化为使得它们与相邻层L1中的接地和电源区域对齐。这里,对齐区域是直接在覆盖相同物理区域的区域之上或之下的区域,其中该区域具有相同类型的电连接(例如,接地连接或电源连接)。通过这种方式,相邻层中的接地区域和电源区域被“堆叠”,使得它们与上方和下方的相同类型的电连接的区域配合。因为层L2中没有去填充的行,所以层L1中紧密位于信号迹线下方的行是接地连接的。结果,层L1中的信号迹线通过接地连接在三个侧面被屏蔽。

[0076] 在一些实施方式中,可以仅通过通孔中的金属化来进行电连接。在其他实施方式中,可通过将金属图案化到围绕通孔的层的区域上以及图案化到通孔中来形成与区域的电连接。在图3的示例中,通过金属化通孔以及将金属图案化到通孔周围的区域(例如区域322)上来形成与接地和电源区域的电连接两者。

[0077] 层L3紧密位于多层封装衬底中的层L2的下方,并包括规则的通孔阵列。在图3的示例中,通过在指定区域中去填充,将数据信号迹线路由跨越该层。特别地,像层L1一样,去填充每第五行通孔并用一个或多个信号迹线代替。这里,每个去填充的行被四个信号迹线(例如迹线335)代替。因为数据信号是接地参考的,所以在接地区域内将信号线图案化,使得紧邻信号线的通孔被接地连接。与层L1类似,剩余的通孔可以在交替条带图案中连接到接地或电源信号电平。在该示例中,层L3的接地和电源区域被图案化,使得它们相应地与相邻层L2的接地和电源区域对齐。与层L2类似,可以仅通过通孔进行电连接,或者可通过将金属图案化到通孔周围的层的区域上来补充电连接。在示例层L3中,接地区域中的电连接被示出为仅通过通孔形成,而电源区域中的电连接被示出为通过通孔和金属化区域(例如区域332)形成。但是,在一些实施方式中,每行接地通孔331可通过层L3中的金属区域连接在一起。

[0078] 层L4紧密位于多层封装衬底300中的层L3的下方,并包括暴露在层底部的触点的栅格阵列,例如焊料凸块。层L4是多层封装衬底的底层,并通过触点与主电路板电接触。触点包括电源触点341和接地触点342。

[0079] 层L4上的触点341、342的间距可以大于L1、L2和L3层中的凸块/通孔阵列的间距。在一些实施方式中,外层L4上的栅格阵列的间距可以是层L1至L3中的栅格阵列的间距的固定比率。例如,如果层L1至L3中的栅格阵列的间距是140微米,则层L4的栅格阵列的间距可以是350微米。结果,层L4的间距相对于层L1至L3的栅格阵列的间距是2:5的固定比率。

[0080] 在图3的示例中,层L4不包含任何数据信号迹线。相反,通过交替的接地连接和电源连接区域将层L4图案化。层L4中的接地和电源区域被图案化为使得它们相应地与相邻层L3的接地和电源区域对齐。为了实现层L4与层L3之间的对齐,L3栅格阵列的间距(与L1和L2阵列的间距相同)、L4栅格阵列的间距以及交替接地/电源区域的间距必须选择为使得层上的接地和电源区域的对齐是可能的。通过配置每个层使得接地连接和电源连接区域相应地

与相邻层的接地和电源区域对齐,所有层的接地和电源区域直接堆叠在彼此之上。接地和电源层直接彼此对齐改善了通过多层封装衬底路由的数据信号的信号完整性。例如,接地参考信号的信号迹线不仅可以位于出现信号迹线的层中的接地导体之间。在上方和/或下方的相邻层的区域也可包括接地导体并省略电源导体,以避免与电源导体的电磁耦合。

[0081] 除了改善的信号完整性之外,所公开的信号路由和互连方法针对传统技术给出几个显著的优点。在不限制电源连接的情况下在IC之间路由信号的能力可以提高路由灵活性并减少安装和连接多个晶片所需的面积。仅以规则间隔去填充区域和图案化迹线使得数据信号能够在晶片下面路由,同时仍然通过相邻的剩余球和通孔触点提供到IC的电源和接地连接。在封装衬底的多个层上的路由数据信号迹线产生了更密集和更复杂的数据信号路由方案的可能性。数据信号迹线与电源/接地连接的比率可以在半导体晶片的不同区域中不同,以解决IC的不同区域的不同需求。例如,数据信号迹线可以在IC的某些部分下方路由,但不在IC的其他部分下方路由。

[0082] 在一些实施方式中,可将IC定制设计为与多层封装衬底上的特定信号路由方案配合。例如,可将IC设计为省略在层L1中存在信号迹线的区域上的触点。类似地,可将IC设计为省略与图3中示出的区域相对应的输入和输出触点。或者,可将多层封装衬底上的信号路由方案定制设计为与特定IC配合,或可以串联设计多层封装衬底和IC以实现所需的信号路由解决方案。

[0083] 图4是示出在半导体封装中使用信号路由和互连的示例性系统400的示意图。在系统400中,多层封装衬底将IC电互连到一个或多个存储器装置。

[0084] 系统400包括衬底420。衬底420可以是印刷电路板(PCB)、芯片级封装、倒装芯片BGA衬底或其他封装衬底。衬底420可包括再分布层(RDL)。在一些情况下,衬底420可包括不超过四层,例如,不超过具有导电迹线或其他导电金属区域的四层。可将衬底420配置为容纳IC 410或其他半导体晶片。

[0085] AnIC 410附接到衬底420的顶部。IC例如可以是CPU、GPU、APU、ASIC或其他电路。IC 410可以是半导体晶片。衬底420具有位于IC 410下方的特定区域450。区域450可以位于衬底420的被配置为与IC 410配合并提供到IC 410的电源和接地连接的区域。

[0086] 两个存储器装置430和440附接到衬底420的顶部。存储器装置430和440例如可以是动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、双倍数据速率存储器(DDR)、低功耗数据速率存储器(LPDDR)或任何其他存储装置、技术或模块。存储器装置430和440可以是相同的技术(即,都是LPDDR),也可以是不同的技术。

[0087] 衬底420在顶层上具有被配置为与存储器装置430配合的一个存储器区域以及被配置为与存储器装置440配合的第二存储器区域,其中存储器区域位于区域450的不同侧上。IC 410包括用于与存储器装置430耦合的一组触点431以及用于与存储器装置440耦合的第二组触点441,其中两组触点都位于区域450的一侧(左侧)。为了将第二组触点441连接到存储器装置440,信号迹线必须穿过区域450。

[0088] 在区域450内,多层衬底420的顶层具有用于耦合到IC 410的端子的电源和接地触点。触点例如可以是金属球触点、凸块、焊盘或其他导电连接。触点可以是球栅格阵列(BGA)的形式。在一些情况下,衬底420可以不包括区域450中的任何输入或输出触点。

[0089] 同样在区域450内,多层衬底420的底层具有用于耦合到另一个装置的电源和接地

触点。另一个装置例如可以是主电路板、主板、集成电路、印刷电路或其他装置。多层衬底420的底层上的电源和接地触点可以是焊球、凸块连接、焊盘或其他电触点。底层上的触点可以是球栅格阵列(BGA)焊球。

[0090] 在区域450内,多层衬底430的层可以具有与电源和接地连接相对应的区域的重复图案。这些区域可以是沿整个区域导电的金属化区域。这些区域可以是一系列离散导电元件(例如,凸块或其他触点、通孔等)。例如,与电源相对应的区域可以是每个连接到电源的一行触点、每个连接到电源的一行通孔、在层中提供电源平面的金属区域,等等。因此,用于电源或接地的区域不需要在该区域上连续导电。但是,可将层的电源区域布置为使得它不包括任何接地连接(例如,用于该区域中的电源的通孔或接触不会被接地导体中断或散布在其中)。类似地,可将层的接地区域布置为使得它不包括任何电源连接。在一些实施方式中,电源区域和接地区域在区域上方或下方都不包括半导体晶片的输入/输出连接。

[0091] 在一些实施方式中,可将用于电源和接地的区域的重复图案布置为使得接地区域直接位于彼此之上,并且电源区域直接位于彼此之上。

[0092] 在区域450内,多个层中的至少一个层具有跨越区域450延伸的信号迹线的重复图案,以便将触点441电连接到存储器装置440。这里,信号迹线沿着层的导电接地区域延伸并位于所述区域之间。在一些实施方式中,衬底420的顶层被包括在重复图案中布置的信号迹线,信号迹线沿着用于耦合到IC 410的接地触点延伸并位于接地触点之间。在一些情况下,多层封装衬底450的顶层中的信号迹线可以布置在多个信号迹线组中,每个信号迹线组包括多个信号迹线。这里,每个信号迹线组可以从区域450的一侧延伸到区域450的相反侧。对于接地参考信号而言,沿着跨越区域450的信号迹线的整个范围,与顶层的电源触点相比,每个信号迹线组更靠近顶层的接地触点。

[0093] 在一些实施方式中,可将衬底420的顶层上的触点布置在栅格中,栅格包括用于到IC 410的电源和接地连接的触点行的重复模式。这里,栅格可包括多个去填充的行,去填充的行不包括触点,其中信号迹线被图案化为沿着去填充的行延伸。

[0094] 在一些实施方式中,直接在衬底420的顶层下方可存在中间层。中间层可包括耦合到顶层的接地触点的金属接地区域,其中中间层的金属接地区域直接位于顶层的信号迹线的下方并沿其延伸。此外,中间层可包括交替金属区域,其相应地耦合到顶层的接地触点和电源触点。

[0095] 在一些系统中,衬底420的两个或更多个层可包括跨越区域450的信号迹线。例如,在四层衬底420中,第一(顶部)层和第三层可以每个包括延伸跨越区域450的信号迹线,而第二层和第四(底部)层可以不包括信号迹线。衬底420的给定层中的信号迹线可以放置在底层的接地触点上方,并且可以对齐以沿着底层的接地触点延伸。

[0096] 在一些实施方式中,在衬底420的两个或更多个层包含信号迹线的情况下,可将层上的信号迹线布置为使得一个层的信号迹线被放置在另一个层的信号迹线上方。这里,在两个信号迹线包含层之间可以存在中间层。中间层可以包含接地连接区域,使得接地区域位于两个或更多个信号迹线包含层的信号迹线之间。

[0097] 在一些实施方式中,区域450中的电源和接地的导电区域的重复图案可以跨越区域450基本上线性地延伸。信号迹线也可以跨越区域450基本上线性地延伸。在一些情况下,衬底420的任何层上的交替金属区域可以是接地条带和电源条带。在这些情况下,对于包含

信号迹线的那些层而言,信号迹线可以位于接地条带中。接地条带可以在衬底420的每个层中对齐,并且电源条带可以在衬底420的每个层中对齐。

[0098] 虽然图2和图3的示例示出包括四层的衬底,但是衬底可包括或多或少的层。例如,在一些实施方式中,如果在层L1中提供足够的信号迹线,则可以省略层L3。作为另一个示例,如果需要附加信号迹线,则可以在层L3与L4之间插入类似于层L2和L3的附加层,例如,一组层L1、L2、L3、L2、L3、L4。也可以使用其他布置和模式。

[0099] 因此,已经描述了本发明的特定实施例。其他实施例落入以下权利要求的范围。例如,可将权利要求中的特征的不同子组合用于实现期望的结果。

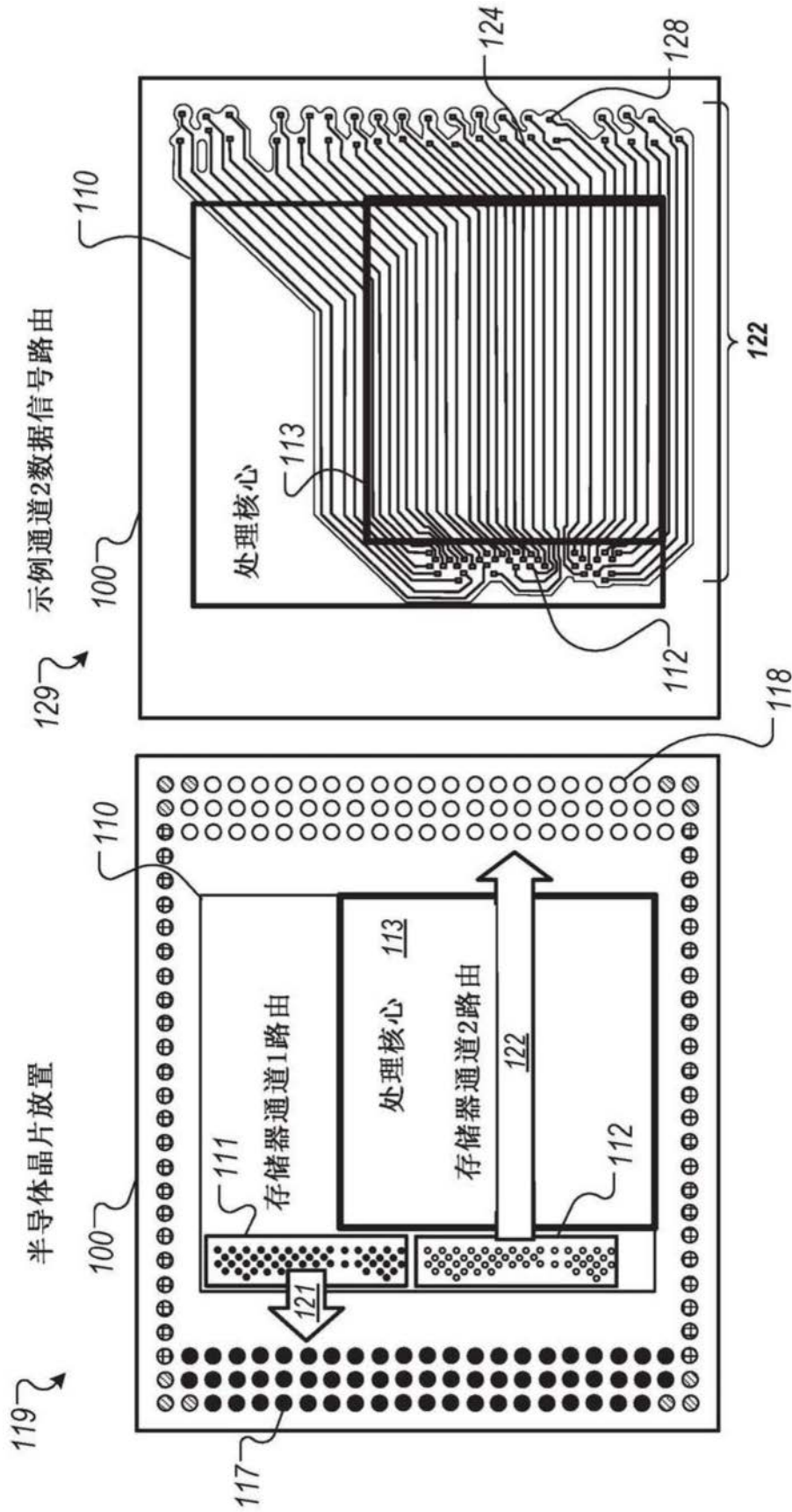


图1



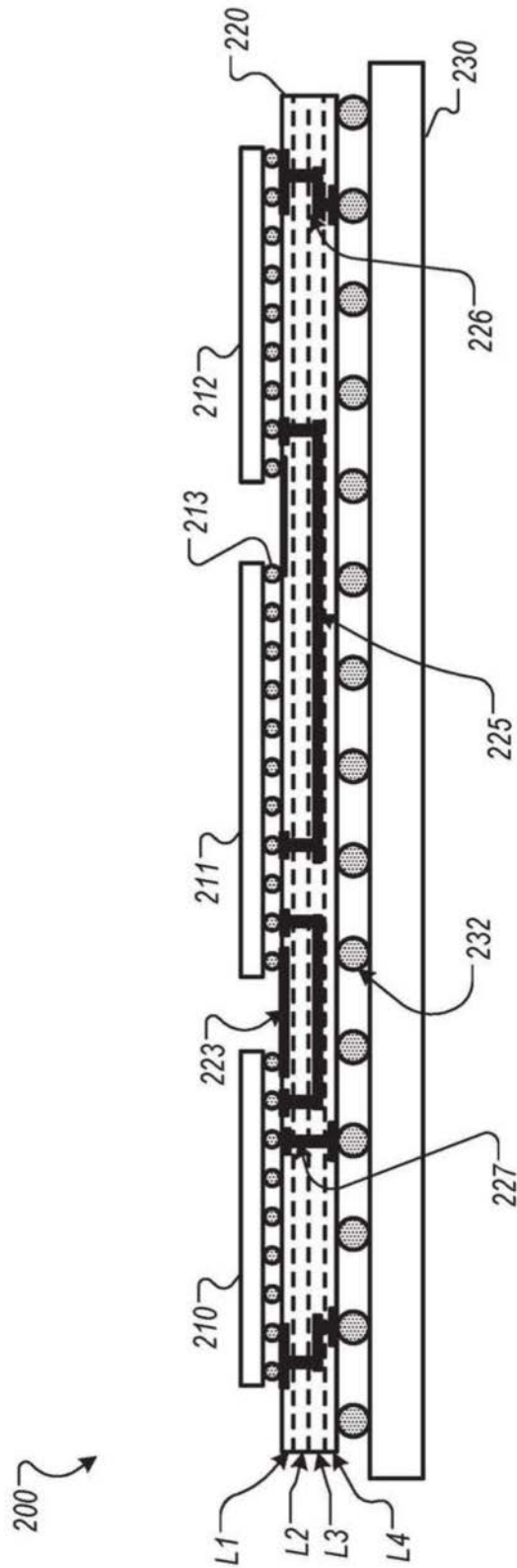


图2

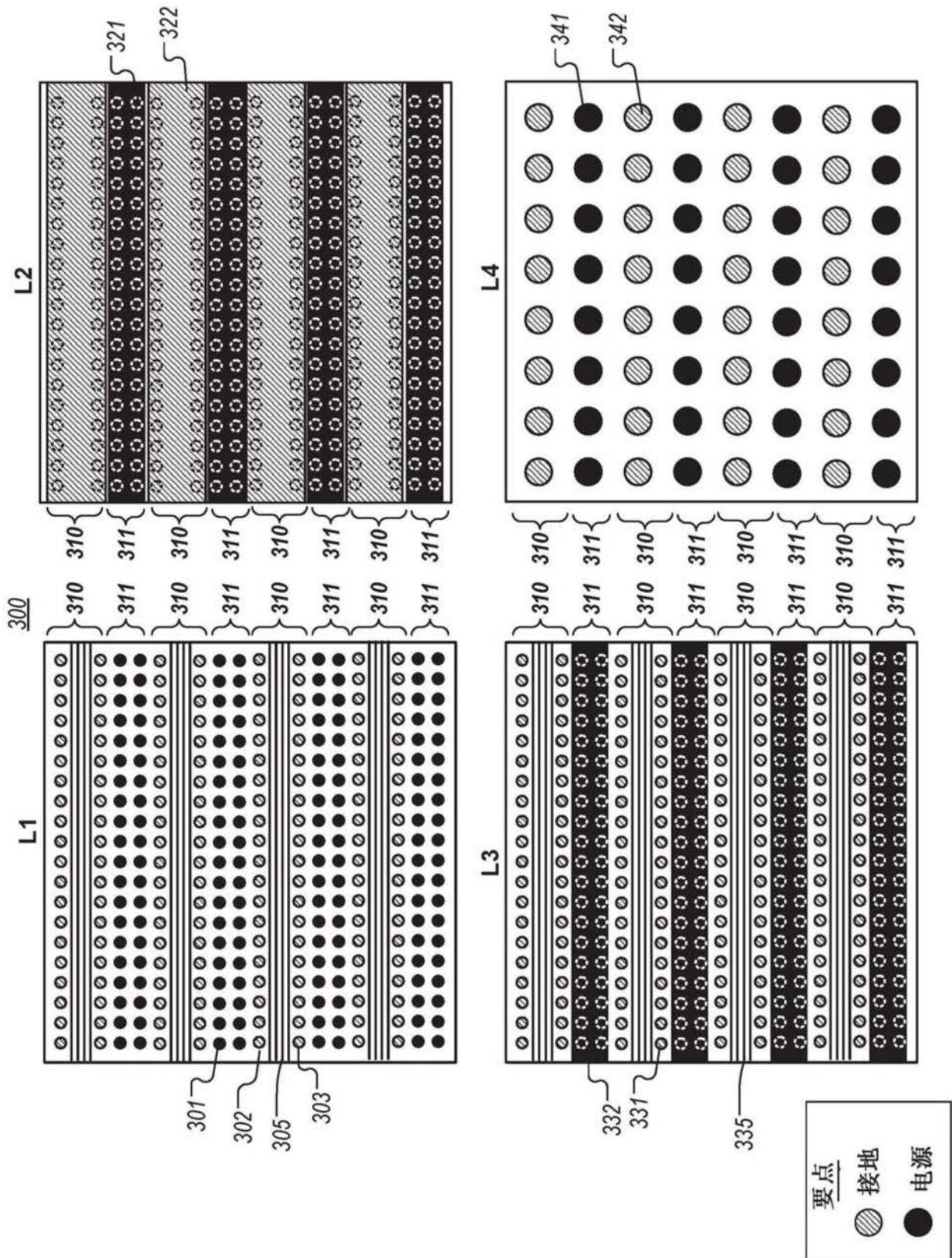


图3

400

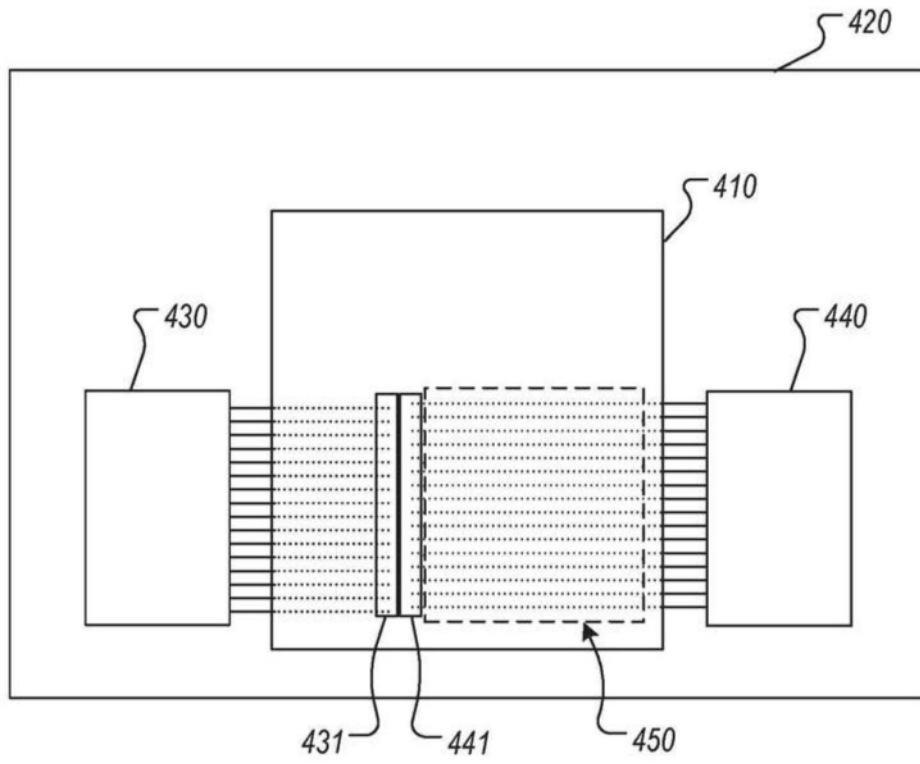


图4