(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월07일
(11) 등록번호 10-2142477
(24) 등록일자 2020년08월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2013-0138151
(22) 출원일자 2013년11월14일
심사청구일자 2018년09월20일
(65) 공개번호 10-2015-0055771
(43) 공개일자 2015년05월22일
(56) 선행기술조사문헌
KR1020040059698 A*
KR1020100110276 A*
KR1020100130490 A*
KR1020130025269 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
홍기상
경기 파주시 월롱면 엘지로 245, 정다운마을 101동 1011호 (파주LCD산업단지)
정호영
경기 고양시 덕양구 백양로 8, 1711동 1802호 (화정동, 옥빛마을17단지아파트)
방정호
경기 파주시 가람로116번길 130, 702동 1001호 (와동동, 가람마을7단지한라비발디)
(74) 대리인
네이트특허법인

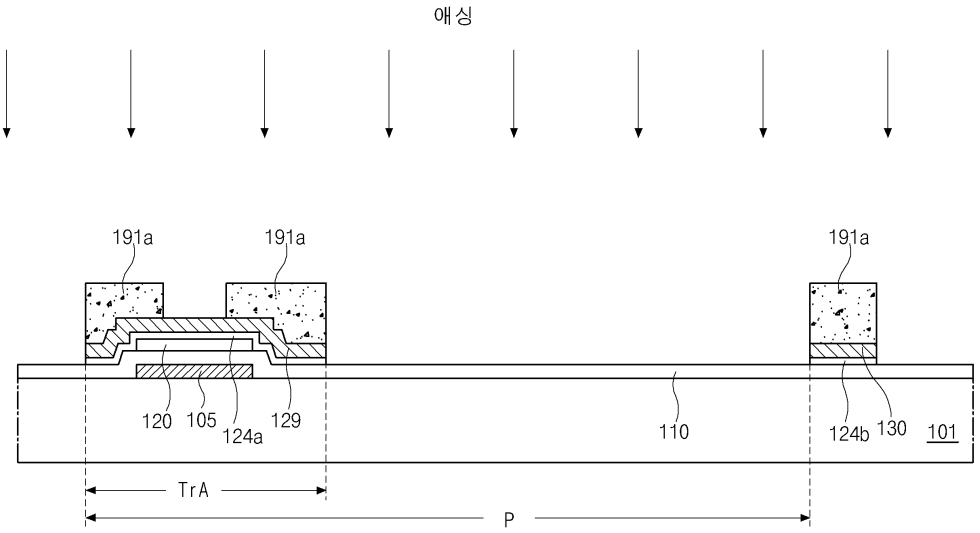
전체 청구항 수 : 총 23 항 심사관 : 이양근

(54) 발명의 명칭 **어레이 기판 및 이의 제조방법**

(57) 요 약

본 발명은, 다수의 화소영역이 정의된 기판과; 상기 기판 상의 다수의 화소영역 각각에 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 기판 전면에 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 각각 형성된 산화물 반도체층과; 상기 산화물 반도체층 위로 형성되며 도체 특성을 갖는 메탈실리사이드 영역과 비정질 실리콘 영역으로 이루어진 버퍼패턴과; 상기 버퍼패턴 위로 상기 메탈실리사이드 영역과 접촉하며 형성되며 서로 이격하는 소스 전극 및 드레인 전극을 포함하는 어레이 기판 및 이의 제조방법을 제공한다.

대 표 도 - 도4h



명 세 서

청구범위

청구항 1

다수의 화소영역이 정의된 기판과;

상기 기판 상의 다수의 화소영역 각각에 형성된 게이트 전극과;

상기 게이트 전극 위로 상기 기판 전면에 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 각각 형성된 산화물 반도체층과;

상기 산화물 반도체층 위로 형성되며 도체 특성을 갖는 메탈실리사이드 영역과 비정질 실리콘 영역으로 이루어진 버퍼패턴과;

상기 버퍼패턴 위로 상기 메탈실리사이드 영역과 접촉하며 형성되며 서로 이격하는 소스 전극 및 드레인 전극

을 포함하고,

상기 비정질 실리콘 영역은 실리콘으로 이루어지고,

상기 메탈실리사이드 영역은 상기 비정질 실리콘 영역을 구성하는 상기 실리콘과 상기 소스 전극 및 상기 드레인 전극을 구성하는 금속물질로 이루어지는 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 버퍼패턴은 아일랜드 형태로 상기 화소영역 별로 형성된 것이 특징인 어레이 기판.

청구항 3

제 2 항에 있어서,

상기 버퍼패턴의 상기 소스 전극 및 상기 드레인 전극의 이격영역에 대응하는 부분은 상기 비정질 실리콘 영역을 이루는 것이 특징인 어레이 기판.

청구항 4

제 2 항에 있어서,

상기 기판 상에는 상기 화소영역의 경계에 일 방향으로 연장하는 게이트 배선과;

상기 게이트 절연막 위로 메탈실리사이드 패턴을 개재하여 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선이 더욱 구비된 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 버퍼패턴은 상기 다수의 화소영역의 상기 산화물 반도체층과 상기 게이트 절연막 상부의 상기 기판 전면에 형성됨으로써 버퍼층을 이루는 것이 특징인 어레이 기판.

청구항 6

제 5 항에 있어서,

상기 기판 상에는 상기 화소영역의 경계에 일 방향으로 연장하는 게이트 배선과;

상기 버퍼층 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선이 더욱 구비되며, 상기 데이터 배선은 상기 메탈실리사이드 영역과 접촉하며 형성된 것이 특징인 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 버퍼층의 상기 소스 전극 및 상기 드레인 전극과 상기 데이터 배선이 형성된 영역을 제외한 영역은 상기 비정질 실리콘 영역을 이루는 것이 특징인 어레이 기판.

청구항 8

제 1 항에 있어서,

상기 소스 전극 및 상기 드레인 전극의 상기 메탈실리사이드 영역과 접촉하는 부분은 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 것이 특징인 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 소스 전극 및 상기 드레인 전극은 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 단일층 구조를 이루거나, 또는 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제1층과 저저항 금속물질인 구리(Cu), 구리합금, 알루미늄(Al), 알루미늄합금(AlNd) 중 어느 하나로 이루어진 제2층의 이중층 구조를 이루는 것이 특징인 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 소스 전극 및 상기 드레인 전극은 상기 제2층 상에 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제3층이 더욱 구비되어 삼중층 구조를 이루는 것이 특징인 어레이 기판.

청구항 11

제 1 항에 있어서,

상기 소스 전극 및 상기 드레인 전극 위로 상기 기판 전면에 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀이 구비된 보호층과;

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 화소영역에 각각 구비된 화소전극

을 포함하는 어레이 기판.

청구항 12

제 1 항에 있어서,

상기 버퍼패턴의 두께는 10 내지 200㎛인 것이 특징인 어레이 기판.

청구항 13

다수의 화소영역이 정의된 기판 상의 상기 다수의 화소영역 각각에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위로 상기 기판 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 아일랜드 형태의 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위로 순차적으로 상기 기판 전면에 비정질 실리콘층과 제 1 금속층을 형성하는 단계와;

상기 제 1 금속층과 비정질 실리콘층을 패터닝하여 각 화소영역 내에 서로 이격하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극 하부로 아일랜드 형태의 버퍼패턴을 형성하는 단계와;

상기 소스 전극 및 상기 드레인 전극 위로 상기 기판 전면에 보호층을 형성하는 단계와;

상기 보호층이 형성된 기판을 열처리 공정을 진행함으로써, 상기 버퍼패턴 중 상기 소스 전극 및 상기 드레인 전극 사이로 노출되는 부분은 실리콘으로 이루어지는 비정질 실리콘 영역을 이루도록 하고, 상기 소스 전극 및 상기 드레인 전극과 접촉하는 부분은 상기 비정질 실리콘 영역을 구성하는 상기 실리콘과 상기 소스 전극 및 상기 드레인 전극을 구성하는 금속물질로 이루어지는 메탈실리사이드 영역을 이루도록 하는 단계를 포함하는 어레이 기판의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 금속층과 비정질 실리콘층을 패터닝하여 각 화소영역 내에 서로 이격하는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극 하부로 아일랜드 형태의 버퍼패턴을 형성하는 단계는,

상기 제 1 금속층 위로 제 1 두께의 제 1 포토레지스트 패턴과 상기 제 1 두께 보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트 패턴 외측으로 노출된 상기 제 1 금속층과 이의 하부에 위치하는 상기 비정질 실리콘층을 제거함으로써, 상기 버퍼패턴과 상기 버퍼패턴 위로 상기 버퍼패턴과 동일한 평면 형태를 갖는 소스 드레인 패턴을 형성하는 단계와;

애싱을 진행하여 상기 제 2 포토레지스트 패턴을 제거함으로써, 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와;

상기 제 1 포토레지스트 패턴 외측으로 노출된 상기 소스 드레인 패턴의 중앙부를 제거함으로써, 서로 이격하는 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 어레이 기판의 제조 방법.

청구항 15

제 13 항에 있어서,

상기 게이트 전극을 형성하는 단계는 상기 각 화소영역의 경계에 일방향으로 연장하는 게이트 배선을 형성하는 것을 포함하며,

상기 소스 전극 및 상기 드레인 전극과 상기 소스 전극 및 상기 드레인 전극 하부로 아일랜드 형태의 버퍼패턴을 형성하는 단계는 상기 게이트 절연막 위로 비정질 실리콘 패턴을 개재하여 상기 게이트 배선과 교차하여 상

기 화소영역을 정의하는 데이터 배선을 형성하는 것을 포함하는 어레이 기판의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 비정질 실리콘 패턴은 상기 열처리 공정 진행에 의해 메탈실리사이드로 변환되는 것이 특징인 어레이 기판의 제조 방법.

청구항 17

다수의 화소영역이 정의된 기판 상의 상기 다수의 화소영역 각각에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위로 상기 기판 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 아일랜드 형태의 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위로 상기 기판 전면에 비정질 실리콘층을 형성하는 단계와;

상기 비정질 실리콘층 위로 각 화소영역 내에 상기 산화물 반도체층에 대응하여 서로 이격하는 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 전극 및 상기 드레인 전극 위로 상기 기판 전면에 보호층을 형성하는 단계와;

상기 보호층이 형성된 기판을 열처리 공정을 진행함으로써, 상기 비정질 실리콘층 중 상기 소스 전극 및 상기 드레인 전극 사이로 노출되는 부분은 실리콘으로 이루어지는 비정질 실리콘 영역을 이루도록 하고, 상기 소스 전극 및 상기 드레인 전극과 접촉하는 부분은 상기 비정질 실리콘 영역을 구성하는 상기 실리콘과 상기 소스 전극 및 상기 드레인 전극을 구성하는 금속물질로 이루어지는 메탈실리사이드 영역을 이루도록 하는 단계를 포함하는 어레이 기판의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 게이트 전극을 형성하는 단계는 상기 각 화소영역의 경계에 일방향으로 연장하는 게이트 배선을 형성하는 것을 포함하며,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는 상기 비정질 실리콘층 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하는 것을 포함하는 어레이 기판의 제조 방법.

청구항 19

제 13 항 또는 제 17 항에 있어서,

상기 비정질 실리콘층은 10 내지 200Å의 두께를 갖도록 형성하는 것이 특징인 어레이 기판의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 열처리 공정은 400 내지 600℃의 온도 분위기에서 5분 내지 120분간 진행하는 것이 특징인 어레이 기판의 제조 방법.

청구항 21

제 13 항 또는 제 17 항에 있어서,

상기 소스 전극 및 상기 드레인 전극의 상기 메탈실리사이드 영역과 접촉하는 부분은 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 것이 특징인 어레이 기판의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 소스 전극 및 상기 드레인 전극은,

상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 단일층 구조를 이루거나,

상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제1층과 저저항 금속물질인 구리(Cu), 구리합금, 알루미늄(Al), 알루미늄합금(AlNd) 중 어느 하나로 이루어진 제2층의 이중층 구조를 이루거나,

상기 제1층 및 제2층과 더불어 상기 제2층 상에 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제3층이 더욱 구비되어 삼중층 구조를 이루는 것이 특징인 어레이 기판의 제조방법.

청구항 23

제 17 항에 있어서,

상기 비정질 실리콘층은 상기 다수의 화소영역의 상기 산화물 반도체층과 상기 게이트 절연막 상부의 상기 기판 전면에 형성되는 것이 특징인 어레이 기판의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 어레이 기판에 관한 것이며, 특히 소자 특성 안정성이 우수한 산화물 반도체층을 구비하며 숏 채널을 구현하여 면적을 저감하며, 나아가 기생용량을 최소화할 수 있는 박막트랜지스터를 포함하는 어레이 기판 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어듦에 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 여러 가지 다양한 평판표시장치가 개발되어 각광받고 있다.

[0003] 이 같은 평판표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device : LCD), 플라즈마표시장치(Plasma Display Panel device : PDP), 전계방출표시장치(Field Emission Display device : FED), 전기발광표시장치(Electroluminescence Display device : ELD) 등을 들 수 있는데, 이들 평판표시장치는 박형화, 경량화, 저소비전력화의 우수한 성능을 보여 기존의 브라운관(Cathode Ray Tube : CRT)을 빠르게 대체하고 있다.

[0004] 이중 특히 액정표시장치는 콘트라스트 비(contrast ratio)가 크고 동화상 표시에 적합하며 소비전력이 적다는 특징을 보여 노트북, 모니터, TV 등의 다양한 분야에서 활용되고 있는데, 이의 화상구현원리는 액정의 광학적 이방성과 분극성질을 이용하는 것으로, 액정은 분자구조가 가늘고 길며 배열에 방향성을 갖는 광학적 이방성과, 전기장 내에 놓일 경우 그 크기에 따라 분자배열 방향이 변화되는 분극성질을 띤다.

[0005] 또한, 유기전계 발광소자는 높은 휘도와 낮은 동작 전압 특성을 가지며, 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(㎲) 정

도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하므로 최근 평판표시장치로서 주목 받고 있다.

[0006] 이러한 액정표시장치와 유기전계 발광소자에 있어서 공통적으로 화소영역 각각을 온(on)/오프(off) 제거하기 위해서 필수적으로 스위칭 소자인 박막트랜지스터를 구비한 어레이 기판이 구성되고 있다.

[0007] 이러한 구성을 갖는 어레이 기판을 살펴보면 서로 교차하여 다수의 화소영역을 정의하는 게이트 및 데이터 배선이 구비되고 있으며, 각 화소영역에는 스위칭 및 구동 소자의 역할을 하는 박막트랜지스터가 적어도 하나 또는 2개 이상 다수 개 구비되고 있다.

[0008] 한편, 이렇게 어레이 기판의 각 화소영역에 구비되는 박막트랜지스터는 이의 일 구성요소인 반도체층을 이루는 구성 물질에 따라 다양한 구조를 이루고 있다.

[0009] 즉, 상기 반도체층은 비정질 실리콘, 산화물 반도체 물질, 폴리실리콘 중 어느 하나로 이루어질 수 있으며, 상기 어레이 기판에는 이러한 반도체층을 이루는 물질에 따라 탑 게이트 또는 보텀 게이트 구조를 갖는 박막트랜지스터가 형성되고 있다.

[0010] 이러한 다양한 반도체 물질로 이루어진 반도체층을 구비한 박막트랜지스터 중 근래 들어서는 산화물 반도체 물질로 이루어진 산화물 반도체층이 구비된 박막트랜지스터를 포함하는 어레이 기판에 관심이 모아지고 있다.

[0011] 산화물 반도체층을 포함하는 박막트랜지스터의 경우, 비정질 실리콘을 반도체층으로 하는 박막트랜지스터 대비 캐리어의 전도도 특성이 우수하며, 불순물의 도핑 등을 필수 공정으로 필요로 됨으로서 제조 공정이 상대적으로 복잡한 폴리실리콘을 반도체층을 구비한 박막트랜지스터 대비 제조 공정이 단순하기 때문이다.

[0012] 도 1은 종래의 산화물 반도체층을 구비한 박막트랜지스터를 포함하는 어레이 기판의 하나의 화소영역에 대한 단면도이다.

[0013] 도시한 바와 같이, 종래의 산화물 반도체층(77)을 구비한 박막트랜지스터(Tr1)를 포함하는 어레이 기판(71)은 게이트 전극(73)과 게이트 절연막(75)과 단일층 구조의 산화물 반도체층(77)과 에치스토퍼(79) 및 상기 에치스토퍼(79) 상에서 서로 이격하는 소스 및 드레인 전극(81, 83)의 적층 구성을 이루고 있다.

[0014] 이때, 상기 산화물 반도체층(77)의 중앙부에 대응하여 상기 에치스토퍼(79)가 구비되고 있는 것은 상기 산화물 반도체층(77)은 상기 소스 및 드레인 전극(81, 83) 형성을 위한 금속물질로 이루어진 금속층(미도시)의 패터닝을 위한 식각액에 노출되는 경우 상기 금속층(미도시)과 선택비가 없어 식각되어 제거되거나. 또는 상기 식각액에 노출에 의해 상기 산화물 반도체층(77) 내부 구조가 손상되어 이를 포함하는 박막트랜지스터(Tr1)의 특성에 영향을 줄 수 있으며, 이러한 것을 방지하기 위함이다.

[0015] 즉, 상기 산화물 반도체층(77)의 중앙부가 상기 소스 및 드레인 전극(81, 83) 형성을 위한 패터닝 시 식각액에 노출되지 않도록 하기 위해 상기 산화물 반도체층(77) 중앙부의 상부에 무기절연물질로 이루어진 에치스토퍼(79)를 구비한 것이다.

[0016] 하지만, 이렇게 상기 산화물 반도체층(77)과 그 상부에 에치스토퍼(79)를 구비한 박막트랜지스터(Tr1)를 포함하는 어레이 기판(71)을 제조 시에는 상기 에치스토퍼(79) 형성을 위해 1회의 마스크 공정이 추가되고 있다.

[0017] 마스크 공정은 포토레지스트의 도포, 노광 마스크를 이용한 노광, 노광된 포토레지스트의 현상, 식각 및 스트립의 총 5개의 단위 공정을 포함하여 진행되므로 그 공정이 복잡하고 많은 약액이 사용되므로 마스크 공정 수가 증가하면 증가할수록 제조 시간이 길어져 단위 시간당 생상성이 전하되며, 불량 발생 빈도가 높아지며, 제조 비용이 상승한다.

[0018] 따라서 산화물 반도체층(77)과 에치스토퍼(79)를 구비한 종래의 어레이 기판(71)의 경우 마스크 공정을 줄여 제조 비용을 저감시키는 것이 요구되고 있는 실정이다.

[0019] 또한, 상기 산화물 반도체층(77)과 에치스토퍼(79)를 구비한 종래의 어레이 기판(71)을 제조 시에 에치스토퍼(79) 형성 시의 공정 마진과 에치스토퍼(79), 산화물 반도체층(77), 소스 및 드레인 전극(81, 83)간의 패터닝 시 노광 미스 얼라인 마진을 고려해야 하기 때문에 상기 박막트랜지스터(Tr1)의 채널 길이가 증가하고 있다.

[0020] 그리고 상기 에치스토퍼(79) 외곽에 위치하는 산화물 반도체층(77)이 소스 및 드레인 전극(81, 83) 패터닝을 위한 식각액에 노출되는 것을 방지하기 위해 소스 및 드레인 전극(81, 83)을 에치스토퍼(79)와 중첩하도록 형성해

야 하는데, 이를 위해서는 노광 시 미스 얼라인을 고려하여 상기 소스 및 드레인 전극(81, 83)이 상대적으로 큰 면적을 갖도록 형성되어야 하므로 상기 소스 및 드레인 전극(81, 83)과 게이트 전극(73)간의 중첩 면적이 증가하여 기생용량(Cgs)이 증가하게 되어 박막트랜지스터(Tr)의 특성을 저하시키는 요인이 되고 있다.

발명의 내용

해결하려는 과제

[0021] 본 발명은 전술한 문제를 해결하기 위한 것으로, 산화물 반도체층이 금속물질을 패터닝하기 위한 식각액에 의해 손상되지 않도록 하면서 1회의 마스크 공정을 저감하여 공정 단순화에 의해 제조 비용을 저감시킬 수 있는 산화물 반도체층을 구비한 어레이 기판 및 이의 제조방법을 제공하는 것을 그 목적으로 한다.

[0022] 나아가 숏채널을 구현하면서, 소스 및 드레인 전극과 게이트 전극이 중첩하는 면적을 줄여 이에 의한 기생용량을 저감시킴으로서 박막트랜지스터의 특성을 향상시킬 수 있는 산화물 반도체층을 구비한 어레이 기판 및 이의 제조방법을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0023] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판은, 다수의 화소영역이 정의된 기판과; 상기 기판 상의 다수의 화소영역 각각에 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 기판 전면에 형성된 게이트 절연막과;

[0024] 상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 각각 형성된 산화물 반도체층과; 상기 산화물 반도체층 위로 형성되며 도체 특성을 갖는 메탈실리사이드 영역과 비정질 실리콘 영역으로 이루어진 버퍼패턴과; 상기 버퍼패턴 위로 상기 메탈실리사이드 영역과 접촉하며 형성되며 서로 이격하는 소스 전극 및 드레인 전극을 포함한다.

[0025] 이때, 상기 버퍼패턴은 아일랜드 형태로 상기 각 소자영역 별로 형성된 것이 특징이며, 상기 버퍼패턴은 상기 소스 전극과 드레인 전극의 이격영역에 대응하는 부분은 상기 비정질 실리콘 영역을 이루는 것이 특징이다.

[0026] 그리고 상기 기판 상에는 상기 화소영역의 경계에 일 방향으로 연장하는 게이트 배선과; 상기 게이트 절연막 위로 메탈실리사이드 패턴을 개재하여 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선이 더욱 구비된다.

[0027] 또한, 상기 버퍼패턴은 상기 기판 전면에 형성됨으로서 버퍼층을 이루는 것이 특징이며, 상기 기판 상에는 상기 화소영역의 경계에 일 방향으로 연장하는 게이트 배선과; 상기 버퍼층 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선이 더욱 구비되며, 상기 데이터 배선은 상기 메탈실리사이드 영역과 접촉하며 형성된 것이 특징이다.

[0028] 그리고 상기 버퍼층은 상기 소스 및 드레인 전극과 데이터 배선이 형성된 영역을 제외한 영역은 상기 비정질 실리콘 영역을 이루는 것이 특징이다.

[0029] 한편, 상기 소스 및 드레인 전극은 상기 메탈실리사이드 영역과 접촉하는 부분은 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 것이 특징이다.

[0030] 그리고 상기 소스 및 드레인 전극은 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 단일층 구조를 이루거나, 또는 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제1층과 저저항 금속물질인 구리(Cu), 구리합금, 알루미늄(Al), 알루미늄합금(AlNd) 중 어느 하나로 이루어진 제2층의 이중층 구조를 이루는 것이 특징이며, 나아가 상기 소스 및 드레인 전극은 상기 제2층 상에 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제3층이 더욱 구비되어 삼중층 구조를 이루는 것이 특징이다.

[0031] 또한, 상기 소스 및 드레인 전극 위로 상기 기판 전면에 형성되며 상기 드레인 전극을 노출시키는 드레인 콘택홀이 구비된 보호층과; 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 화소영역에 각각 구비된 화소전극을 포함한다.

[0032] 그리고 상기 버퍼패턴은 10 내지 200Å 인 것이 특징이다.

[0033] 본 발명의 일 실시예에 따른 어레이 기판의 제조 방법은, 다수의 화소영역이 정의된 기판 상의 상기 다수의 화소영역 각각에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 위로 상기 기판 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 아일랜드 형태의 산화물 반도체층을 형성하는 단계와; 상기 산화물 반도체층 위로 순차적으로 상기 기판 전면에 비정질 실리콘층과 제 1 금속층을 형성하는 단계와; 상기 제 1 금속층과 비정질 실리콘층을 패터닝하여 각 화소영역 내에 서로 이격하는 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 하부로 아일랜드 형태의 버퍼패턴을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 상기 기판 전면에 보호층을 형성하는 단계와; 상기 보호층이 형성된 기판을 열처리 공정을 진행함으로서 상기 버퍼패턴 중 상기 소스 및 드레인 전극과 접촉하는 부분이 메탈실리사이드 영역을 이루도록 하는 단계를 포함한다.

[0034] 이때, 상기 제 1 금속층과 비정질 실리콘층을 패터닝하여 각 화소영역 내에 서로 이격하는 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 하부로 아일랜드 형태의 버퍼패턴을 형성하는 단계는, 상기 제 1 금속층 위로 제 1 두께의 제 1 포토레지스트 패턴과 상기 제 1 두께 보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트 패턴 외측으로 노출된 상기 제 1 금속층과 이의 하부에 위치하는 상기 비정질 실리콘층을 제거함으로서 상기 버퍼패턴과 상기 버퍼패턴 위로 상기 버퍼패턴과 동일한 평면 형태를 갖는 소스 드레인 패턴을 형성하는 단계와; 애싱을 진행하여 상기 제 2 포토레지스트 패턴을 제거함으로서 상기 소스 드레인 패턴의 중앙부를 노출시키는 단계와; 상기 제 1 포토레지스트 패턴 외측으로 노출된 상기 소스 드레인 패턴의 중앙부를 제거함으로서 서로 이격하는 상기 소스 및 드레인 전극을 형성하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0035] 또한, 상기 게이트 전극을 형성하는 단계는 상기 각 화소영역의 경계에 일방향으로 연장하는 게이트 배선을 형성하는 것을 포함하며, 상기 소스 및 드레인 전극과 상기 소스 및 드레인 전극 하부로 아일랜드 형태의 버퍼패턴을 형성하는 단계는 상기 게이트 절연막 위로 비정질 실리콘 패턴을 개재하여 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하는 것을 포함한다.

[0036] 이때, 상기 비정질 실리콘 패턴은 상기 열처리 공정 진행에 의해 메탈실리사이드로 변환되는 것이 특징이다.

[0037] 본 발명의 또 다른 실시예에 따른 어레이 기판의 제조 방법은, 다수의 화소영역이 정의된 기판 상의 상기 다수의 화소영역 각각에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 위로 상기 기판 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 게이트 전극이 대응하여 아일랜드 형태의 산화물 반도체층을 형성하는 단계와; 상기 산화물 반도체층 위로 상기 기판 전면에 비정질 실리콘층을 형성하는 단계와; 상기 비정질 실리콘층 위로 각 화소영역 내에 상기 산화물 반도체층에 대응하여 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 상기 기판 전면에 보호층을 형성하는 단계와; 상기 보호층이 형성된 기판을 열처리 공정을 진행함으로서 상기 비정질 실리콘층 중 상기 소스 및 드레인 전극과 접촉하는 부분이 메탈실리사이드 영역을 이루도록 하는 단계를 포함한다.

[0038] 이때, 상기 게이트 전극을 형성하는 단계는 상기 각 화소영역의 경계에 일방향으로 연장하는 게이트 배선을 형성하는 것을 포함하며, 상기 소스 및 드레인 전극을 형성하는 단계는 상기 비정질 실리콘층 위로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선을 형성하는 것을 포함한다.

[0039] 한편, 상기 비정질 실리콘층은 10 내지 200Å의 두께를 갖도록 형성하는 것이 특징이며, 이때, 상기 열처리 공정은 400 내지 600℃의 온도 분위기에서 5분 내지 120분간 진행하는 것이 특징이다.

[0040] 그리고 상기 소스 및 드레인 전극은 상기 메탈실리사이드 영역과 접촉하는 부분은 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 것이 특징이며, 이때, 상기 소스 및 드레인 전극은, 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 단일층 구조를 이루거나, 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제1층과 저저항 금속물질인 구리(Cu), 구리합금, 알루미늄(Al), 알루미늄합금(AlNd) 중 어느 하나로 이루어진 제2층의 이중층 구조를 이루거나, 상기 제1층 및 제2층과 더불어 상기 제2층 상에 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질로 이루어진 제3층이 더욱 구비되어 삼중층 구조를 이루는 것이 특징이다.

[0041]

발명의 효과

[0042] 본 발명은, 별도의 에치스토퍼 없이 산화물 반도체층을 포함하는 박막트랜지스터를 형성하면서도 산화물 반도체층이 소스 및 드레인 전극 패터닝 시 영향을 받지 않도록 함으로써 산화물 반도체층의 손상이 발생하지 않으므로 박막트랜지스터의 특성 저하를 억제하는 효과가 있다.

[0043] 또한, 본 발명은 에치스토퍼를 생략할 수 있으므로 종래의 에치스토퍼를 구비한 어레이 기판의 제조 공정 대비 1회의 마스크 공정을 생략할 수 있으므로 마스크 공정 수를 줄여 공정을 단순화하는 효과가 있다.

[0044] 또한, 에치스토퍼를 생략함으로써 이와 중첩하여 형성되는 소스 및 드레인 전극의 면적을 줄일 수 있으며, 나아가 채널 길이를 줄여 숏 채널을 구현하는 효과가 있다.

[0045] 나아가 이렇게 박막트랜지스터가 숏 채널을 이루는 경우, 온 커런트(Ion)가 증가하고 채널 형성을 위한 전압이 낮아지므로 구동 전압 감소를 통한 전력 소비 저감의 효과를 가지며, 나아가 채널 영역이 작아짐에 의해 박막트랜지스터의 면적이 저감됨으로서 화소영역 내에서 박막트랜지스터가 차지하는 면적이 줄어들게 되므로 개구율 향상의 효과를 갖는다.

[0046] 또한, 에치스토퍼를 생략하여 소스 및 드레인 전극의 면적이 저감됨으로써 게이트 전극과의 중첩 면적이 줄어들어 기생용량(Cgs)를 저감시킬 수 있으므로 박막트랜지스터의 특성을 향상시키는 효과가 있다.

도면의 간단한 설명

[0047] 도 1은 종래의 산화물 반도체층을 갖는 박막트랜지스터를 구비한 어레이 기판의 하나의 화소영역에 대한 단면도.

도 2는 본 발명의 제 1 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 하나의 화소영역에 대한 단면도.

도 3은 본 발명의 제 1 실시예에 따른 어레이 기판의 박막트랜지스터의 평면도와 비교예로서 에치스토퍼를 형성하는 것을 특징으로 하는 종래의 어레이 기판의 박막트랜지스터의 평면도를 함께 도시한 도면.

도 4a 내지 도 4n은 본 발명의 제 1 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

도 5는 본 발명의 제 2 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 하나의 화소영역에 대한 단면도.

도 6a 내지 도 6e는 본 발명의 제 2 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0048] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.

[0049] 도 2는 본 발명의 제 1 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 하나의 화소영역에 대한 단면도이다. 이때, 설명의 편의를 위해 각 화소영역 내에 박막트랜지스터가 형성된 영역을 소자영역(TrA)이라 정의하였다.

[0050] 도시한 바와같이, 본 발명의 제 1 실시예에 따른 어레이 기판(101)에 있어 각 화소영역(P) 내의 소자영역(TrA)에는 산화물 반도체층(120)을 구비한 박막트랜지스터(Tr2)가 구비되고 있다.

[0051] 이때, 상기 산화물 반도체층(120)을 구비한 박막트랜지스터(Tr2)는 에치스토퍼가 생략되고 있는 것이 특징이며, 별도의 추가적인 마스크 공정없이 소스 및 드레인 전극(133, 136)과 함께 패터닝되어 형성되는 것을 특징으로 하여 상기 산화물 반도체층(120)에 대응하여 이의 상부에 구비되며, 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분은 도전성 특성을 갖는 메탈실리사이드로 이루어지며 상기 소스 및 드레인 전극(133, 136)의 이격영역에 대해서는 비정질 실리콘으로 이루어진 것을 특징으로 하는 아일랜드 형태의 버퍼패턴(125)이 구비되고 있는 것이 특징이다.

[0052] 즉, 상기 박막트랜지스터(Tr2)는 게이트 전극(105)과 게이트 절연막(110)과 산화물 반도체층(120)과 부분적으로 도전성 특성을 갖는 버퍼패턴(125)과 서로 이격하는 소스 및 드레인 전극(133, 136)의 적층 구성을 이루는 것이

특징이다.

[0053] 이러한 구성을 갖는 박막트랜지스터(Tr2)에 있어 상기 버퍼패턴(125)이 부분적으로는 부도체 또는 반도체적 특성을 가지며 또 다른 부분적으로는 소스 및 드레인 전극(133, 136)과 접촉하여 도체적 특성을 갖는 물질로 이루어지고 있다.

[0054] 즉, 상기 버퍼패턴(125)은 산화물 반도체층(120)의 채널을 이루는 부분에 대해서는 부도체 또는 반도체 특성을 갖는 비정질 실리콘으로 이루어지며, 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분은 상기 비정질 실리콘이 변화되어 도전 특성을 갖는 메탈실리사이드로 이루어지고 있다.

[0055] 따라서 이러한 구성을 갖는 상기 버퍼패턴(125)은 상기 소스 및 드레인 전극(133, 136) 형성 시 동일한 마스크 공정에 의해 형성됨으로서 추가적인 마스크 공정을 필요로 하지 않으며, 나아가 소스 및 드레인 전극(133, 136) 형성 시 이를 이루는 금속층의 패터닝 시 이용되는 식각액이 상기 산화물 반도체층(120)으로 침투하는 것을 방지하는 에치스토퍼의 역할을 함으로서 박막트랜지스터(Tr2)의 특성 저하를 억제하는 효과를 갖는다.

[0056] 상기 버퍼패턴(125) 중 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분은 도전 특성을 갖는 메탈실리사이드로 이루어지며 이러한 메탈실리사이드로 이루어진 메탈실리사이드 영역(125a)은 상기 산화물 반도체층(120)보다 도전특성이 크며 상기 소스 및 드레인 전극(133, 136)보다는 도전 특성 작으므로 상기 소스 및 드레인 전극(133, 136)과 산화물 반도체층(120) 사이에서 오믹(ohmic)영역을 이루어 접촉저항을 낮추는 역할을 함으로서 상기 산화물 반도체층과 소스 및 드레인 전극이 직접 접촉하는 박막트랜지스터 대비 그 구동 특성이 향상되는 효과가 있다.

[0057] 그리고 이러한 구성을 갖는 박막트랜지스터(Tr2)는 별도의 에치스토퍼를 구비하지 않으므로 상기 에치스토퍼가 구비됨에 의해 필요로 되는 노광 미스 얼라인 마진등이 고려될 필요가 없으므로 소스 및 드레인 전극(133, 136) 자체의 면적이 작아지며, 이에 의해 게이트 전극(105)과 중첩되는 부분도 자연적으로 작아지게 되므로 게이트 전극(105)과 소스 및 드레인 전극(133, 136)이 중첩하는 면적에 그 크기가 비례하는 기생용량(Cgs)이 줄어들게 됨으로서 박막트랜지스터(Tr2) 자체의 특성이 향상되는 효과가 있다.

[0058] 나아가 에스스토퍼가 없으므로 소스 및 드레인 전극(133, 136) 사이의 이격영역 자체가 채널이 형성되는 영역이 되므로 에치스토퍼가 구비되어 상기 에치스토퍼의 폭이 채널영역이 되는 종래의 박막트랜지스터(Tr2) 대비 숏 채널을 이루는 장점을 갖는다.

[0059] 박막트랜지스터(Tr2)가 숏 채널을 이루는 경우, 온 커런트(Ion)가 증가하며 이에 의해 채널 형성을 위한 전압이 낮아지므로 구동 전압 감소를 통한 전력 소비 저감의 효과를 가지며, 나아가 채널 영역이 작아짐에 의해 박막트랜지스터(Tr2)의 면적이 저감됨으로서 화소영역(P) 내에서 박막트랜지스터(Tr2)가 차지하는 면적이 줄어들게 되므로 개구율 향상의 효과를 갖는다.

[0060] 도 3은 본 발명의 제 1 실시예에 따른 어레이 기판의 박막트랜지스터의 평면도와 비교예로서 에치스토퍼를 형성하는 것을 특징으로 하는 종래의 어레이 기판의 박막트랜지스터의 평면도를 함께 도시한 도면이다.

[0061] 도시한 바와같이, 비교예에 따른 어레이 기판(71)에 구비된 박막트랜지스터(Tr1)의 경우 에치스토퍼(79)가 구비되고 있으며, 이 경우 서로 마주하는 끝단이 노광 공정과 에치 바이어스 등의 공정 오차가 발생한다 하더라도 각각 상기 에치스토퍼(79)와 중첩되도록 하기 위해 소스 전극(81) 및 드레인 전극(83)의 폭을 각각 a 만큼 더 크게 형성하고 있다.

[0062] 따라서 비교예에 따른 어레이 기판(71)의 경우 최종적인 박막트랜지스터(Tr1)는 면적이 증가됨을 알 수 있다.

[0063] 하지만, 본 발명의 제 1 실시예에 따른 어레이 기판(101)의 경우, 박막트랜지스터(Tr2)는 에치스토퍼가 생략되고 대신 소스 및 드레인 전극(133, 136)과 동시에 패터닝 된 버퍼패턴(125)이 구비되고 있다.

[0064] 이때, 상기 버퍼패턴(125)은 소스 및 드레인 전극(133, 136)과 동시에 패터닝되어 형성되며 노광 미스 얼라인 오차 등은 고려할 필요가 없으며 에치스토퍼가 생략됨으로서 이와 반드시 중첩하도록 소스 및 드레인 전극(133, 136)을 형성할 필요가 없으므로 비교예에 따른 어레이 기판(71)에 있어서와 같이 에치스토퍼(79)와 소스 및 드레인 전극(81, 83) 각각의 일 끝단을 중첩시키기 위한 폭 마진을 생략할 수 있다.

[0065] 따라서, 본 발명의 제 1 실시예에 따른 어레이 기판(101)에 있어 박막트랜지스터(Tr2)는 소스 및 드레인 전극(133, 136)의 면적을 비교예에 따른 박막트랜지스터(Tr1) 대비 각각 a폭 만큼 작게 형성할 수 있으므로 상대적으로 각 화소영역 내에서의 박막트랜지스터(Tr2)의 면적을 줄일 수 있는 것이 특징이다.

[0066] 또한, 이러한 공정 진행에 의해 소스 및 드레인 전극(133, 136)의 면적이 줄어듦으로써 게이트 전극(105)과의 중첩 면적도 상대적으로 작아지게 되므로 소스 전극(136)과 게이트 전극(105), 드레인 전극(138)과 게이트 전극(105)이 중첩됨으로써 발생되는 기생용량(Cgs)을 저감시킬 수 있으므로 박막트랜지스터(Tr2)의 특성을 향상시킬 수 있다.

[0067] 한편, 도 2를 참조하면, 이러한 구성을 갖는 박막트랜지스터(Tr2)를 덮으며 상기 박막트랜지스터(Tr2)의 드레인 전극(136)을 노출시키는 드레인 콘택홀(143)을 갖는 보호층(140)이 구비되고 있으며, 상기 보호층(140) 위로 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(136)과 접촉하는 화소전극(150)이 각 화소영역(P)별로 형성됨으로서 본 발명의 제 1 실시예에 따른 어레이 기판(101)을 이루고 있다.

[0068] 이러한 구성을 갖는 어레이 기판(101)은 다양한 구동을 하는 액정표시장치용 어레이 기판이 될 수도 있으며, 또는 유기전계 발광소자용 어레이 기판이 될 수도 있다.

[0069] 이때, 상기 어레이 기판(101)이 액정표시장치용 어레이 기판을 이룰 경우, 상기 화소전극(150)의 형태는 다양하게 변형될 수 있다.

[0070] 일례로 공통전극(미도시)이 상기 보호층(140) 상에 상기 화소전극(150)과 이격하며 더욱 구비되는 구성을 이룰 수도 있으며, 또는 상기 화소전극(150)과 절연층(미도시)을 개재하여 공통전극(미도시)이 구비되며, 상기 화소전극(150)과 공통전극(미도시) 중 상기 절연층(미도시)의 상부에 구비되는 구성요소에 대해서는 다수의 바(bar) 형태의 개구(미도시)가 구비된 형태를 이룰 수도 있다.

[0071] 또한, 상기 어레이 기판(101)이 유기전계 발광소자용 어레이 기판을 이룰 경우, 상기 화소전극(150) 위로 유기발광층(미도시)과 대향전극(미도시)이 더욱 구비될 수 있으며, 각 화소영역(P)의 경계에는 뱅크(미도시)가 더욱 구비될 수 있다.

[0072] 이후에는 전술한 구성을 갖는 본 발명의 제 1 실시예에 따른 어레이 기판의 제조 방법에 대해 설명한다.

[0073] 도 4a 내지 도 4k는 본 발명의 제 1 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의를 위해 각 화소영역(P) 내의 박막트랜지스터(Tr2)가 형성될 부분을 소자영역(TrA)이라 정의한다.

[0074] 우선, 도 4a에 도시한 바와 같이, 투명한 절연기판(101) 예를 들어 유리 또는 플라스틱으로 재질의 기판 상에 저저항 특성을 갖는 금속물질 예를들면 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo) 및 몰리브덴 합금(MoTi) 중 선택된 하나 또는 둘 이상의 물질을 증착함으로써 단일층 또는 다중층 구조를 갖는 제 1 금속층(미도시)을 형성한다.

[0075] 이후, 상기 제 1 금속층(미도시)에 대해 포토레지스트의 도포, 노광 마스크를 이용한 노광, 노광된 포토레지스트의 현상, 상기 제 1 금속층(미도시)의 식각 및 포토레지스트의 스트립(strip)의 일련의 단위 공정을 포함하는 마스크 공정을 진행하여 패터닝함으로써 상기 화소영역(P)의 경계에 일 방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 상기 소자영역(TrA)에 있어 상기 게이트 배선(미도시)과 연결된 게이트 전극(105)을 형성한다.

[0076] 도면에 있어서는 상기 게이트 배선(미도시)과 게이트 전극(105)은 모두 단일층 구조로 이루어진 것을 일례로 도시하였지만, 이들 구성요소는 다중층 구조를 이룰 수 있다.

[0077] 다음, 도 4b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(105) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로써 상기 전면에 게이트 절연막(110)을 형성한다.

[0078] 다음, 도 4c에 도시한 바와같이, 상기 게이트 절연막(110) 위로 산화물 반도체 물질 예를들면 IGZO(Indium Gallium Zinc Oxide), ZTO(Zinc Tin Oxide), ZIO(Zinc Indium Oxide), ZnO(Zinc Oxide) 중 어느 하나를 증착하거나, 또는 도포하여 산화물 반도체 물질층(미도시)을 형성한다.

[0079] 이후, 상기 산화물 반도체 물질층(미도시)에 대해 마스크 공정을 진행하여 패터닝함으로써 각 소자영역(TrA)에 있어 상기 게이트 전극(105)과 대응하여 아일랜드 형상의 산화물 반도체층(120)을 형성한다.

[0080] 다음, 도 4d에 도시한 바와 같이, 상기 산화물 반도체층(120) 위로 비정질 실리콘을 증착하여 상기 기판(101) 전면에 비정질 실리콘층(123)을 형성한다. 이때 상기 비정질 실리콘층(123)은 그 두께가 10 내지 200Å인 것이

특징이다.

[0081] 이러한 비정질 실리콘층(123)은 본 발명의 제 1 실시예에 따른 어레이 기판(101)에 있어 가장 특징적인 구성요소로서 소스 및 드레인 전극(도 4n의 133, 136)과 접촉하는 부분이 메탈실리사이드 영역을 이루게 되는 것으로 200Å보다 두꺼울 경우 상기 비정질 실리콘층(123)의 모든 두께에 대해 메탈실리사이드 영역으로 전면 변환이 용이하지 않으며, 10Å보다 얇을 경우 상기 산화물 반도체층(120)내의 채널이 형성되는 부분 즉, 상기 소스 및 드레인 전극(133, 136) 사이의 영역에 대해 식각액의 침투 억제력이 저감될 수 있다.

[0082] 따라서 상기 비정질 실리콘층(123)은 그 두께가 10 내지 200Å인 것이 바람직하다.

[0083] 다음, 10 내지 200Å의 두께를 갖는 상기 비정질 실리콘층(123) 위로 소정 온도에서 열처리 진행 시 상기 비정질 실리콘층(123)과 반응하여 도전성 특성을 갖는 메탈실리사이드를 이룰 수 있는 금속 예를들면 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나를 단독으로 증착하여 단일층 구조의 제 2 금속층(128)을 형성하거나, 또는 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나를 증착하고 연속하여 저저항 특성을 갖는 금속물질 예를들면 구리(Cu), 구리합금, 알루미늄(Al), 알루미늄합금(alNd) 중 어느 하나를 증착함으로서 이중층 구조의 제 2 금속층(128)을 형성한다.

[0084] 이때, 상기 제 2 금속층(128)이 이중층 구조를 이루는 경우, 최상부에 또 다시 상기 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나를 증착함으로서 삼중층 구조를 이루도록 할 수도 있다.

[0085] 이러한 단일층, 이중층 및 삼중층 구조를 갖는 제 2 금속층(128)은 상기 비정질 실리콘층(123)과 직접 접촉하는 금속은 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나가 되고 있는 것이 특징이다.

[0086] 도면에 있어서는 상기 제 2 금속층(128)은 일례로 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어져 단일층 구조를 이루는 것을 나타내었다.

[0087] 다음, 도 4f에 도시한 바와같이, 상기 제 2 금속층(128) 위로 포토레지스트를 도포하여 포토레지스트층(190)을 형성하고, 상기 포토레지스트층(190) 위로 빛의 투과영역(TA)과 차단영역(BA) 및 반투과영역(HTA)을 갖는 노광마스크(195)를 위치시킨 후, 상기 노광마스크(195)를 이용한 회절노광 또는 하프톤 노광을 실시한다.

[0088] 이때, 상기 노광마스크(195)의 반투과영역(HTA)은 상기 각 소자영역(TrA)에 있어 게이트 전극(105)의 중앙부 즉, 추후에 상기 산화물 반도체층(120)에 있어 채널이 형성되는 부분에 대응하여 위치하도록 하고, 상기 투과영역(BA)은 추후 데이터 배선(도 4n의 130)과 소스 및 드레인 전극(도 4n의 133, 136)이 형성되어야 할 부분에 대응하여 위치하도록 하고 그 이외의 영역은 차단영역(BA)이 대응되도록 한다.

[0089] 이때, 상기 노광마스크(195)의 투과영역(TA)과 차단영역(BA)은 상기 포토레지스트층(190)이 어떠한 성질을 갖느냐에 따라 그 위치가 바뀔 수도 있다.

[0090] 본 발명의 제 1 실시예에 있어서는 일례로 상기 포토레지스트층(190)은 빛을 받은 부분이 현상 후 남게되는 네가티브 타입 성질을 갖는 것을 나타내었으며, 이러한 포토레지스트층은 빛을 받은 부분이 현상 후 제거되는 포지티브 타입 성질을 갖는 것을 이용할 수도 있다.

[0091] 다음, 도 4g에 도시한 바와같이, 노광된 상기 포토레지스트층(도 4f의 190)에 대해 현상을 진행함으로서 추후 데이터 배선(도 4n의 130)과 소스 및 드레인 전극(도 4n의 133, 136)이 형성되어야 할 부분에 대해서는 제 1 두께를 갖는 제 1 포토레지스트 패턴(191a)을 형성하고, 상기 소스 및 드레인 전극(도 4n의 133, 136)의 사이의 이격영역 즉, 각 산화물 반도체층(120)의 채널이 형성되는 영역에 대해서는 상기 제 1 두께보다 얇은 제 2 두께를 갖는 제 2 포토레지스트 패턴(191b)을 형성하고, 그 이외의 영역에 대해서는 상기 포토레지스트층(도 4f의 190)이 제거되어 상기 제 2 금속층(128)을 노출시키도록 한다.

[0092] 다음, 도 4h에 도시한 바와같이, 상기 제 1 및 제 2 포토레지스트 패턴(191a, 191b) 외측으로 노출된 상기 제 2 금속층(도 4g의 128)과 이의 하부에 위치하는 상기 비정질 실리콘층(도 4g의 123)을 연속적으로 식각하여 패터닝함으로서 각 화소영역(P)의 경계에 대응하여 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(130)을 형성하고, 동시에 각 소자영역(TrA)에 있어서는 현 단계에서는 서로 연결된 상태의 소스 드레인 패턴(129)을 형성한다.

[0093] 이때, 상기 소스 드레인 패턴(129) 하부에는 상기 소스 드레인 패턴(129)과 동일한 평면 형태를 갖는 제 1 비정질 실리콘 패턴(124a)이 형성되며, 상기 데이터 배선(130) 하부에도 상기 데이터 배선(130)과 동일한 평면 형태를 갖는 제 2 비정질 실리콘 패턴(124b)이 형성된다.

[0094] 다음, 도 4i에 도시한 바와같이, 애싱(ashing)을 진행하여 상기 제 2 두께의 제 2 포토레지스트 패턴(도 4h의 191b)을 제거함으로서 각 소자영역(TrA)에 있어 상기 소스 드레인 패턴(129)의 중앙부를 노출시킨다.

[0095] 이때, 상기 애싱(ashing) 진행에 의해 상기 제 1 포토레지스트 패턴(191a) 또한 그 두께가 줄어들지만 여전히 상기 제 1 및 제 2 비정질 실리콘 패턴(124a, 124b) 상부에 남아있게 된다.

[0096] 다음, 도 4j에 도시한 바와같이, 상기 제 2 포토레지스트 패턴(도 4h의 191b)이 제거됨으로서 노출된 상기 소스 드레인 패턴(도 4i의 129)을 식각함으로서 상기 제 1 비정질 실리콘 패턴(124a) 상에서 서로 이격하는 소스 전극(133) 및 드레인 전극(136)을 형성한다.

[0097] 이때, 상기 산화물 반도체층(120)은 이의 상부에 상기 제 1 비정질 실리콘 패턴(124a)이 구비되어 에치스토퍼로서의 역할을 하게 되므로 상기 소스 드레인 패턴(도 4i의 129) 식각 시 이용되는 식각액에 노출되는 것이 방지된다.

[0098] 따라서 상기 산화물 반도체층(120)은 상기 소스 드레인 패턴(도 4i의 129) 식각을 위한 식각액에 전혀 영향을 받지 않는다.

[0099] 다음, 도 4k에 도시한 바와같이, 스트립(strip)을 진행하여 상기 제 1 포토레지스트 패턴(도 4j의 191b)을 제거함으로서 상기 데이터 배선(130)과 소스 및 드레인 전극(133, 136)을 노출시킨다.

[0100] 이후, 상기 소스 및 드레인 전극(133, 136)과 데이터 배선(130) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로서 상기 기판(101) 전면에 보호층(140)을 형성한다.

[0101] 다음, 도 4l에 도시한 바와같이, 상기 보호층(140)이 전면에 형성된 상태의 기판을 열처리 장치(198) 예를들면 오븐(oven) 또는 퍼나스(furnace) 내부에 위치시키거나, 또는 가열수단(미도시) 상에 위치시키 후, 상기 기판을 400 내지 600℃의 온도로 가열하는 열처리 공정을 진행한다.

[0102] 이때, 상기 열처리 공정은 5분에서 120분간 진행하는 것이 바람직하다.

[0103] 이러한 열처리 공정에 의해 상기 제 1 비정질 실리콘 패턴(도 4k의 124a) 중 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분은 상기 소스 및 드레인 전극(133, 136)을 이루는 금속물질 중 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나의 물질이 상기 제 1 비정질 실리콘 패턴(도 4k의 124a) 내부로 확산됨으로서 도체 특성을 갖는 메탈실리사이드 영역(125a)으로 변화된다.

[0104] 따라서 각 소자영역(TrA)에 구비된 아일랜드 형태의 상기 제 1 비정질 실리콘 패턴(도 4k의 124)은 상기 열처리 공정 진행 후에는 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분은 메탈실리사이드 영역(125a)을 이루고, 상기 소스 및 드레인 전극(133, 136) 사이의 이격영역에 대해서는 비정질 실리콘 영역(125b)을 이루는 버퍼패턴(125)이 된다.

[0105] 이러한 열처리 공정은 상기 제 1 비정질 실리콘 패턴(도 4k의 124a) 중 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분이 모두 도체 특성이 부여되어야 하므로 즉, 상기 소스 및 드레인 전극(133, 136)과 접촉하는 부분이 메탈실리사이드로 변환되어야 하므로 상기 제 1 비정질 실리콘 패턴(도 4k의 124a)의 두께에 따라 그 열처리 공정 시간이 적절히 조절된다.

[0106] 한편, 상기 열처리 공정 진행에 의해 상기 데이터 배선(130) 하부에 구비된 제 2 비정질 실리콘 패턴(도 4k의 124b) 또한 메탈실리사이드로 변환됨으로서 메탈실리사이드 패턴(126)을 이루게 되며, 최종적으로 이러한 메탈실리사이트 패턴(126)은 상기 데이터 배선(130)과 접촉하는 구성이 되므로 실질적으로는 데이터 배선(130)의 일 구성요소가 됨으로서 상기 데이터 배선(130)이 다중층 구조를 이루는데 일조하게 된다.

[0107] 따라서 이 경우 상기 데이터 배선(130)은 최 하부층은 메탈실리사이드 패턴(126)이 되며, 이의 상부로 최소 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 층이 구비되어 이중층 구조를 이루거나, 또는 상기 이중층 구조에 더불어 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 층 상부에 더불어 저저항 금속물질인 구리(Cu), 구리합금, 알루미늄(Al), 알루미늄합금(AlNd) 중 어느 하나로 이루어진 층이 더욱 구비되어 삼중층 구조를 이루거나, 또는 상기 삼중층 구조에 몰리브덴(Mo), 티타늄(Ti), 몰리티타늄(MoTi) 중 어느 하나로 이루어진 층이 또 다시 구비되어 사중층 구조를 이루게 된다.

[0108] 한편, 이러한 열처리 공정 진행에 의해 상기 소스 전극(133)과 산화물 반도체층(120), 상기 드레인 전극(136)과 산화물 반도체층(120)은 상기 버퍼패턴(125)을 매개로하여 통전 특성이 부여됨으로서 상기 각 소자영역(TrA)에

순차 적층된 상기 게이트 전극(105)과 게이트 절연막(110)과 산화물 반도체층(120)과 버퍼패턴(125)과 서로 이격하는 소스 및 드레인 전극(133, 136)은 박막트랜지스터(Tr2)를 이루게 된다.

[0109] 다음, 도 4m에 도시한 바와같이, 상기 열처리 공정이 진행한 기판(101)의 상기 보호층(140)에 대해 마스크 공정을 진행하여 패터닝함으로서 상기 박막트랜지스터(Tr2)의 드레인 전극(136)을 노출시키는 드레인 콘택홀(143)을 형성한다.

[0110] 다음, 도 4n에 도시한 바와같이, 상기 드레인 콘택홀(143)이 구비된 상기 보호층(140) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착하여 투명 도전성 물질층(미도시)을 형성하고, 이에 대해 마스크 공정을 진행하여 패터닝함으로서 각 화소영역(P)에 화소전극(150)을 형성함으로서 본 발명의 제 1 실시예에 따른 어레이 기판(101)을 완성한다.

[0111] 이때, 상기 화소전극(150)은 반드시 상기 투명 도전성 물질 이외에 불투명한 금속물질로 이루어질 수도 있다.

[0112] 전술한 바와같이 제조되는 본 발명의 제 1 실시예에 따른 어레이 기판(101)은 별도의 에치스토퍼 형성을 위한 마스크 공정을 생략함으로서 종래의 에치스토퍼가 구비된 어레이 기판(도 1의 71)의 제조 방법 대비 1회의 마스크 공정을 저감시키는 효과가 있다.

[0113] 도 5는 본 발명의 제 2 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 하나의 화소영역에 대한 단면도로서, 제 1 실시예에 따른 어레이 기판과 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다..

[0114] 이러한 본 발명의 제 2 실시예에 따른 어레이 기판(201)은 제 1 실시예에 따른 어레이 기판(도 2의 101)과 비교하여 버퍼패턴(도 2의 125)만이 차이가 있으며, 그 이외의 구성요소는 모두 동일하므로 차별점이 있는 부분에 대해서만 설명한다.

[0115] 도시한 바와같이, 본 발명의 제 2 실시예에 따른 어레이 기판(201)에 있어 각 화소영역(P) 내의 소자영역(TrA)에는 산화물 반도체층(220)을 구비한 박막트랜지스터(Tr2)가 구비되고 있다.

[0116] 이때, 본 발명의 제 2 실시예에 따른 어레이 기판(201)에 있어 가장 특징적인 구성으로서 산화물 반도체층(220)과 소스 및 드레인 전극(233, 236) 사이에는 아일랜드 버퍼패턴이 구비되지 않고 기판(201) 전면에 버퍼층(227)이 구비되고 있는 것이 특징이다.

[0117] 즉, 본 발명의 제 1 실시예에 따른 어레이 기판(도 2의 101)의 경우, 산화물 반도체층(도 2의 120)과 소스 및 드레인 전극(도 2의 133, 136) 사이에는 아일랜드 형태의 버퍼패턴(도 2의 125)이 구비되고 있지만, 본 발명의 제 2 실시예에 따른 어레이 기판(201)의 경우, 아일랜드 형태의 버퍼패턴(도 2의 125)을 대신하여 상기 기판(201) 전면에 대해서 버퍼층(227)이 형성되고 있는 것이 특징이다.

[0118] 이때, 상기 버퍼층(227)은 버퍼패턴(도 2의 125)과 동일한 물질 즉, 비정질 실리콘과 메탈실리사이드로 이루어지고 있는 것이 특징이다.

[0119] 즉, 상기 버퍼층(227)은 데이터 배선(230)과 소스 및 드레인 전극(233, 236)과 각각 접촉하는 부분은 도체 특성을 갖는 메탈실리사이드로 이루어져 메탈실리사이드 영역(227a)을 이루고 있으며, 상기 데이터 배선(230)과 소스 및 드레인 전극(233, 236)과 접촉하지 않는 부분은 비정질 실리콘으로 이루어져 비정질 실리콘 영역(227b)으로 이루지고 있는 것이 특징이다.

[0120] 이러한 구성을 갖는 상기 버퍼층(227)이 구비된 본 발명의 제 2 실시예에 따른 어레이 기판(201)은 상기 버퍼층(227) 이외의 구성은 전술한 본 발명의 제 1 실시예에 따른 어레이 기판(도 2의 101)과 동일하므로 이하 상세한 설명은 생략한다.

[0121] 전술한 구성을 갖는 본 발명의 제 2 실시예에 따른 어레이 기판(201) 또한 본 발명의 제 1 실시예에 따른 어레이 기판(도 2의 101)과 동일한 효과 즉, 게이트 전극(205)과 소스 및 드레인 전극(233, 236)간의 중첩영역 저감에 의한 기생용량 저감에 의한 박막트랜지스터(Tr2) 특성 향상과, 에치스토퍼 생략에 의한 소스 및 드레인 전극(233, 236) 자체의 면적 저감 및 마스크 공정 횟수 저감과, 박막트랜지스터(Tr2)의 숏 채널 구현의 효과를 갖는다.

[0122] 도 6a 내지 도 6e는 본 발명의 제 2 실시예에 따른 산화물 반도체층이 구비된 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 이때, 설명의 편의를 위해 각 화소영역(P) 내의 박막트랜지스터(Tr2)가 형성될 부분을 소자영역(TrA)이라 정의한다.

[0123] 본 발명의 제 2 실시예에 따른 어레이 기판(201)의 제조 방법의 경우, 본 발명의 제 1 실시예에 따른 어레이 기판(도 2의 101)의 제조 방법 대비 버퍼층(227) 및 이의 상부에 소스 및 드레인 전극(233, 236)과 데이터 배선(230)을 형성하는 단계만이 차이가 있고, 그 이외의 단계는 모두 동일하므로 제 1 실시예에 따른 어레이 기판(도 2의 101)의 제조 방법과 차별점이 있는 단계를 위주로 설명한다.

[0124] 우선, 도 6a에 도시한 바와같이, 투명한 절연기판(201) 상에 게이트 전극(205)과 게이트 배선(미도시)을 형성하고, 이의 상부로 상기 기판(201) 전면에 게이트 절연막(210)을 형성한다.

[0125] 이후, 상기 게이트 절연막(210) 위로 10 내지 200Å의 두께를 갖는 비정질 실리콘층(223)을 형성한 후, 상기 비정질 실리콘층(223) 위로 전술한 제 1 실시예에 따른 어레이 기판의 제조 방법에서 언급한 동일한 물질로 이루어진 단일층, 이중층 또는 삼중층 구조의 제 2 금속층(228)을 순차 형성한다.

[0126] 다음, 도 6b에 도시한 바와같이, 상기 제 2 금속층(228) 위로 포토레지스트를 도포하여 포토레지스층(290)을 형성하고, 상기 포토레지스트층(290) 위로 빛의 투과영역(TA)과 차단영역(BA)을 갖는 노광 마스크(295)를 위치시킨 후, 상기 노광 마스크(295)를 통해 상기 포토레지스트층(290)에 대해 노광을 실시한다.

[0127] 상기 포토레지스트층(290)이 네가티브 타입인 경우 추후 데이터 배선(도 6e의 230)과 소스 및 드레인 전극(도 6e의 233, 236)에 대응되는 부분에 대해서는 상기 노광 마스크(290)의 투과영역(TA)이 대응되도록, 그리고 그 이외의 영역에 대해서는 차단영역(BA)이 대응되도록 위치시킨 후 상기 노광을 진행한다.

[0128] 다음, 도 6c에 도시한 바와같이, 노광된 상기 포토레지스트층(도 6b의 290)을 현상함으로서 상기 제 2 금속층(228) 위로 동일한 높이를 갖는 포토레지스트 패턴(291)을 형성한다.

[0129] 다음, 도 6d에 도시한 바와같이, 상기 포토레지스트 패턴(291) 외측으로 노출된 상기 제 2 금속층(도 6c의 228)만을 식각함으로서 상기 비정질 실리콘층(223) 위로 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(230)과, 각 소자영역(TrA)에 있어서는 서로 이격하는 소스 및 드레인 전극(233, 236)을 형성한다.

[0130] 이때, 상기 제 2 금속층(도 6c의 228)을 식각액에 노출시켜 식각하는 과정에서 산화물 반도체층(220)은 상기 비정질 실리콘층(223)에 의해 덮혀 있으므로 상기 식각액에 전혀 영향을 받지 않는다.

[0131] 다음, 도 6e에 도시한 바와같이, 스트립(strip)을 진행하여 상기 데이터 배선(230)과 소스 및 드레인 전극(233, 236) 상에 형성된 상기 포토레지스트 패턴(도 6d의 291)을 제거함으로서 상기 데이터 배선(230)과 소스 및 드레인 전극(233, 236)을 노출시킨다.

[0132] 이후, 상기 데이터 배선(230)과 소스 및 드레인 전극(233, 236) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 상기 기판(201) 전면에 보호층(240)을 형성한다.

[0133] 다음, 상기 보호층(240)이 형성된 기판(201)을 열처리 장치 내부에 위치시키고 400℃ 내지 600℃의 온도 분위기에서 5 내지 120분간 열처리 공정을 진행한다.

[0134] 이러한 열처리 공정 진행에 의해 상기 버퍼층(227)은 상기 데이터 배선(230)과 소스 및 드레인 전극(233, 236)과 접촉하는 부분은 메탈실리사이드 영역(227a)이 되며, 그 이외의 영역은 비정질 실리콘 영역(227b)이 된다.

[0135] 이후 공정은 전술한 본 발명의 제 1 실시예에 따른 어레이 기판의 제조 공정과 동일하게 진행되므로 생략한다.

[0136] 전술한 바와 같은 본 발명의 제 2 실시예에 따른 어레이 기판(201)의 제조 방법에 의해서도 에치스토퍼 형성을 위한 마스크 공정은 생략됨으로서 종래의 에치스토퍼를 구비한 어레이 기판(도 1의 71)의 제조 방법 대비 1회의 마스크 공정을 저감시키는 효과가 있다.

[0137] 본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

[0138] 101 : 기판

105 : 게이트 전극

110 : 게이트 절연막

120 : 산화물 반도체층

125 : 버퍼패턴

125a : 메탈실리사이드 영역

125b : 비정질 실리콘 영역

126 : 메탈실리사이드 패턴

130 : 데이터 배선

133 : 소스 전극

136 : 드레인 전극

140 : 보호층

143 : 드레인 콘택홀

150 : 화소전극

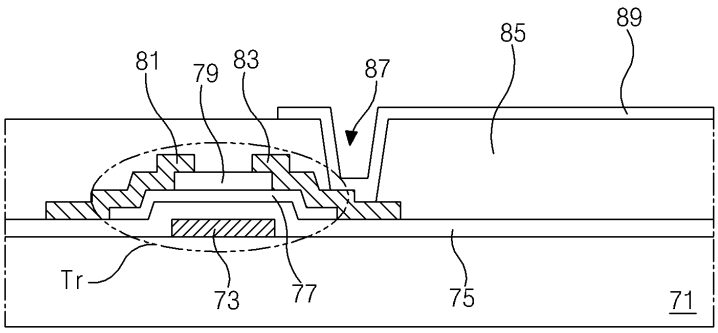
P : 화소영역

Tr2 : 박막트랜지스터

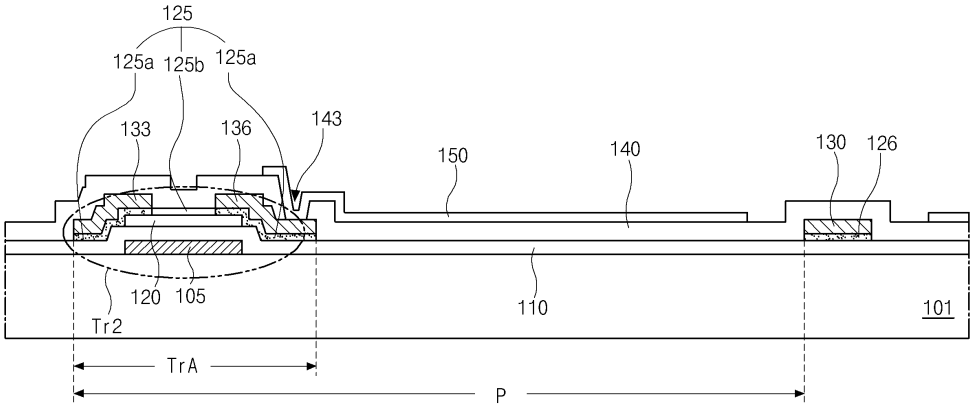
TrA : 소자영역

도면

도면1

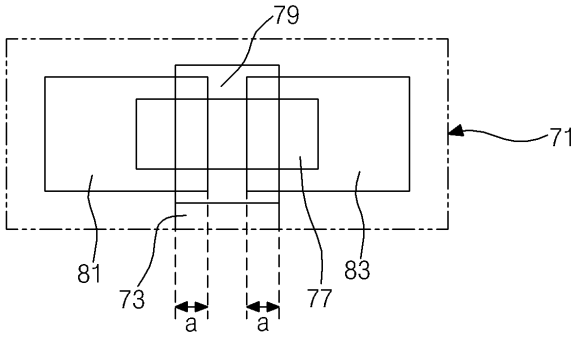


도면2



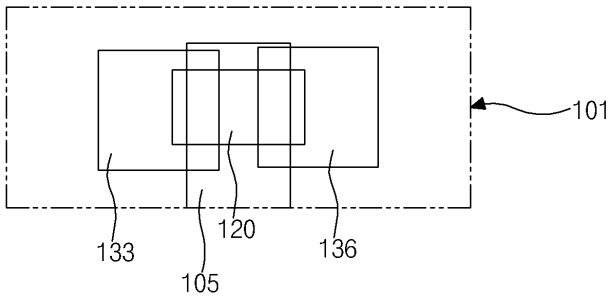
도면3

에치스토퍼를 구비한 비교예에 따른 박막트랜지터(Tr1)

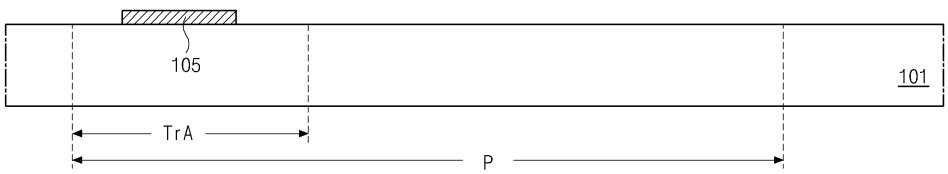


a:소스 및 드레인 전극의
면적 증가분

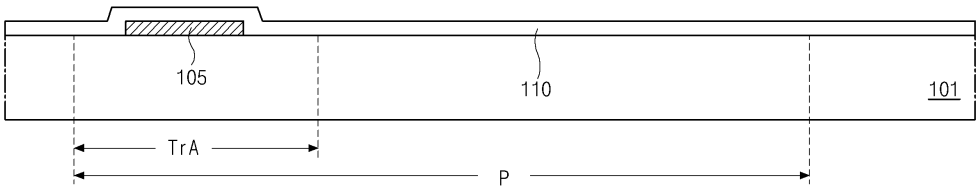
본 발명의 제 1 실시예에 따른 박막트랜지터(Tr2)



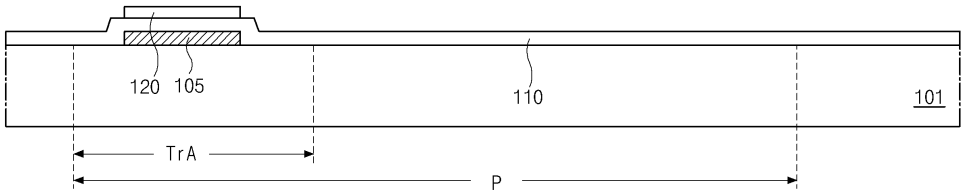
도면4a



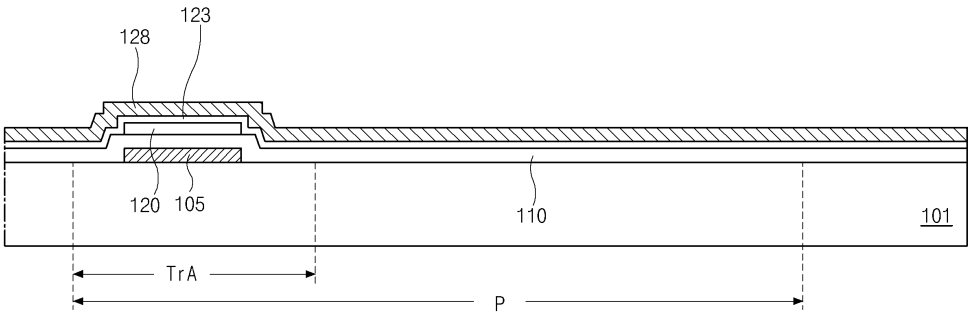
도면4b



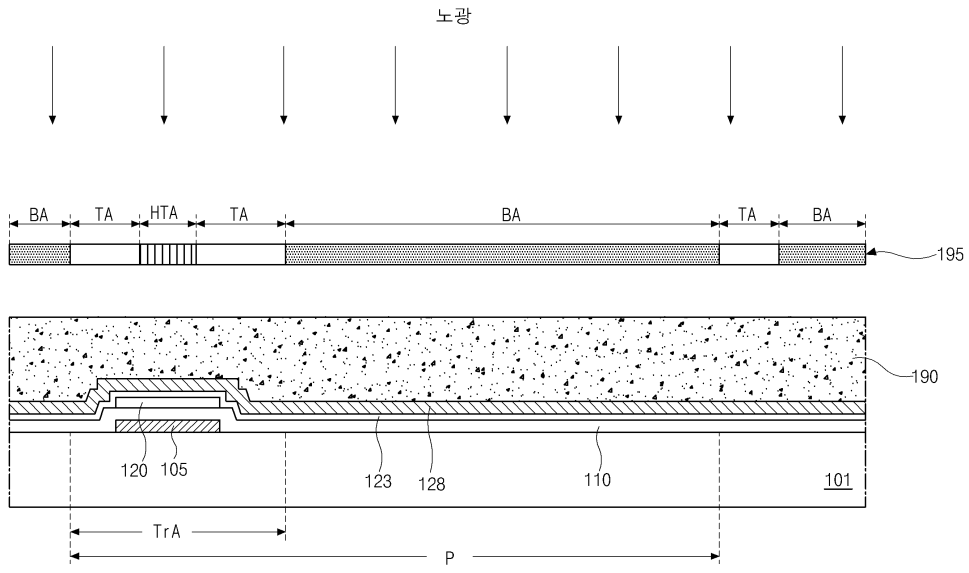
도면4c



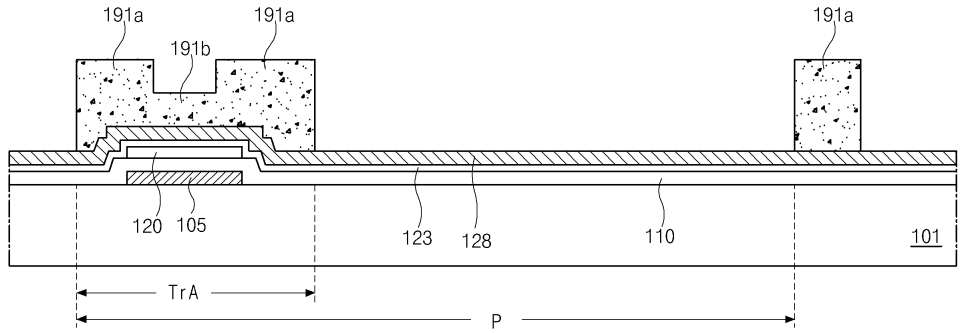
도면4d



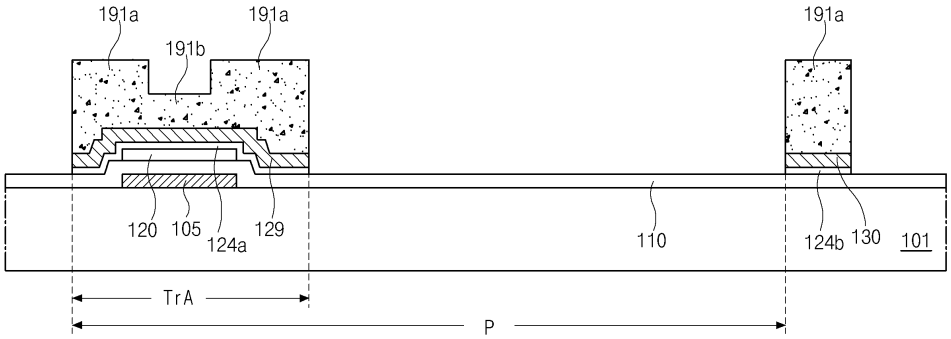
도면4e



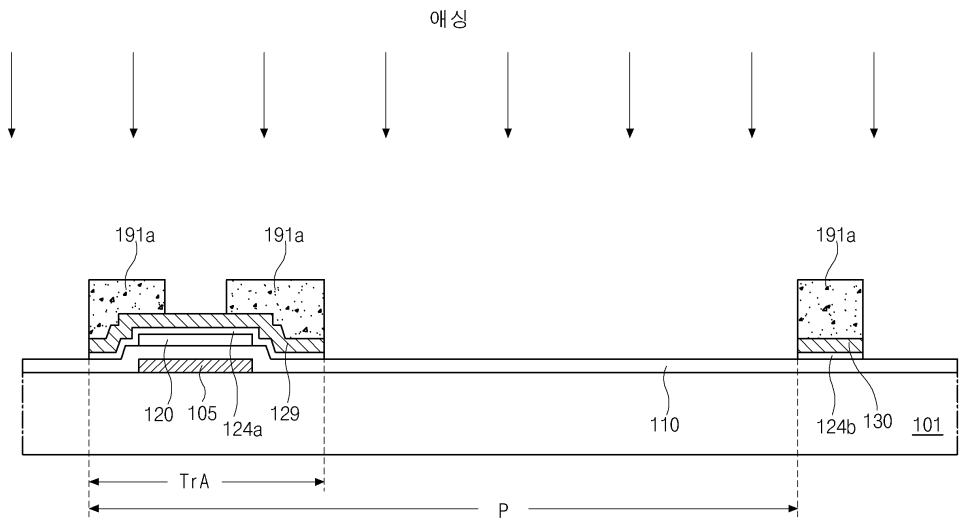
도면4f



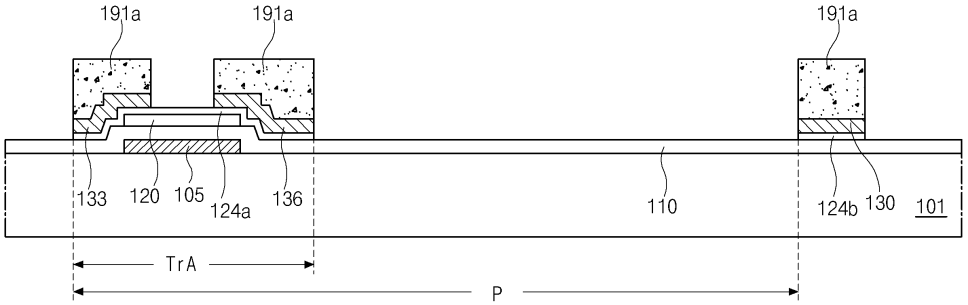
도면4g



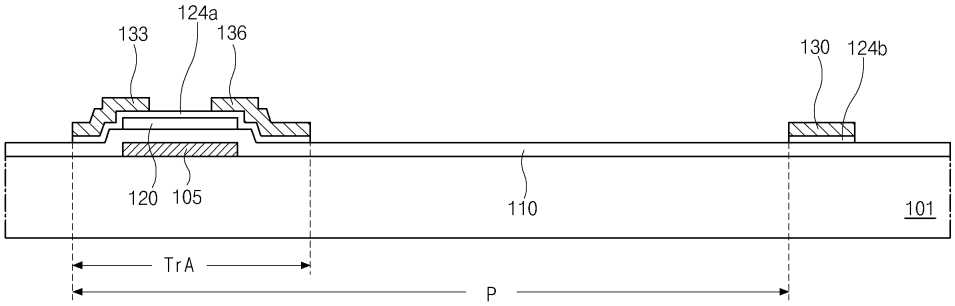
도면4h



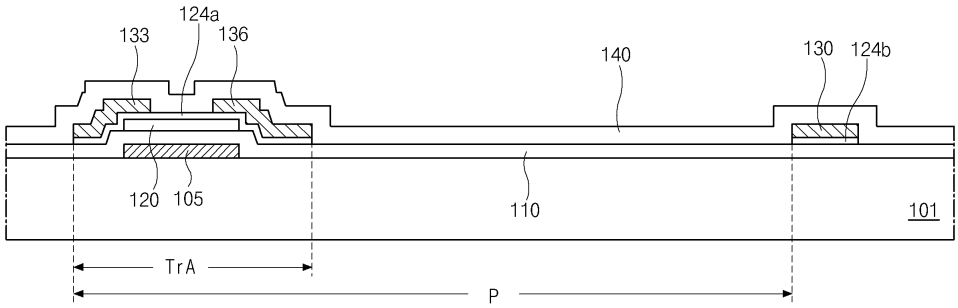
도면4i



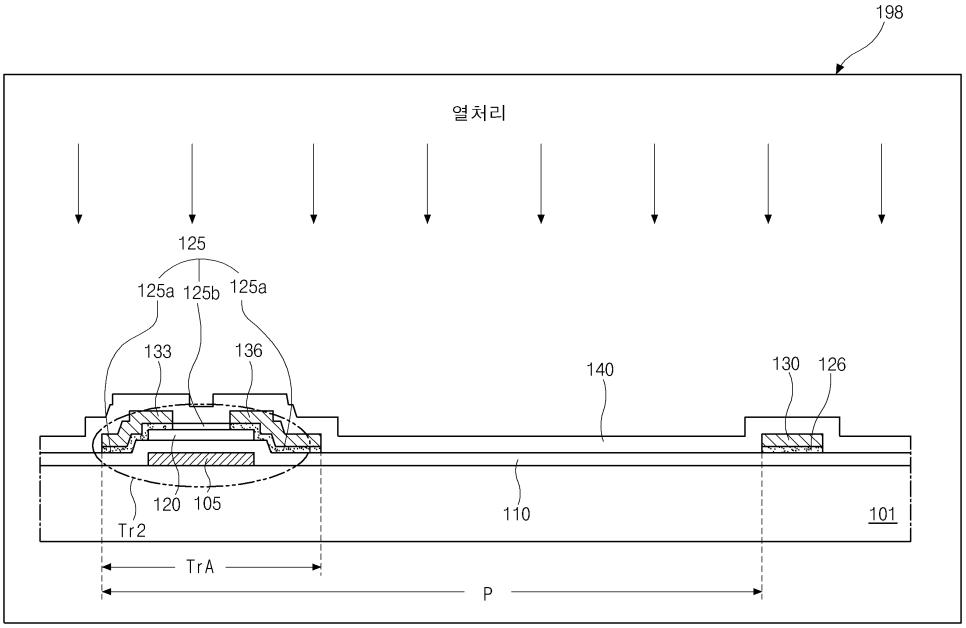
도면4j



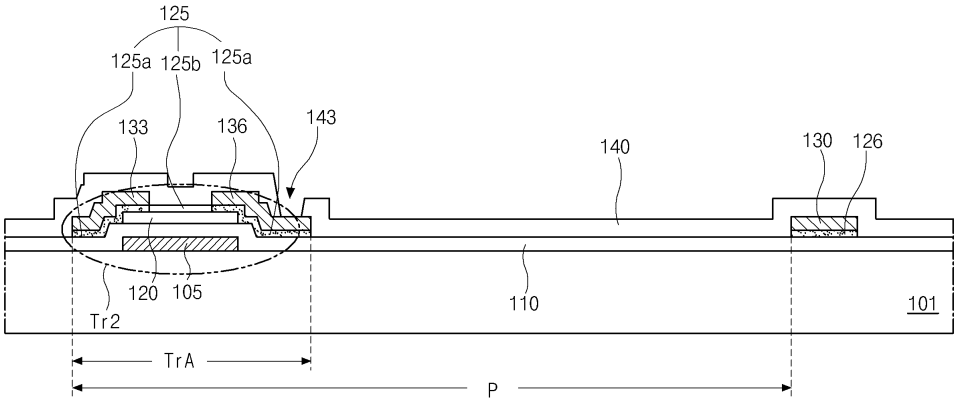
도면4k



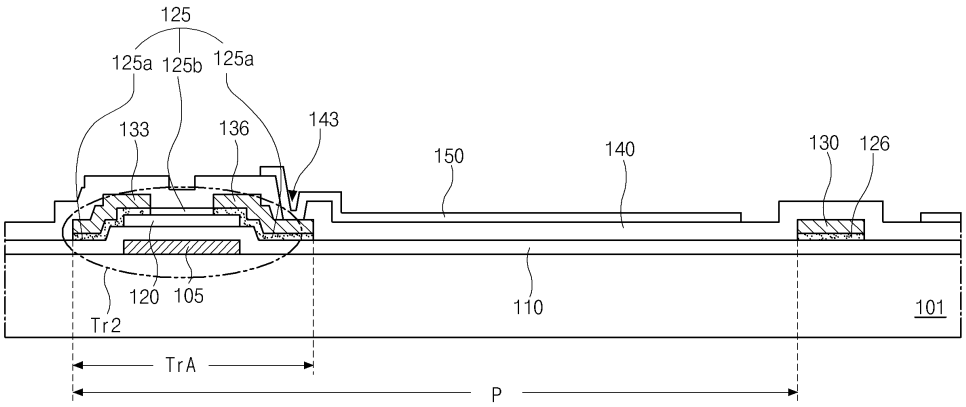
도면4l



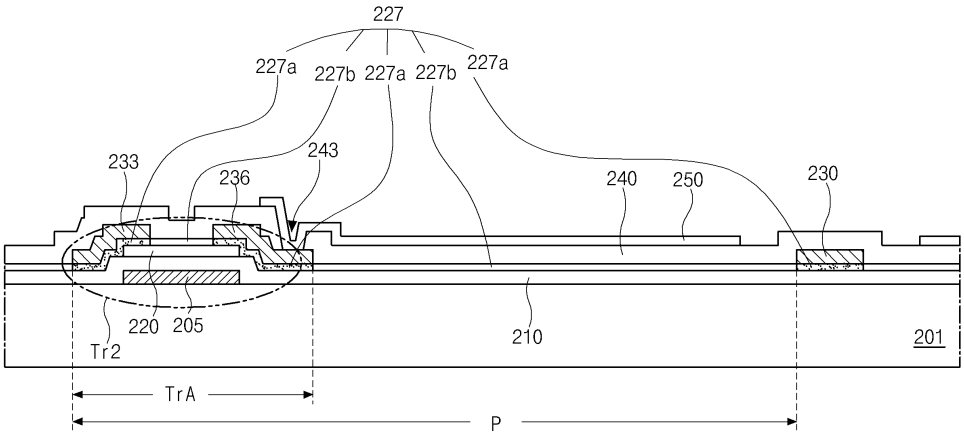
도면4m



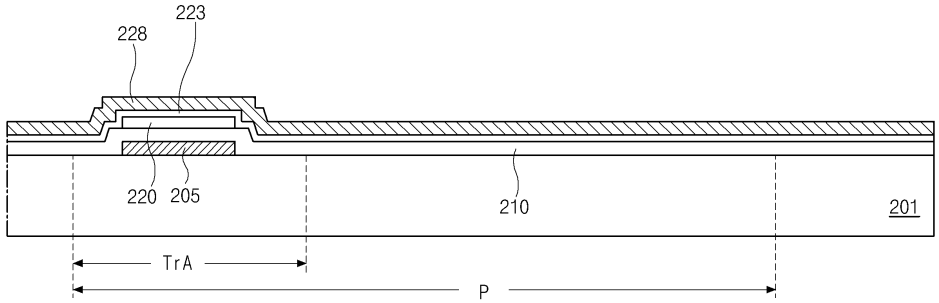
도면4n



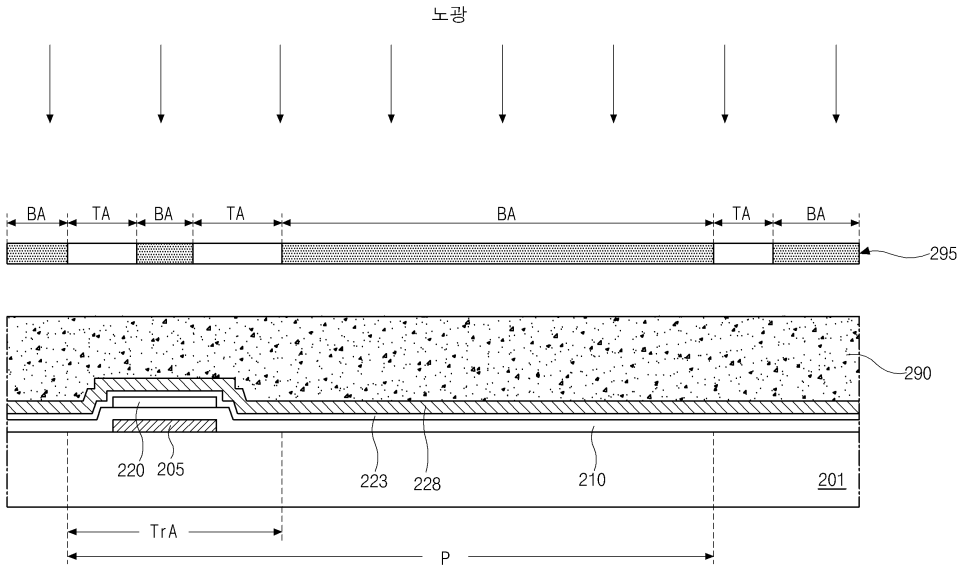
도면5



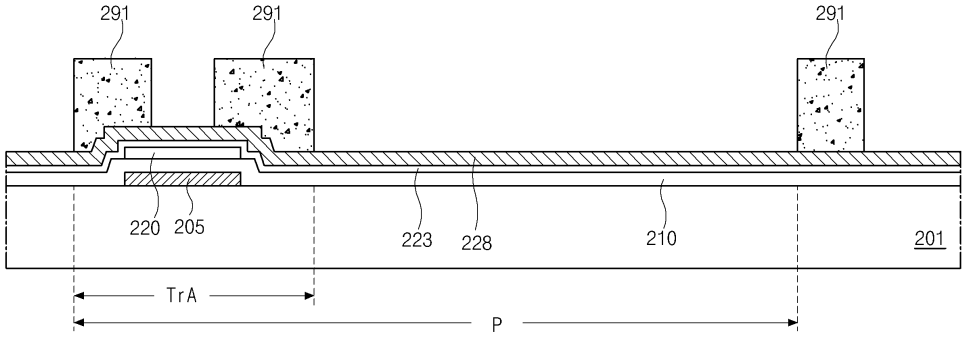
도면6a



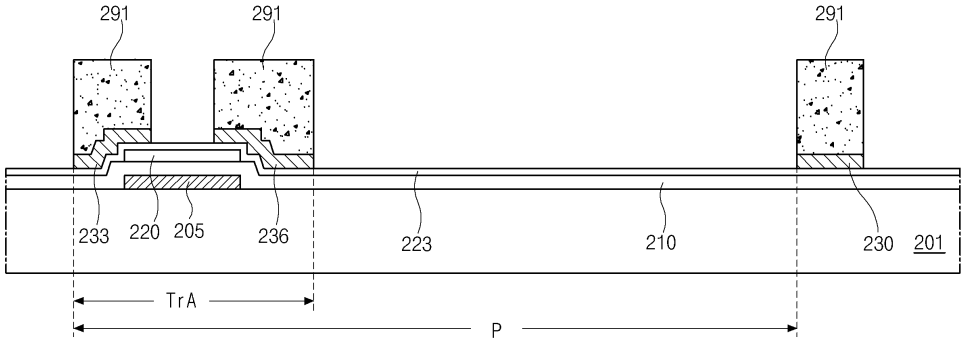
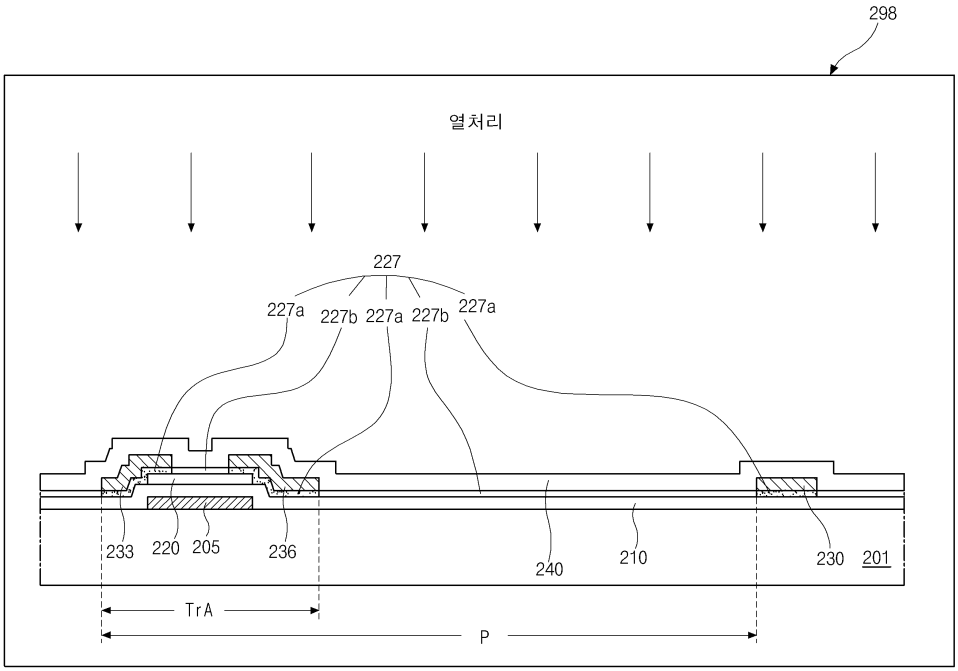
도면6b



도면6c



도면6d



도면6e