



(12) 发明专利申请

(10) 申请公布号 CN 117335790 A

(43) 申请公布日 2024. 01. 02

(21) 申请号 202311377245.1

(22) 申请日 2023.10.20

(71) 申请人 成都民芯科技有限公司

地址 610095 四川省成都市中国(四川)自由贸易试验区成都高新区天府大道北段869号1栋1单元11楼1102号、1103号

(72) 发明人 罗建 孙权 黄正波 杜金苹

王金富 李楠楠 张韩瑞 姚天照

(74) 专利代理机构 西安通大专利代理有限责任公司 61200

专利代理师 李鹏威

(51) Int. Cl.

H03K 19/0185 (2006.01)

H03K 19/017 (2006.01)

H03K 19/003 (2006.01)

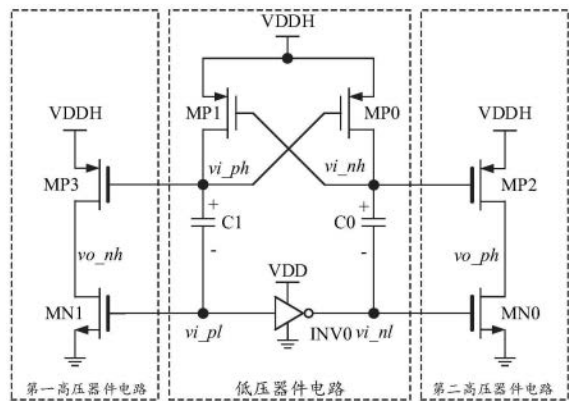
权利要求书2页 说明书5页 附图2页

(54) 发明名称

一种高速低压到高压逻辑电平转换电路及方法

(57) 摘要

本发明属于集成电路信号传输领域,公开了一种高速低压到高压逻辑电平转换电路及方法,包括第一高压器件电路、第二高压器件电路和低压器件电路;低压器件电路与第一高压器件电路和第二高压器件电路均连接;第一高压器件电路用于产生负端高压电平输出;第二高压器件电路用于产生正端高压电平输出;低压器件电路用于将输入的低压差分信号进行电平移位,以及将移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管的开启和关断,将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管的开启和关断。大大提高逻辑电平转换电路的工作速度,可提高转换电路的鲁棒性,可提高转换电路在不同电压场景的灵活性。



1. 一种高速低压到高压逻辑电平转换电路,其特征在于,包括:第一高压器件电路、第二高压器件电路和低压器件电路;低压器件电路与第一高压器件电路和第二高压器件电路均连接;

第一高压器件电路用于产生负端高压电平输出;

第二高压器件电路用于产生正端高压电平输出;

低压器件电路用于将输入的低压差分信号进行电平移位,以及将移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管的开启和关断,将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管的开启和关断。

2. 根据权利要求1所述的高速低压到高压逻辑电平转换电路,其特征在于,所述低压器件电路包括第一低压PMOS管MP1、第零低压PMOS管MP0、第一电容C1、第零电容C0和第零低压反相器INV0;

所述第一低压PMOS管MP1的栅极与所述第零低压PMOS管MP0的漏极、所述第零电容C0的正端以及第二高压器件电路的PMOS管的栅极相连;

所述第零低压PMOS管MP0的栅极与所述第一低压PMOS管MP1的漏极、所述第一电容C1的正端以及第一高压器件电路的PMOS管的栅极相连;

所述第一电容C1的负端与所述第零反相器INV0的输入端以及第一高压器件电路的NMOS管的栅极相连;

所述第零电容C0的负端与所述第零反相器INV0的输出端以及第二高压器件电路的NMOS管的栅极相连。

3. 根据权利要求2所述的高速低压到高压逻辑电平转换电路,其特征在于,使用状态时,所述第一低压PMOS管MP1的源极接高压电源VDDH;所述第零低压PMOS管MP0的源极接高压电源VDDH;所述第零反相器INV0的电源端接低压电源VDD。

4. 根据权利要求3所述的高速低压到高压逻辑电平转换电路,其特征在于,所述高压电源VDDH的电压值大于低压电源VDD的电压值。

5. 根据权利要求2所述的高速低压到高压逻辑电平转换电路,其特征在于,所述第一高压器件电路包括第三高压PMOS管MP3和第一高压NMOS管MN1;

所述第三高压PMOS管MP3的漏极与第一高压NMOS管MN1的漏极相连;

所述第三高压PMOS管MP3的栅极与所述第一低压PMOS管MP1的漏极、所述第零低压PMOS管MP0的栅极以及所述第一低压电容C1的正端相连;

所述第一高压NMOS管MN1的栅极与所述第零反相器INV0的输入端以及所述第一低压电容C1的负端相连。

6. 根据权利要求5所述的高速低压到高压逻辑电平转换电路,其特征在于,使用状态时,所述第三高压PMOS管MP3的源极接高压电源VDDH;所述第一高压NMOS管MN1的源极接地。

7. 根据权利要求5所述的高速低压到高压逻辑电平转换电路,其特征在于,所述第二高压器件电路包括第二高压PMOS管MP2和第零高压NMOS管MN0;

所述第二高压PMOS管MP2的漏极与所述第零高压NMOS管MN0的漏极相连;

所述第二高压PMOS管MP2的栅极与所述第零低压PMOS管MP0的漏极、所述第一低压PMOS管MP1的栅极相连以及所述第零低压电容C0的正端相连;

所述第零高压NMOS管MN0的栅极与所述第零反相器INV0的输出端以及所述第零低压电

容C0的负端相连。

8. 根据权利要求7所述的高速低压到高压逻辑电平转换电路,其特征在于,使用状态时,所述第二高压PMOS管MP2的源极接高压电源VDDH;所述第零高压NMOS管MN0的源极接地。

9. 根据权利要求7所述的高速低压到高压逻辑电平转换电路,其特征在于,所述第零低压PMOS管MP0、所述第一低压PMOS管MP1以及所述第零反相器INV0均采用低压域器件;

所述第二高压PMOS管MP2、所述第三高压PMOS管MP3、所述第一高压NMOS管MN1以及所述第零高压NMOS管MN0均采用高压域器件。

10. 一种基于权利要求1至9任一项所述的高速低压到高压逻辑电平转换电路的高速低压到高压逻辑电平转换方法,其特征在于,包括:

将预设的低压差分信号输入至低压器件电路,通过低压器件电路将低压差分信号进行电平移位,得到移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管;

通过低压器件电路将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管;

通过第一高压器件电路产生负端高压电平输出;

通过第二高压器件电路产生正端高压电平输出。

一种高速低压到高压逻辑电平转换电路及方法

技术领域

[0001] 本发明属于集成电路信号传输领域,涉及一种高速低压到高压逻辑电平转换电路及方法。

背景技术

[0002] 在信号传输电路中,如不同电压域之间的高速信号传输应用中,通常需要一种高速低压到高压逻辑电平转换电路,来实现低压到高压的逻辑电平转换。

[0003] 目前,常规的低压到高压逻辑电平转换电路通常通过一个放大器类型的电路实现,该低压到高压逻辑电平转换电路的原理是:将输入低压信号转成差分信号,然后将差分信号用做以交叉耦合连接方式做负载管的放大器电路即转换电路的输入,从而实现低压到高压的逻辑电平转换。但是,这种逻辑电平转换电路因采用的器件为高压器件,寄生大,阈值高,可实现的转换速度较低;并且由于电路工作特性,输入管与负载管的尺寸比例对功能影响很大,鲁棒性差,对于不同的电压场景,输入管与负载管需采用不同的尺寸比例,电平灵活性低。

发明内容

[0004] 本发明的目的在于克服上述现有技术的缺点,提供一种高速低压到高压逻辑电平转换电路及方法。

[0005] 为达到上述目的,本发明采用以下技术方案予以实现:

[0006] 本发明第一方面,提供一种高速低压到高压逻辑电平转换电路,包括:第一高压器件电路、第二高压器件电路和低压器件电路;低压器件电路与第一高压器件电路和第二高压器件电路均连接;第一高压器件电路用于产生负端高压电平输出;第二高压器件电路用于产生正端高压电平输出;低压器件电路用于将输入的低压差分信号进行电平移位,以及将移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管的开启和关断,将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管的开启和关断。

[0007] 可选的,所述低压器件电路包括第一低压PMOS管MP1、第零低压PMOS管MP0、第一电容C1、第零电容C0和第零低压反相器INV0;所述第一低压PMOS管MP1的栅极与所述第零低压PMOS管MP0的漏极、所述第零电容C0的正端以及第二高压器件电路的PMOS管的栅极相连;所述第零低压PMOS管MP0的栅极与所述第一低压PMOS管MP1的漏极、所述第一电容C1的正端以及第一高压器件电路的PMOS管的栅极相连;所述第一电容C1的负端与所述第零反相器INV0的输入端以及第一高压器件电路的NMOS管的栅极相连;所述第零电容C0的负端与所述第零反相器INV0的输出端以及第二高压器件电路的NMOS管的栅极相连。

[0008] 可选的,使用状态时,所述第一低压PMOS管MP1的源极接高压电源VDDH;所述第零低压PMOS管MP0的源极接高压电源VDDH;所述第零反相器INV0的电源端接低压电源VDD。

[0009] 可选的,所述高压电源VDDH的电压值大于低压电源VDD的电压值。

[0010] 可选的,所述第一高压器件电路包括第三高压PMOS管MP3和第一高压NMOS管MN1;所述第三高压PMOS管MP3的漏极与第一高压NMOS管MN1的漏极相连;所述第三高压PMOS管MP3的栅极与所述第一低压PMOS管MP1的漏极、所述第零低压PMOS管MP0的栅极以及所述第一低压电容C1的正端相连;所述第一高压NMOS管MN1的栅极与所述第零反相器INV0的输入端以及所述第一低压电容C1的负端相连。

[0011] 可选的,使用状态时,所述第三高压PMOS管MP3的源极接高压电源VDDH;所述第一高压NMOS管MN1的源极接地。

[0012] 可选的,所述第二高压器件电路包括第二高压PMOS管MP2和第零高压NMOS管MN0;所述第二高压PMOS管MP2的漏极与所述第零高压NMOS管MN0的漏极相连;所述第二高压PMOS管MP2的栅极与所述第零低压PMOS管MP0的漏极、所述第一低压PMOS管MP1的栅极相连以及所述第零低压电容C0的正端相连;所述第零高压NMOS管MN0的栅极与所述第零反相器INV0的输出端以及所述第零低压电容C0的负端相连。

[0013] 可选的,使用状态时,所述第二高压PMOS管MP2的源极接高压电源VDDH;所述第零高压NMOS管MN0的源极接地。

[0014] 可选的,所述第零低压PMOS管MP0、所述第一低压PMOS管MP1以及所述第零反相器INV0均采用低压域器件;所述第二高压PMOS管MP2、所述第三高压PMOS管MP3、所述第一高压NMOS管MN1以及所述第零高压NMOS管MN0均采用高压域器件。

[0015] 本发明第二方面,提供一种基于上述的高速低压到高压逻辑电平转换电路的高速低压到高压逻辑电平转换方法,包括:将预设的低压差分信号输入至低压器件电路,通过低压器件电路将低压差分信号进行电平移位,得到移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管;通过低压器件电路将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管;通过第一高压器件电路产生负端高压电平输出;通过第二高压器件电路产生正端高压电平输出。

[0016] 与现有技术相比,本发明具有以下有益效果:

[0017] 本发明高速低压到高压逻辑电平转换电路,基于低压器件电路将输入的低压差分信号进行电平移位,然后将移位的低压差分信号输入第一高压器件电路和第二高压器件电路的PMOS管,将低压差分信号输入第一高压器件电路和第二高压器件电路的NMOS管,进而控制各MOS管的开启和关断,进而通过第一高压器件电路产生负端高压电平输出,第二高压器件电路产生正端高压电平输出,通过两者结合,实现低压到高压的逻辑电平的转换。采用电压自举原理,采用低压即可将控制信号进行电平移位,并结合输入信号对MOS管进行控制实现低压到高压的电平转换,大大提高逻辑电平转换电路的工作速度,同时因工作特性,不存在目前转换电路中所要求的输入管与负载管的尺寸比例关系,可提高转换电路的鲁棒性,因与高压和低压的绝对电压无关,可提高电路在不同电压场景的灵活性。

附图说明

[0018] 图1为本发明实施例的高速低压到高压逻辑电平转换电路拓扑图。

[0019] 图2为本发明实施例的输入信号及反相输入信号示意图。

[0020] 图3为本发明实施例的第一电容信号及第零电容信号示意图。

[0021] 图4为本发明实施例的负端高压电平信号及与正端高压电平信号示意图。

[0022] 图5为本发明实施例的输入信号、第一电容信号及正端高压电平信号示意图。

具体实施方式

[0023] 为了使本技术领域的人员更好地理解本发明方案,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分的实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都应当属于本发明保护的范围。

[0024] 需要说明的是,本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施。

[0025] 此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0026] 下面结合附图对本发明做进一步详细描述:

[0027] 参见图1,本发明一实施例中,提供一种高速低压到高压逻辑电平转换电路,包括第一高压器件电路、第二高压器件电路和低压器件电路;低压器件电路与第一高压器件电路和第二高压器件电路均连接。

[0028] 其中,第一高压器件电路用于产生负端高压电平输出;第二高压器件电路用于产生正端高压电平输出;低压器件电路用于将输入的低压差分信号进行电平移位,以及将移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管的开启和关断,将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管的开启和关断。

[0029] 综上所述,本发明高速低压到高压逻辑电平转换电路,基于低压器件电路将输入的低压差分信号进行电平移位,然后将移位的低压差分信号输入第一高压器件电路和第二高压器件电路的PMOS管,将低压差分信号输入第一高压器件电路和第二高压器件电路的NMOS管,进而控制各MOS管的开启和关断,进而通过第一高压器件电路产生负端高压电平输出,第二高压器件电路产生正端高压电平输出,通过两者结合,实现低压到高压的逻辑电平的转换。

[0030] 所述高速低压到高压逻辑电平转换电路,采用电压自举原理,采用低压即可将控制信号进行电平移位,并结合输入信号对MOS管进行控制实现低压到高压的电平转换,大大提高逻辑电平转换电路的工作速度,同时因工作特性,不存在目前转换电路中所要求的输入管与负载管的尺寸比例关系,可提高转换电路的鲁棒性,因与高压和低压的绝对电压无关,可提高电路在不同电压场景的灵活性。

[0031] 有效的解决了现有的逻辑电平转换电路采用放大器对低压输入进行放大实现低压到高压的转换时,为避免器件过压问题,导致输入管及负载管须采用高压器件,导致寄生大、阈值高且可实现的转换速度较低,往往仅应用于低速场景。

[0032] 本发明高速低压到高压逻辑电平转换电路适用于以下场景中：

[0033] 场景1:高速接口电路需将低压数据信号转到高压数据信号传输场景中。

[0034] 场景2:高压电路需低压电路控制的场景中。

[0035] 场景3:低压域芯片需与高压域芯片通信场景中。

[0036] 在一种可能的实施方式中,所述低压器件电路包括第一低压PMOS管MP1、第零低压PMOS管MP0、第一电容C1、第零电容C0和第零低压反相器INV0。

[0037] 所述第一低压PMOS管MP1的栅极与所述第零低压PMOS管MP0的漏极、所述第零电容C0的正端以及第二高压器件电路的PMOS管的栅极相连;所述第零低压PMOS管MP0的栅极与所述第一低压PMOS管MP1的漏极、所述第一电容C1的正端以及第一高压器件电路的PMOS管的栅极相连;所述第一电容C1的正端与第零低压PMOS管MP0的栅极、第一高压器件电路的PMOS管以及第一低压PMOS管MP1的漏极相连;所述第一电容C1的负端与所述第零反相器INV0的输入端以及第一高压器件电路的NMOS管的栅极相连;所述第零电容C0的正端与第一低压PMOS管MP1的栅极、第二高压器件电路的PMOS管的栅极以及第零低压PMOS管MP0的漏极相连;所述第零电容C0的负端与所述第零反相器INV0的输出端以及第二高压器件电路的NMOS管的栅极相连。

[0038] 其中,使用状态时,所述第一低压PMOS管MP1的源极接高压电源VDDH;所述第零低压PMOS管MP0的源极接高压电源VDDH;所述第零反相器INV0的电源端接低压电源VDD。

[0039] 其中,所述高压电源VDDH的电压值大于低压电源VDD的电压值。

[0040] 在一种可能的实施方式中,所述第一高压器件电路包括第三高压PMOS管MP3和第一高压NMOS管MN1;所述第三高压PMOS管MP3的漏极与第一高压NMOS管MN1的漏极相连;所述第三高压PMOS管MP3的栅极与所述第一低压PMOS管MP1的漏极、所述第零低压PMOS管MP0的栅极以及所述第一低压电容C1的正端相连;所述第一高压NMOS管MN1的栅极与所述第零反相器INV0的输入端以及所述第一低压电容C1的负端相连。

[0041] 其中,使用状态时,所述第三高压PMOS管MP3的源极接高压电源VDDH;所述第一高压NMOS管MN1的源极接地。

[0042] 在一种可能的实施方式中,所述第二高压器件电路包括第二高压PMOS管MP2和第零高压NMOS管MN0;所述第二高压PMOS管MP2的漏极与所述第零高压NMOS管MN0的漏极相连;所述第二高压PMOS管MP2的栅极与所述第零低压PMOS管MP0的漏极、所述第一低压PMOS管MP1的栅极相连以及所述第零低压电容C0的正端相连;所述第零高压NMOS管MN0的栅极与所述第零反相器INV0的输出端以及所述第零低压电容C0的负端相连。

[0043] 其中,使用状态时,所述第二高压PMOS管MP2的源极接高压电源VDDH;所述第零高压NMOS管MN0的源极接地。

[0044] 在一种可能的实施方式中,所述第零低压PMOS管MP0、所述第一低压PMOS管MP1以及所述第零反相器INV0均采用低压域器件;所述第二高压PMOS管MP2、所述第三高压PMOS管MP3、所述第一高压NMOS管MN1以及所述第零高压NMOS管MN0均采用高压域器件

[0045] 其中,低压域是指工作电压较低的区域,如0.9V左右工作电压域;高压域是指工作电压较高的区域,如1.8V左右工作电压域。

[0046] 下面介绍本发明高速低压到高压逻辑电平转换电路的内部信号变化。

[0047] 参见图2至4,输入信号vi_p1经过第零低压反相器后得到反相输入信号vi_n1,两

者电平位于0到VDD,经过第一电容C1及第零电容C0后得到第一电容信号vi_ph及第零电容信号vi_nh,两者电平位于VDDH-VDD到VDDH,此时,由第一电容信号vi_ph及第零电容信号vi_nh分别控制第三高压PMOS管MP3及第二高压PMOS管MP2,由输入信号vi_pl及反相输入信号vi_n1分别控制第一高压NMOS管MN1及第零高压NMOS管MN0。

[0048] 参见图5,输入信号vi_pl电平位于0到VDD,第一电容信号vi_ph电平位于VDDH-VDD到VDDH,当输入信号vi_pl为0时,第一电容信号vi_ph为VDDH-VDD,此时第三高压PMOS管MP3开启,第一高压NMOS管MN1关断,输出正端高压电平信号vo_ph为VDDH;当输入信号vi_pl为VDD时,第一电容信号vi_ph为VDDH,此时第三高压PMOS管MP3关断,第一高压NMOS管MN1开启,输出正端高压电平信号vo_ph为0;综上实现了从低压VDD到高压VDDH的逻辑电平转换。

[0049] 本发明高速低压到高压逻辑电平转换电路,由两个低压PMOS管、两个高压PMOS管、两个高压NMOS管、两个电容以及一个低压反相器组成;利用电压自举原理由低压器件电路对输入的低压差分信号进行电平移位。

[0050] 同时,第一高压器件电路、第二高压器件电路和低压器件电路两两连接,在高压器件电路中经过移位后的信号控制高压PMOS管开启和关断,未移位的信号控制高压NMOS管开启和关断,通过两者结合实现低压到高压的逻辑电平的转换。可以理解的是,本发明采用电压自举结合MOS开关的断开与闭合,设计的一种高速低压到高压逻辑电平转换电路,在采用低压器件实现关键开关信号的情况下,使得转换速度可接近于低压器件工作速度。本发明方案不存在目前常规转换电路中所要求的输入管与负载管的尺寸比例关系,可提高转换电路的鲁棒性,因与高压和低压的绝对电压无关,可提高电路在不同电压场景应用的灵活性。

[0051] 本发明又一实施例中,提供一种基于上述的高速低压到高压逻辑电平转换电路的高速低压到高压逻辑电平转换方法,包括以下步骤:

[0052] 将预设的低压差分信号输入至低压器件电路,通过低压器件电路将低压差分信号进行电平移位,得到移位的低压差分信号输入并控制第一高压器件电路和第二高压器件电路的PMOS管;通过低压器件电路将低压差分信号输入并控制第一高压器件电路和第二高压器件电路的NMOS管;通过第一高压器件电路产生负端高压电平输出;通过第二高压器件电路产生正端高压电平输出。

[0053] 以上内容仅为说明本发明的技术思想,不能以此限定本发明的保护范围,凡是按照本发明提出的技术思想,在技术方案基础上所做的任何改动,均落入本发明权利要求书的保护范围之内。

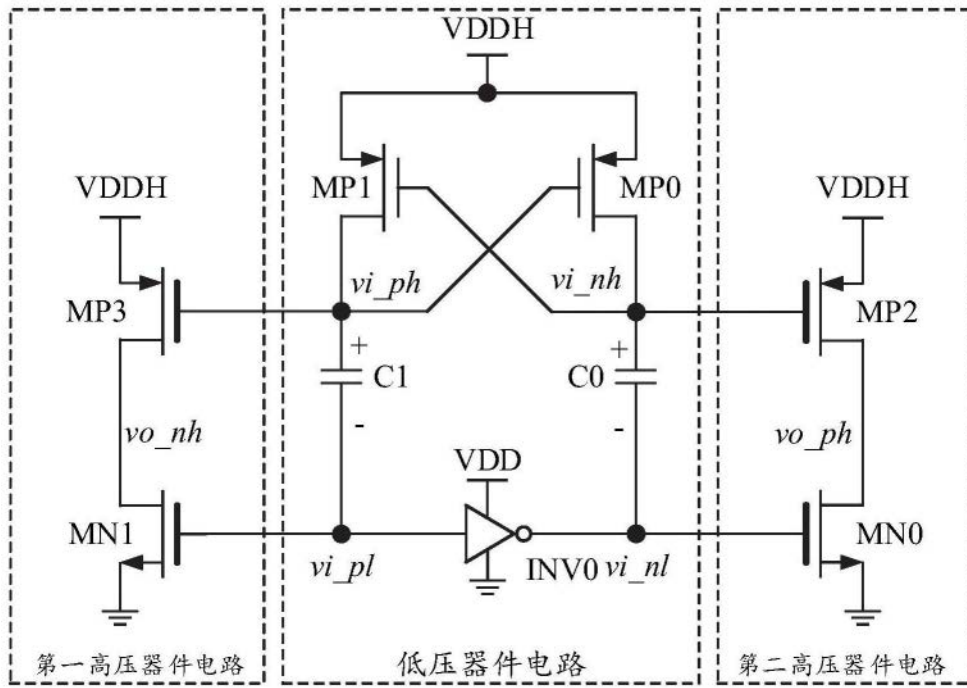


图1

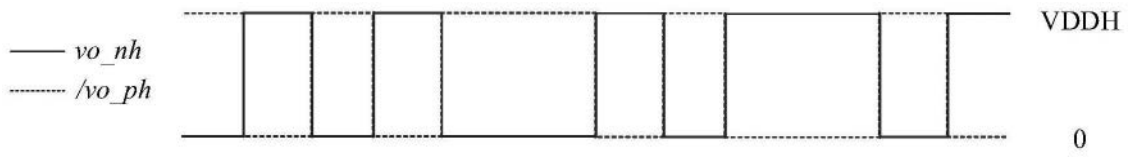


图2

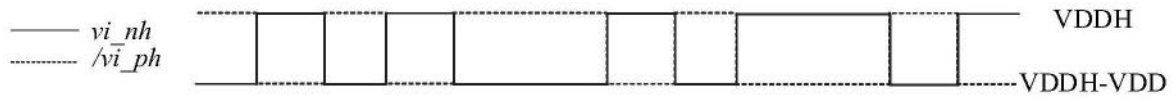


图3

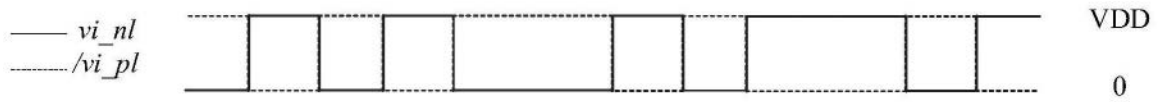


图4

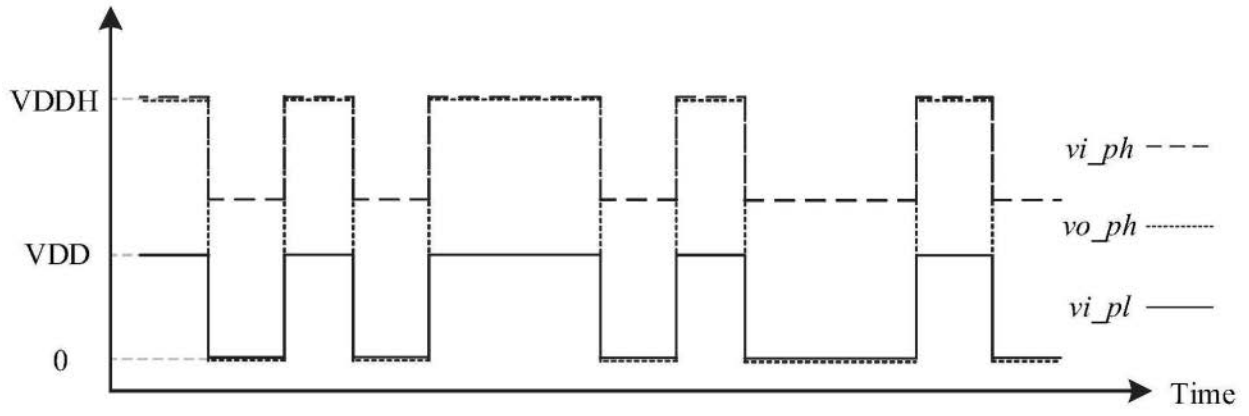


图5