



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월01일
 (11) 등록번호 10-0799951
 (24) 등록일자 2008년01월25일

(51) Int. Cl.
G11C 11/407 (2006.01)
 (21) 출원번호 10-2002-0005050
 (22) 출원일자 2002년01월29일
 심사청구일자 2006년05월03일
 (65) 공개번호 10-2003-0010460
 (43) 공개일자 2003년02월05일
 (30) 우선권주장
 JP-P-2001-00110851 2001년04월10일 일본(JP)
 (56) 선행기술조사문헌
 JP2000163962 A
 KR1019980060710 A

(73) 특허권자
후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라꾸 가미고
 다나카 4초메 1-1
 (72) 발명자
야기시타요시마사
 일본가나가와켄가와사키시나카하라꾸가미고다나카
 4-1-1후지쯔가부시끼가이샤나이
 (74) 대리인
김태홍, 신정건

전체 청구항 수 : 총 5 항

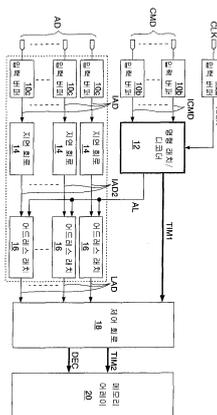
심사관 : 이선택

(54) 반도체 집적 회로

(57) 요약

본 발명은 클럭 신호에 동기하여 동작하는 반도체 집적 회로의 스태바이 전류를 감소시키는 것을 목적으로 한다. 제어 회로는 복수의 제어 신호를 클럭 신호에 동기하여 수신하고, 이들 제어 신호의 조합에 따라 타이밍 신호를 생성한다. 지연 회로는 클럭 신호에 비동기로 수신한 입력 신호를 소정의 시간만큼 지연시킨다. 수신 회로는 지연 회로에 의해 지연된 입력 신호를 클럭 신호가 아닌 타이밍 신호에 동기하여 수신한다. 즉, 수신 회로는 클럭 신호에 비동기로 동작하고, 반도체 집적 회로에 필요한 입력 신호만을 수신한다. 이 때문에, 수신 회로의 동작 빈도가 낮아져서 소비 전력을 감소시킬 수 있다. 클럭 신호에 동기하여 동작하는 회로를 적게 할 수 있기 때문에, 스태바이 전류를 감소시킬 수 있다. 클럭 신호의 주파수가 높아지더라도 스태바이 전류는 완만하게 증가된다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 제어 신호를 클럭 신호에 동기하여 수신하고, 상기 제어 신호의 조합에 따라 타이밍 신호를 생성하는 타이밍 신호 발생기와;

상기 클럭 신호에 비동기로 수신한 입력 신호를 지연시키는 지연 회로와;

상기 지연 회로에 의해 지연된 상기 입력 신호를 상기 타이밍 신호에 동기하여 수신하는 수신 회로를 포함하며,

상기 지연 회로의 지연 시간은 상기 타이밍 신호 발생기가 상기 제어 신호를 수신하고 나서 상기 타이밍 신호를 출력하기까지의 시간과 동일하도록 설정되는 것을 특징으로 하는 반도체 집적 회로.

청구항 2

제1항에 있어서, 상기 입력 신호를 상기 클럭 신호에 비동기로 수신하고, 이 수신된 신호를 상기 지연 회로로 출력하는 입력 버퍼를 더 구비하는 것인 반도체 집적 회로.

청구항 3

제1항에 있어서, 상기 입력 신호는 어드레스 신호인 것인 반도체 집적 회로.

청구항 4

제1항에 있어서, 복수의 메모리 셀을 갖는 메모리 어레이를 더 구비하고, 상기 입력 신호는 상기 메모리 셀에 기록된 데이터 신호인 것인 반도체 집적 회로.

청구항 5

제1항에 있어서, 복수의 메모리 셀을 갖는 메모리 어레이를 더 구비하고, 상기 제어 신호는 상기 메모리 어레이의 동작을 지시하는 명령 신호이며, 상기 입력 신호는 소정의 상기 메모리 셀을 선택하는 어드레스 신호인 것인 반도체 집적 회로.

청구항 6

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <37> 본 발명은 클럭 신호에 동기하여 동작하는 반도체 집적 회로에 관한 것으로, 특히 입력 신호의 수신 회로를 갖는 반도체 집적 회로에 관한 것이다. 또한, 본 발명은 메모리 어레이를 갖는 반도체 집적 회로에 관한 것이다.
- <38> 휴대 전화 등의 휴대 기기가 취급하는 데이터량은 해마다 증가하고 있다. 이에 따라, 휴대 기기에 탑재될 대용량인면서 고속인 반도체 메모리가 필요하게 되었다. SDRAM(Synchronous DRAM) 등의 클럭 동기식 DRAM은 대용량인면서 고속이기 때문에, 이러한 종류의 휴대 기기에 탑재되는 반도체 메모리로서 유망하다.
- <39> 한편, 휴대 기기는 배터리를 사용하여 동작한다. 이 때문에, 휴대 기기에 탑재되는 전자 부품은 전력 소비가 적은 것이 필요하다. 특히, 휴대 전화는 실외에서 장시간 사용되는 경우가 많기 때문에, 스탠바이시의 소비 전력이 적은 것이 중요하다.

발명이 이루고자 하는 기술적 과제

- <40> SDRAM의 스탠바이 전류는 클록 신호를 수신하는 회로에서 발생하는 클록 신호의 발전에 따른 충방전 전류가 지배적이라고 생각되고 있다. 이 때문에, SDRAM의 스탠바이 전류는 공급되는 클록 신호의 주파수에 비례하여 증가한다. 따라서, SDRAM 등의 클록 동기식 반도체 집적 회로는 대용량이면서 고속임에도 불구하고, 동작 주파수가 높기 때문에 휴대 기기로서의 탑재가 의식적으로 회피하게 되는 경향이 있다.
- <41> 본 발명의 목적은 클록 동기식 반도체 집적 회로의 스탠바이 전류를 감소시키는 데에 있다.
- <42> 특히, 본 발명의 목적은 클록 신호의 주파수가 증가했을 때에, 스탠바이 전류의 증가를 최소한으로 하는 회로 기술을 제공하는 데에 있다.

발명의 구성 및 작용

- <43> 본 발명의 반도체 집적 회로에서, 제어 회로는 복수의 제어 신호를 클록 신호에 동기하여 수신하고, 이들 제어 신호의 조합에 따라 타이밍 신호를 생성한다. 지연 회로는 클록 신호에 비동기로 수신한 입력 신호를 소정의 시간만큼 지연시킨다. 수신 회로는 지연 회로에 의해 지연된 입력 신호를 클록 신호가 아닌 타이밍 신호에 동기하여 수신한다. 즉, 수신 회로는 클록 신호에 비동기로 동작하고, 반도체 집적 회로에 필요한 입력 신호만을 수신한다.
- <44> 수신 회로는 제어 신호가 타이밍 신호를 생성하는 조합이 아닌 경우 동작하지 않는다. 수신 회로의 동작 빈도가 낮아지기 때문에, 수신 회로의 소비 전력을 감소시킬 수 있다. 클록 신호에 동기하여 동작하는 회로를 적게 할 수 있기 때문에, 특히, 내부 회로를 동작시키지 않는 스탠바이 모드시의 소비 전류(스탠바이 전류)를 감소시킬 수 있다. 클록 신호에 동기하여 동작하는 회로가 적기 때문에, 클록 신호의 주파수가 높아지더라도 스탠바이 전류는 완만하게 증가한다.
- <45> 본 발명의 반도체 집적 회로에서, 입력 버퍼는 클록 신호에 비동기로 입력 신호를 수신하고, 이 수신된 신호를 지연 회로로 출력한다. 이 때문에, 입력 신호는 클록 신호에 비동기로 수신 회로까지 전달된다. 클록 신호에 동기하여 동작하는 회로를 적게 할 수 있기 때문에, 스탠바이 전류를 감소시킬 수 있다.
- <46> 본 발명의 반도체 집적 회로에서, 수신 회로는 어드레스 신호를 수신한다. 어드레스 신호는 반도체 집적 회로 내의 복수의 영역을 식별하기 위하여 통상 복수의 비트로 구성된다. 수신 회로는 어드레스 신호의 각 비트에 대응하여 각각 필요하다. 따라서, 수신 회로가 어드레스 신호를 수신하는 경우, 스탠바이 전류를 대폭 감소시킬 수 있다.
- <47> 본 발명의 반도체 집적 회로에서, 수신 회로는 데이터 신호를 수신한다. 데이터 신호는 데이터 전송 속도를 높이기 위하여 통상 복수의 비트로 구성된다. 수신 회로는 데이터 신호의 각 비트에 대응하여 각각 필요하다. 따라서, 수신 회로가 데이터 신호를 수신하는 경우, 스탠바이 전류를 대폭 감소시킬 수 있다.
- <48> 본 발명의 반도체 집적 회로에서, 제어 회로는 복수의 명령 신호를 클록 신호에 동기하여 수신하고, 이들 명령 신호의 조합에 따라 메모리 어레이의 동작을 지시하는 타이밍 신호를 생성한다. 수신 회로는 메모리 어레이 내의 메모리 셀을 선택하는 어드레스 신호를 타이밍 신호에 동기하여 수신한다. 그리고, 메모리 어레이 내의 복수의 메모리 셀 중에서 어드레스 신호에 대응하는 소정의 메모리 셀이 선택되어 판독 동작 등이 실행된다.
- <49> 일반적으로, 어드레스 신호는 메모리 어레이 내의 복수의 메모리 셀 중에서 어느 하나를 선택하기 위하여 다수의 비트로 구성되어 있다. 수신 회로는 어드레스 신호의 각 비트에 대응하여 각각 필요하다. 따라서, 본 발명을 메모리 어레이를 갖는 반도체 집적 회로에 적용함으로써, 스탠바이 전류를 대폭 감소시킬 수 있다.
- <50> 본 발명의 반도체 집적 회로에서, 지연 회로의 지연 시간은 제어 회로가 명령 신호를 수신하고 나서 타이밍 신호를 출력하기까지의 시간에 맞춰 설정된다. 일반적으로, 클록 동기식 반도체 집적 회로(반도체 메모리)에서, 명령 신호와 어드레스 신호는 클록 신호의 동일한 에지에 동기하여 수신된다. 즉, 명령 신호 및 어드레스 신호는 클록 신호의 에지에 대하여 동일한 설정 시간과 유지 시간을 만족하도록 공급된다. 어드레스 신호가 상기 지연 시간을 갖는 지연 회로를 통해 수신 회로에 전달되기 때문에, 클록 신호에 동기하여 명령 신호와 동시에 공급된 어드레스 신호를 수신 회로에서 확실하게 수신할 수 있다.
- <51> 이하, 본 발명의 실시예를 도면을 이용하여 설명한다.
- <52> 도 1은 본 발명의 반도체 집적 회로의 일 실시예를 도시하고 있다. 이 반도체 집적 회로는 실리콘 기판 상에

CMOS 공정을 사용하여 클록 동기식 SDRAM으로 형성되어 있다.

- <53> SDRAM은 복수의 입력 버퍼(10a, 10b, 10c), 명령 래치/디코더(12), 지연 회로(14), 어드레스 래치(16), 제어 회로(18) 및 메모리 어레이(20)를 포함하고 있다. 굵은 프레임으로 도시한 명령 래치/디코더(12)는 클록 신호(CLK)에 동기하여 동작하는 회로이다. 굵은 선으로 도시한 신호선은 복수의 신호로 구성되어 있다. 또한, 이 실시예에서, 데이터의 입출력에 관한 회로는 도시하고 있지 않는다.
- <54> 입력 버퍼(10a)는 외부에서 클록 신호(CLK)를 수신하고, 이 수신된 신호를 내부 클록 신호(ICLK)로서 출력한다. 입력 버퍼(10b)는 외부에서 명령 신호(CMD)를 수신하고, 이 수신된 신호를 내부 명령 신호(ICMD)로서 출력한다. 입력 버퍼(10c)는 외부에서 어드레스 신호(AD)(입력 신호)를 수신하고, 이 수신된 신호를 내부 어드레스 신호(IAD)로서 출력한다. 입력 버퍼(10a, 10b, 10c)는 모두 클록 신호(CLK)(ICLK)에 비동기로 동작한다.
- <55> 명령 래치/디코더(12)는 내부 클록 신호(ICLK)에 동기하여 내부 명령 신호(ICMD)를 수신하고, 이 수신한 신호를 해독한다. 명령 신호(CMD) 및 내부 명령 신호(ICMD)는 SDRAM의 내부 회로를 동작시키기 위한 제어 신호이다. 명령 래치/디코더(12)는 해독 결과에 따라 복수의 타이밍 신호(TIM1) 및 어드레스 래치 신호(AL)(타이밍 신호)를 출력한다. 즉, 명령 신호(CMD)의 조합에 따라 타이밍 신호(TIM1) 및 어드레스 래치 신호(AL)가 생성된다.
- <56> 예컨대, 명령 신호(CMD)가 판독 동작을 지시하는 판독 명령일 때, 명령 래치/디코더(12)는 메모리 어레이(20)를 활성화하기 위한 타이밍 신호(TIM1)를 제어 회로(18)로 출력하고, 어드레스 신호(AD)를 수신하기 위한 어드레스 래치 신호(AL)를 어드레스 래치(16)로 출력한다. 어드레스 래치 신호(AL)는 어드레스 래치(16)를 동작시키기 위하여 내부 클록 신호(ICLK)에 동기하여 출력되는 타이밍 신호이다.
- <57> 지연 회로(14)는 입력 버퍼(10c)에서 전달되는 내부 어드레스 신호(IAD)를 소정의 시간만큼 지연시켜 내부 어드레스 신호(IAD2)로서 출력한다. 지연 회로(14)의 지연 시간은 후술하는 바와 같이, 어드레스 신호(AD)의 입력에서 내부 어드레스 신호(IAD2)의 출력까지의 시간이 클록 신호(CLK)의 상승 에지에서 어드레스 래치 신호(AL)의 상승 에지까지의 시간과 같아지도록 설정되어 있다. 즉, 지연 시간은 명령 래치/디코더(12)의 동작 타이밍에 맞춰 설정되어 있다.
- <58> 어드레스 래치(16)는 어드레스 래치 신호(AL)에 동기하여 내부 어드레스 신호(IAD2)를 수신하고, 이 수신한 신호를 래치 어드레스 신호(LAD)로서 출력한다. 즉, 어드레스 래치(16)는 어드레스 신호(AD)의 수신 회로로서 동작한다. 이와 같이, 외부에서 공급되는 어드레스 신호(AD)는 클록 신호(CLK)에 비동기로 어드레스 래치(16)까지 전달된다. 또한, 이 실시예에서 어드레스 신호(AD), 내부 어드레스 신호(IAD, IAD2)를 클록 신호(CLK)로 직접 수신하는 회로는 존재하지 않는다.
- <59> 제어 회로(18)는 타이밍 신호(TIM1) 및 래치 어드레스 신호(LAD)에 따라 메모리 어레이(20)를 동작시키는 복수의 타이밍 신호(TIM2), 어드레스 해독 신호(DEC) 등을 생성한다. 메모리 어레이(20)는 도시하지 않은 복수의 메모리 셀, 디코더, 센스 앰프 등을 구비하고 있다. 메모리 어레이(20)는 타이밍 신호(TIM2)에 동기하여 활성화되고, 판독 동작, 기록 동작, 리프레시 동작, 또는 비트선의 프리차지 동작을 실행한다. 데이터를 기록하는 메모리 셀, 동작시키는 센스 앰프 등은 어드레스 해독 신호(DEC)에 따라 선택된다.
- <60> 도 2는 어드레스 래치(16)의 상세한 내용을 도시하고 있다. 어드레스 래치(16)는 신호 래치부(22) 및 신호 출력부(24)를 갖고 있다.
- <61> 신호 래치부(22)는 입력과 출력을 서로 접속한 CMOS 인버터(28, 30), CMOS 인버터(28, 30)의 출력 노드(ND1, ND2)를 각각 전원선(VII)에 접속하는 pMOS 트랜지스터(28a, 30a)(이하, 간략히 pMOS라 칭함), CMOS 인버터(28, 30)의 nMOS 트랜지스터의 소스를 접지선(VSS)에 접속하는 nMOS 트랜지스터(28b, 28c, 30b, 30c, 32)(이하, 간략히 nMOS라 칭함) 및 인버터(34)로 구성되어 있다.
- <62> pMOS(28a, 30a)의 게이트 및 nMOS(32)의 게이트에는 어드레스 래치 신호(AL)가 공급되어 있다. nMOS(28b)의 게이트에는 내부 어드레스 신호(IAD2)가 공급되고, nMOS(30b)의 게이트에는 인버터(34)를 통해 내부 어드레스 신호(IAD2)의 반전 신호가 공급되어 있다. nMOS(28c, 30c)의 게이트에는 노드(ND1, ND2)의 반전 노드(/ND1, /ND2)가 각각 접속되어 있다.
- <63> 신호 출력부(24)는 pMOS 및 nMOS로 이루어지는 2개의 출력 회로(24a, 24b), 래치(24c) 및 인버터(24d)를 갖고 있다. 래치(24c)는 2개의 인버터의 입력과 출력을 서로 접속하여 구성되고, 양 인버터의 입력으로 각각 출력 회로(24a, 24b)의 출력을 수신하고 있다. 인버터(24d)는 출력 회로(24b)의 출력 레벨을 반전하고, 반전한 신호를 래치 어드레스 신호(LAD)로서 출력한다.

- <64> 상술한 어드레스 래치(16)에서는 어드레스 래치 신호(AL)가 저레벨일 때, 신호 래치부(22)의 pMOS(28a, 30a)가 온되고 노드(ND1, ND2)는 고레벨이 된다. 노드(ND1, ND2)가 고레벨일 때, 신호 출력부(24)의 출력 회로(24a, 24b)는 모두 오픈된다. 이 때문에, 신호 출력부(24)는 래치(24c)에 유지되어 있는 어드레스 신호를 래치 어드레스 신호(LAD)로서 출력한다.
- <65> 어드레스 래치 신호(AL)가 고레벨로 변화되면, 신호 래치부(22)의 nMOS(32)가 온되고, CMOS 인버터(28, 30)가 활성화된다. nMOS(28b, 30b) 중 어느 하나가 내부 어드레스 신호(IAD2)의 레벨에 따라 온되고, 노드(ND1, ND2)를 서로 반대의 레벨로 변화시킨다. 노드(ND1, ND2)의 레벨은 nMOS(28c, 30c)로 피드백되어 신호 래치부(22)의 상태가 고정된다. 노드(ND1, ND2)의 레벨이 결정되면, 그 이후는 내부 어드레스 신호(IAD2)가 변화하여도 신호 래치부(22)의 상태는 변하지 않는다. 즉, 어드레스 래치 신호(AL)의 상승 에지에 동기하여 어드레스 신호(AD)가 래치된다.
- <66> 어드레스 래치 신호(AL)가 다시 저레벨로 변화되면, pMOS(28a, 30a)가 온되고, 노드(ND1, ND2)는 고레벨이 된다. 따라서, 어드레스 래치(16)는 어드레스 래치 신호(AL)의 레벨이 변화되었을 때에, 전류를 소비한다. 어드레스 래치(16)는 CMOS 회로로 구성되어 있기 때문에, 어드레스 래치 신호(AL)의 레벨이 변하지 않을 때, 전류를 거의 소비하지 않는다.
- <67> 도 3은 전술한 SDRAM에 있어서의 어드레스 신호(AD)의 수신 동작을 도시하고 있다. 이 예에서는 판독 동작을 실행하기 위하여 SDRAM에 액티브 명령(ACT) 및 판독 명령(RD)이 순차적으로 공급된다. 명령 신호(CMD) 및 어드레스 신호(AD)는 클럭 신호(CLK)의 상승 에지에 대하여 소정의 설정 시간(tS), 유지 시간(tH)을 만족하여 공급된다.
- <68> 우선, 명령 신호(CMD)(ACT) 및 어드레스 신호(AD)(행 어드레스 신호)가 공급된다(도 3(a)). 도 1에 도시된 명령 래치/디코더(12)는 내부 클럭 신호(ICLK)의 상승 에지에 동기하여 명령 신호(CMD)를 래치하고, 이 래치된 신호를 해독한다. 그리고, 명령 래치/디코더(12)는 명령 신호(CMD)가 액티브 명령(ACT)인 것을 인식하여, 어드레스 래치 신호(AL)를 활성화한다(도 3(b)).
- <69> 도 1에 도시된 지연 회로(14)는 입력 버퍼(10c)로부터의 내부 어드레스 신호(IAD)를 지연시켜 내부 어드레스 신호(IAD2)로서 출력한다(도 3(c)). 여기서, 어드레스 신호(AD)의 변화에서 내부 어드레스 신호(IAD2)의 변화까지의 시간(T1)은 클럭 신호(CLK)의 상승 에지에서 어드레스 래치 신호(AL)의 활성화까지의 시간과 동일하다.
- <70> 어드레스 래치(16)는 어드레스 래치 신호(AL)의 상승 에지에 동기하여 내부 어드레스 신호(IAD2)를 래치하고, 래치 어드레스 신호(LAD)로서 출력한다(도 3(d)). 이 후, 래치 어드레스 신호(LAD)(행 어드레스 신호)에 따라 워드선 및 센스 앰프가 활성화되어, 메모리 어레이(20)가 동작한다.
- <71> 다음에, 3 번째 클럭 신호(CLK)의 상승 에지에 맞춰서 명령 신호(CMD)(RD) 및 어드레스 신호(AD)(열 어드레스 신호)가 공급된다(도 3(e)). 어드레스 래치(16)는 전술한 바와 같이 어드레스 래치 신호(AL)에 동기하여 내부 어드레스 신호(IAD2)를 래치하고, 이 래치된 신호를 래치 어드레스 신호(LAD)로서 출력한다(도 3(f)). 이 후, 래치 어드레스 신호(LAD)(열 어드레스 신호)에 따라 메모리 어레이(20) 내의 칼럼 스위치가 선택되고, 판독 데이터가 출력된다.
- <72> 이와 같이, 어드레스 래치(16)는 클럭 신호(CLK)(ICLK)에 동기하여 어드레스 신호(AD)(IAD2)를 수신하는 것이 아니라 어드레스 래치 신호(AL)에 동기하여 어드레스 신호(AD)(IAD2)를 수신한다. 어드레스 래치(16)의 동작 빈도가 낮기 때문에, 소비 전력을 낮게 할 수 있다. 어드레스 래치(16)는 그 수가 많기 때문에(예컨대 10 비트), 소비 전력의 저감 효과는 크다.
- <73> 도 4는 전술한 SDRAM에 있어서의 스탠바이 상태에서의 어드레스 신호(AD)의 수신 동작(클럭 신호(CLK)의 주파수가 낮은 경우)을 도시하고 있다. SDRAM은 스탠바이 상태일 때, 클럭 신호(CLK)를 계속해서 수신하지만, 내부 동작은 실행하지 않는다. 도면의 아래쪽 화살표는 그 타이밍으로 전류가 소비되는 것을 나타내고 있다. 화살표의 크기는 전류의 크기를 나타내고 있다. SDRAM과 함께 시스템에 탑재된 CPU 등의 컨트롤러가 시스템 상의 다른 장치를 액세스할 때에, 어드레스 신호(AD)는 변화된다.
- <74> 검은 화살표는 클럭 신호(CLK)의 변화에 맞춰 입력 버퍼(10a) 및 명령 래치/디코더(12)가 동작할 때의 전류이다. 흰 화살표는 어드레스 신호(AD)의 변화에 맞춰 입력 버퍼(10c)가 동작할 때의 전류이다. 그물 모양 화살표는 어드레스 신호(AD)의 변화에 따라 지연 회로(14)가 동작할 때의 전류이다. 어드레스 래치(16)가 클럭 신호(CLK)에 동기하여 동작하지 않기 때문에, 스탠바이시의 소비전류는 작다.

- <75> 도 5는 전술한 SDRAM에 있어서의 스탠바이 상태에서의 어드레스 신호(AD)의 수신 동작(클록 신호(CLK)의 주파수가 높은 경우)을 나타내고 있다. SDRAM은 스탠바이 상태일 때, 클록 신호(CLK)를 계속해서 수신하기 때문에, 내부 동작은 실행하지 않는다. 클록 주기가 상승하기 때문에, 어드레스 신호(AD)의 변화의 빈도(CPU 등의 컨트롤러가 시스템 상의 다른 장치들 액세스하는 빈도)는 도 4에 비하여 높아진다.
- <76> 도 4와 마찬가지로, 검은 화살표는 클록 신호(CLK)의 변화에 맞춰 입력 버퍼(10a) 및 명령 래치/디코더(12)가 동작할 때의 전류이다. 흰 화살표는 어드레스 신호(AD)의 변화에 맞춰 입력 버퍼(10c)가 동작할 때의 전류이다. 그물 모양 화살표는 어드레스 신호(AD)의 변화에 따라 지연 회로(14)가 동작할 때의 전류이다. 클록 주기가 상승하기 때문에, 명령 래치/디코더(12) 및 입력 버퍼(10a)의 동작 빈도는 높아진다. 그러나, 명령 래치/디코더(12) 및 입력 버퍼(10a)에서 소비되는 전류는 원래 적고, 입력 버퍼(10c)의 동작 빈도는 낮기 때문에, 클록 신호(CLK)의 주파수가 높아짐으로써 스탠바이시의 소비 전류가 대폭 증가하는 일은 없다.
- <77> 도 6은 본 발명 전에 발명자가 검토한 SDRAM를 도시하고 있다. 이 SDRAM에서는 도 1에 도시된 지연 회로(14) 대신에 수신 회로(36)가 배치되어 있다. 그 밖의 회로 구성은 도 1과 동일하다. 큰 프레임으로 도시된 명령 래치/디코더(12) 및 수신 회로(36)는 클록 신호(CLK)에 동기하여 동작하는 회로이다.
- <78> 수신 회로(36)는 예컨대 도 2에 도시된 어드레스 래치(16)와 동일한 회로로 구성되고, 내부 클록 신호(ICLK)의 상승 에지에 동기하여 내부 어드레스 신호(IAD)를 수신한다. 즉, 이 SDRAM에서는 내부 클록 신호(ICLK)가 명령 래치/디코더(12)뿐만 아니라 수신 회로(36)에도 공급되고 있다. 수신 회로(36)는 수신한 신호를 래치 어드레스 신호(LAD2)로서 출력한다. 어드레스 래치(16)는 어드레스 래치 신호(AL)의 상승 에지에 동기하여 래치 어드레스 신호(LAD2)를 래치하고, 이 래치된 신호를 래치 어드레스 신호(LAD3)로서 출력한다.
- <79> 도 7은 도 6의 SDRAM에 있어서의 스탠바이 상태에서의 어드레스 신호(AD)의 수신 동작(클록 신호(CLK)의 주파수가 낮은 경우)을 도시하고 있다. 이 예에서는, 내부 클록 신호(ICLK)의 상승 에지 및 하강 에지에 동기하여 명령 래치/디코더(12)뿐만 아니라 수신 회로(36)가 동작한다. 이 때문에, 검은 화살표(소비전류)는 도 4에 비하여 크게 된다.
- <80> 수신 회로(36)는 어드레스 신호(AD)가 변화되었을 때, 변화된 어드레스 신호(IAD)를 내부 클록 신호(ICLK)의 상승 에지에 동기하여 수신한다. 이 때문에, 래치 어드레스 신호(LAD2)가 변화될 때의 검은 화살표(소비 전류)는 다른 검은 화살표보다 크게 된다. 이와 같이, 스탠바이시에 있어서도 클록 신호(CLK)에 의한 어드레스 신호(AD)의 수신 동작이 실행되기 때문에, 도 4에 비하여 스탠바이 전류는 크게 된다.
- <81> 도 8은 도 6의 SDRAM에 있어서의 스탠바이 상태에서의 어드레스 신호(AD)의 수신 동작(클록 신호(CLK)의 주파수가 높은 경우)을 도시하고 있다. 이 예에서는, 클록 주기가 상승하기 때문에, 명령 래치/디코더(12) 및 수신 회로(36)의 동작 빈도 및 어드레스 신호(AD)의 변화의 빈도는 높아진다. 명령 래치/디코더(12) 및 수신 회로(36)로 소비되는 전류가 크기 때문에, 클록 신호(CLK)의 주파수가 높아짐으로써 소비 전력은 대폭 증가한다.
- <82> 이상, 본 실시예에서, 각 어드레스 래치(16)는 어드레스 신호(AD)(IAD2)를 명령 신호(CMD)의 조합에 의해 생성되는 어드레스 래치 신호(AL)에 동기하여 수신하였다. 즉, 어드레스 래치(16)를 클록 신호(CLK)에 비동기로 동작시켜, SDRAM의 동작에 필요한 어드레스 신호(AD)만을 수신하였다. 따라서, 어드레스 래치(16)의 동작 빈도가 낮아져서 소비 전력을 감소시킬 수 있다.
- <83> 어드레스 신호(AD)를 클록 신호(CLK)에 비동기로 어드레스 래치(16)까지 전달하고, 클록 신호(CLK)에 동기하여 동작하는 회로를 적게 하였다. 이 때문에, 스탠바이 전류를 작게 할 수 있다. 원래의 스탠바이 전류가 작기 때문에, 클록 신호(CLK)의 주파수가 높아지더라도 스탠바이 전류의 증가를 완만하게 할 수 있다.
- <84> 메모리 어레이(20) 내의 복수의 메모리 셀을 식별하기 위한 복수의 어드레스신호(AD)에 대응하여 복수의 어드레스 래치(16)를 형성하였다. 각 어드레스 래치(16)가 스탠바이시에 소비하는 전류를 작게 할 수 있기 때문에, 스탠바이 전류를 대폭 감소시킬 수 있다.
- <85> 지연 회로(14)의 지연 시간을 명령 래치/디코더(12)가 명령 신호(CMD)를 수신하고 나서 어드레스 래치 신호(AL)를 출력하기까지의 시간에 맞춰 설정하였다. 어드레스 신호(AD)를 상기 지연 시간을 갖는 지연 회로(14)를 통해 어드레스 래치(16)에 전달함으로써, 클록 신호(CLK)에 동기하여 명령 신호(CMD)와 함께 공급된 어드레스 신호(AD)를 어드레스 래치(16)에서 확실하게 수신할 수 있다.
- <86> 또한, 전술한 실시예에서는 본 발명을 SDRAM에 적용한 예에 대해서 기술하였다. 본 발명은 이러한 실시예로 한정되지 않는다. 예컨대, 본 발명을 CPU 등의 논리 LSI의 어드레스 수신 회로에 적용하여도 좋다.

- <87> 기술한 실시예에서는 본 발명을 어드레스 신호의 수신 회로에 적용한 예에 대해서 기술하였다. 본 발명은 이러한 실시예로 한정되지 않는다. 예컨대, 도 9에 도시된 바와 같이, 본 발명을 복수 비트로 구성되는 데이터 신호의 수신 회로에 적용하여도 좋다(청구항 4에 대응함).
- <88> 도 9에서, 명령 래치/디코더(타이밍 신호 발생기)는 클록 신호(CLK)(ICLK)에 동기하여 복수의 명령 신호(CMD)(ICMD)를 수신하고, 명령 신호(CMD)의 결합에 따른 타이밍 신호(TIM3, 데이터 래치 신호(DL))를 발생시킨다. 지연 회로는 소정의 시간에 의해 비동기로 클록 신호에 수신된 데이터 신호를 지연시킨다. 데이터 래치(수신 회로)는 클록 신호(CLK)가 아닌 데이터 래치 신호(DL)에 동기하여 지연 회로에 의해 지연된 데이터 신호(IDT2)를 수신한다. 즉, 수신 회로는 클록 신호에 비동기로 동작하고, 반도체 집적 회로의 내부 동작에 필요한 데이터 신호만을 수신한다.
- <89> 이상, 본 발명에 대해서 상세히 설명하였지만, 상기 실시예 및 그 변형예는 발명의 일례에 지나지 않으며, 본 발명은 이것에 한정되지 않는다. 본 발명의 기술적 범주를 벗어나지 않는 범위 내에서 변형 가능함을 이해할 수 있을 것이다.

발명의 효과

- <90> 본 발명의 반도체 집적 회로에서는, 입력 신호의 수신 회로의 동작 빈도를 낮춤으로써 소비 전력을 저감할 수 있다. 클록 신호에 동기하여 동작하는 회로를 적게 하였기 때문에, 스태바이 전류를 작게 할 수 있다. 원래의 스태바이 전류가 작기 때문에, 클록 신호의 주파수가 높아지더라도 스태바이 전류의 증가를 완만하게 할 수 있다.
- <91> 본 발명의 반도체 집적 회로에서는 입력 신호를 클록 신호에 비동기로 수신 회로까지 전달함으로써, 클록 신호에 동기하여 동작하는 회로를 적게 하였기 때문에, 스태바이 전류를 작게 할 수 있다.
- <92> 본 발명의 반도체 집적 회로에서는 어드레스 신호를 수신 회로에서 수신함으로써, 스태바이 전류를 대폭 감소시킬 수 있다.
- <93> 본 발명의 반도체 집적 회로에서는 데이터 신호를 수신 회로에서 수신함으로써, 스태바이 전류를 대폭 감소시킬 수 있다.
- <94> 본 발명의 반도체 집적 회로에서는 복수 비트로 구성되는 어드레스 신호의 각각에 수신 회로를 형성함으로써 스태바이 전류를 대폭 감소시킬 수 있다.
- <95> 본 발명의 반도체 집적 회로에서는 클록 신호에 동기하여 명령 신호와 함께공급된 어드레스 신호를 수신 회로에서 확실하게 수신할 수 있다.

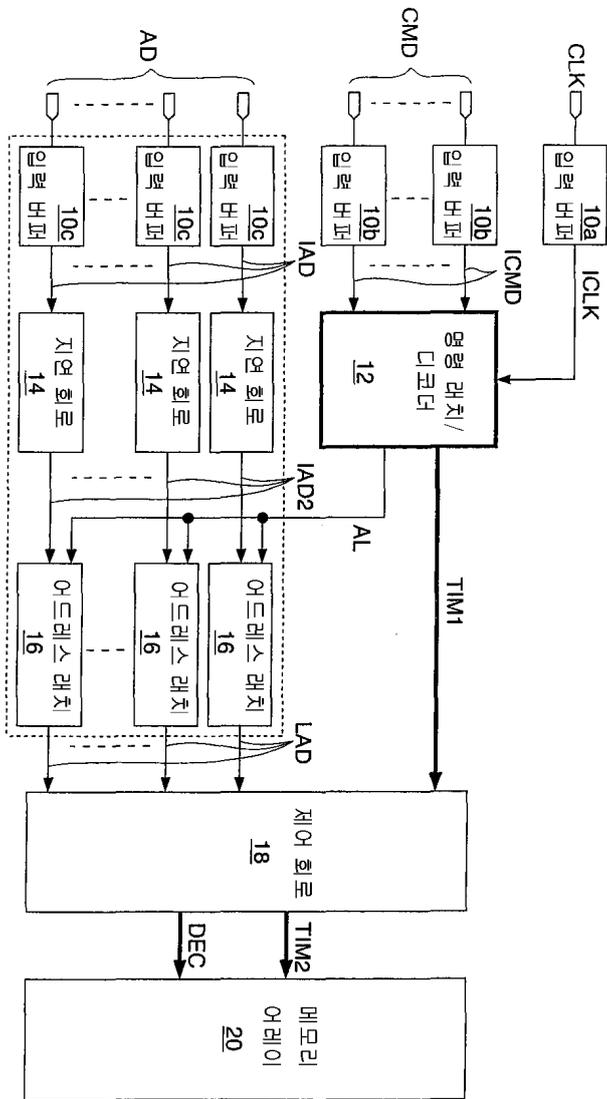
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예를 도시하는 블록도.
- <2> 도 2는 도 1의 어드레스 래치의 상세한 내용을 도시하는 회로도.
- <3> 도 3은 어드레스 신호의 수신 동작을 도시하는 타이밍도.
- <4> 도 4는 스태바이 상태에서의 어드레스 신호의 수신 동작을 도시하는 타이밍 도(클록 신호의 주파수가 낮은 경우).
- <5> 도 5는 스태바이 상태에서의 어드레스 신호의 수신 동작을 도시하는 타이밍 도(클록 신호의 주파수가 높은 경우).
- <6> 도 6은 본 발명을 하기 전에 발명자가 검토한 SDRAM을 도시하는 블록도.
- <7> 도 7은 도 6의 SDRAM에 있어서의 스태바이 상태에서의 어드레스 신호의 수신 동작을 도시하는 타이밍도(클록 신호의 주파수가 낮은 경우).
- <8> 도 8은 도 6의 SDRAM에 있어서의 스태바이 상태에서의 어드레스 신호의 수신 동작을 도시하는 타이밍도(클록 신호의 주파수가 높은 경우).
- <9> 도 9는 본 발명이 데이터 신호의 수신 회로에 적용되는 일례를 도시하는 블록도.

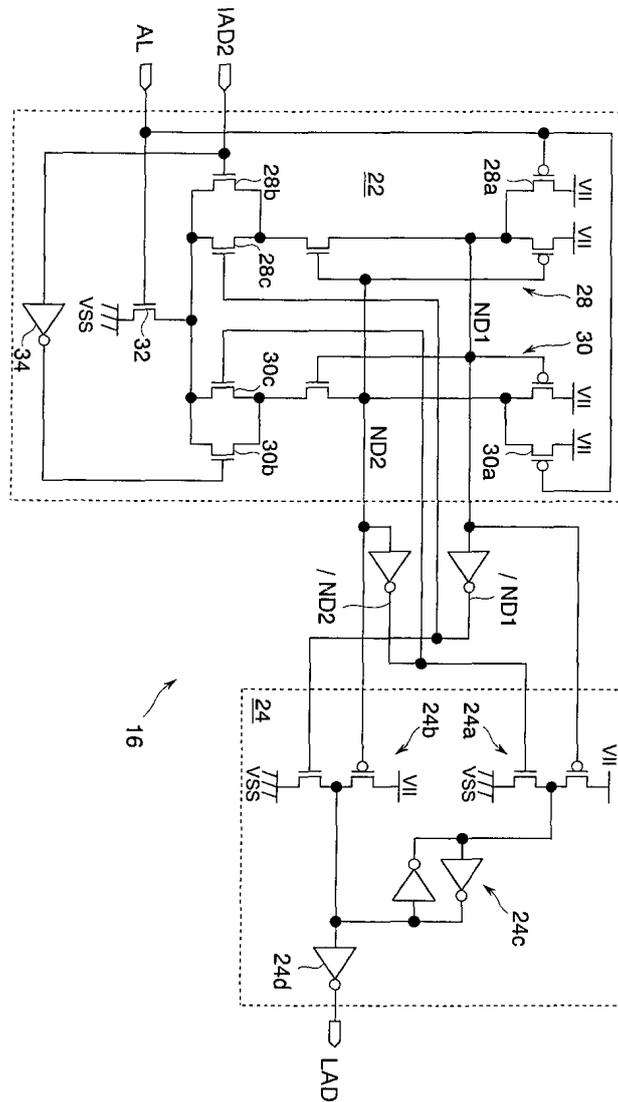
- <10> <도면의 주요부분에 대한 부호의 설명>
- <11> 10a, 10b, 10c : 입력 버퍼
- <12> 12 : 명령 래치/디코더
- <13> 14 : 지연 회로
- <14> 16 : 어드레스 래치
- <15> 18 : 제어 회로
- <16> 20 : 메모리 어레이
- <17> 22 : 신호 래치부
- <18> 24 : 신호 출력부
- <19> 24a, 24b : 출력 회로
- <20> 24c : 래치
- <21> 24d, 34 : 인버터
- <22> 28, 30 : CMOS 인버터
- <23> 28a, 30a : pMOS 트랜지스터
- <24> 28b, 28c, 30b, 30c, 32 : nMOS 트랜지스터
- <25> AL : 어드레스 래치 신호
- <26> CLK : 클록 신호
- <27> CMD : 명령 신호
- <28> DEC : 어드레스 해독 신호
- <29> IAD, IAD2 : 내부 어드레스 신호
- <30> ICLK : 내부 클록 신호
- <31> ICMD : 내부 명령 신호
- <32> LAD, LAD2, LAD3 : 래치 어드레스 신호
- <33> ND1, ND2, /ND1, /ND2 : 노드
- <34> TIM1, TIM2 : 타이밍 신호
- <35> VII : 전원선
- <36> VSS : 접지선

도면

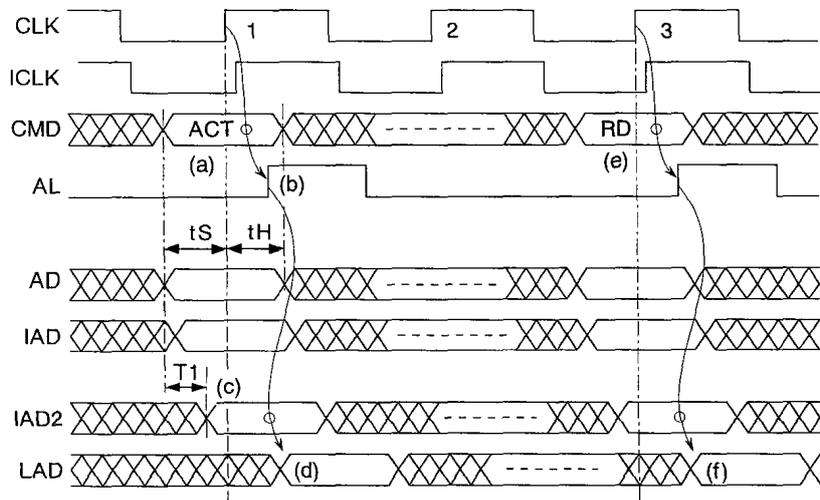
도면1



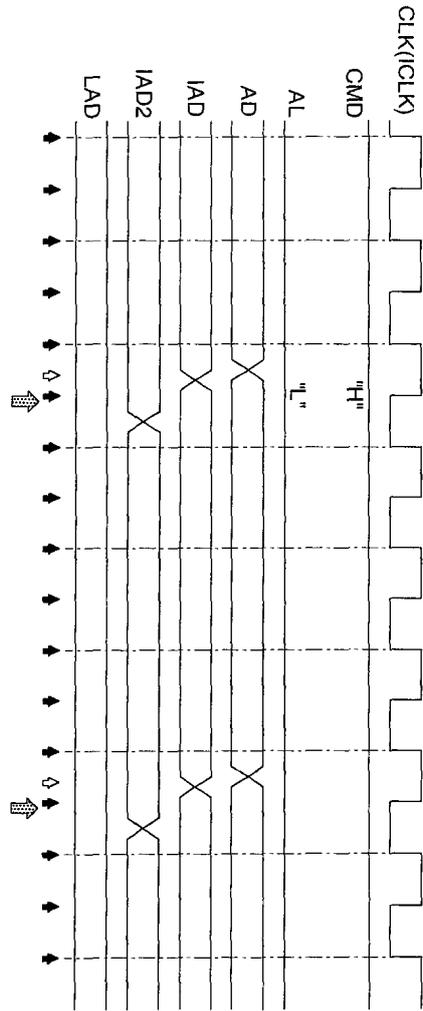
도면2



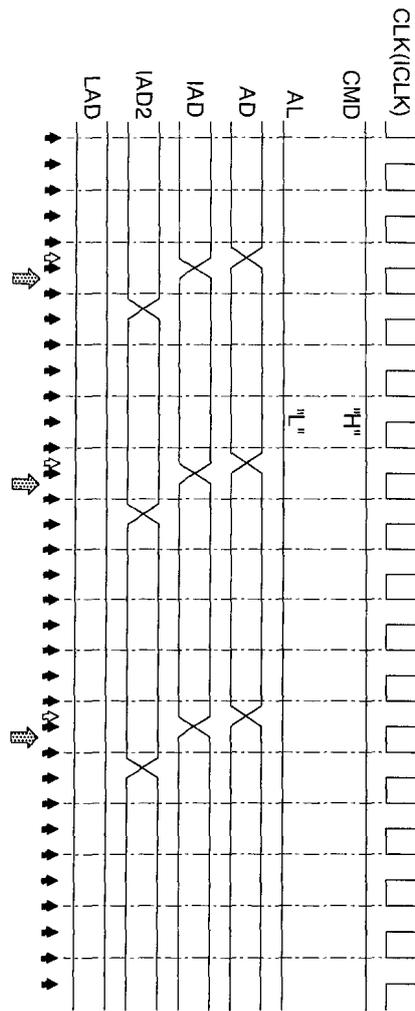
도면3



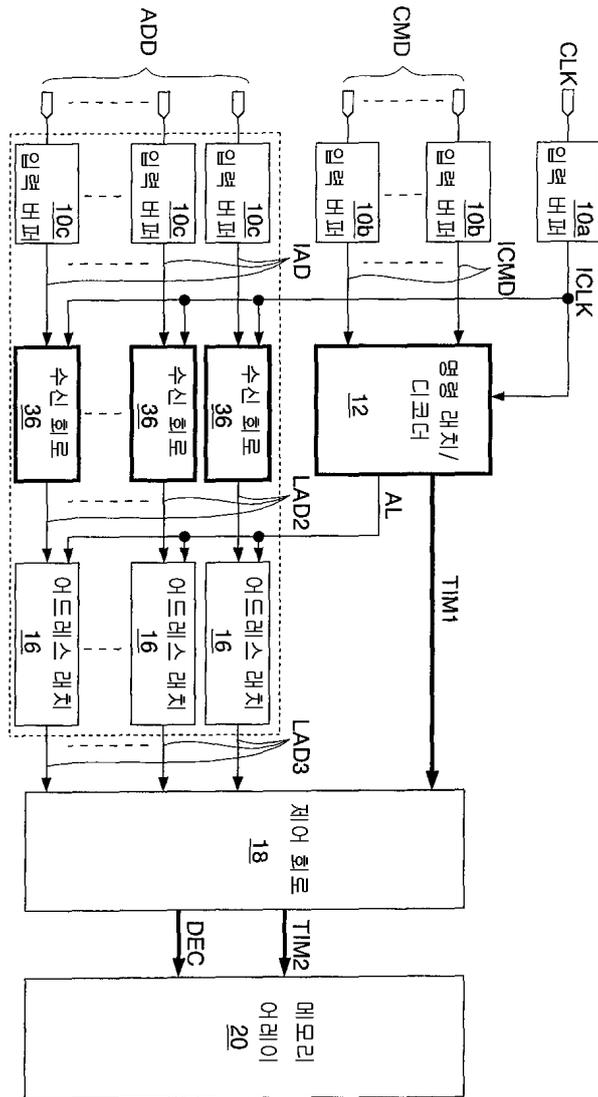
도면4



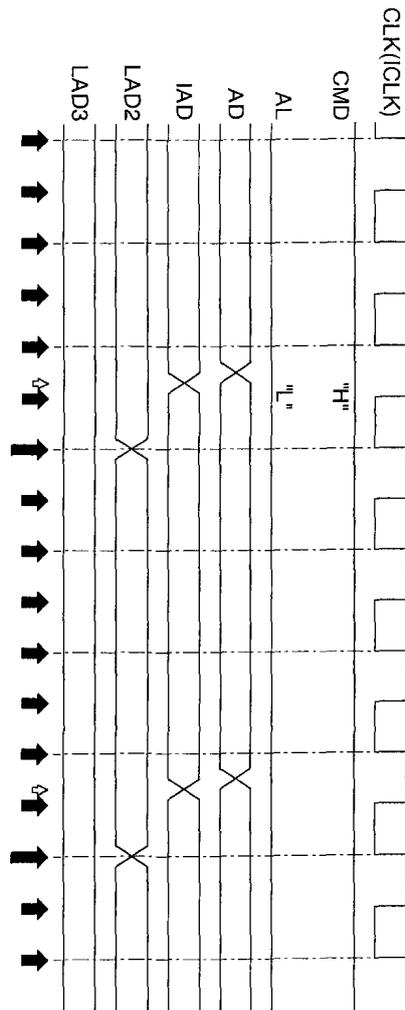
도면5



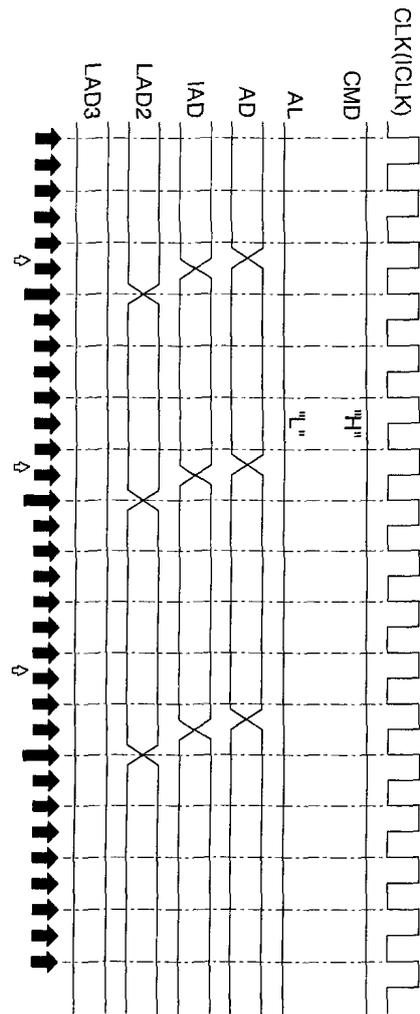
도면6



도면7



도면8



도면9

