



(12)发明专利申请

(10)申请公布号 CN 112736080 A  
(43)申请公布日 2021.04.30

(21)申请号 201910972733.4

(22)申请日 2019.10.14

(71)申请人 长鑫存储技术有限公司  
地址 230001 安徽省合肥市蜀山区经济技术  
开发区翠微路6号海恒大厦630室

(72)发明人 江文涌

(74)专利代理机构 上海盈盛知识产权代理事务  
所(普通合伙) 31294  
代理人 孙佳胤 陈丽丽

(51) Int. Cl.  
H01L 27/108(2006.01)

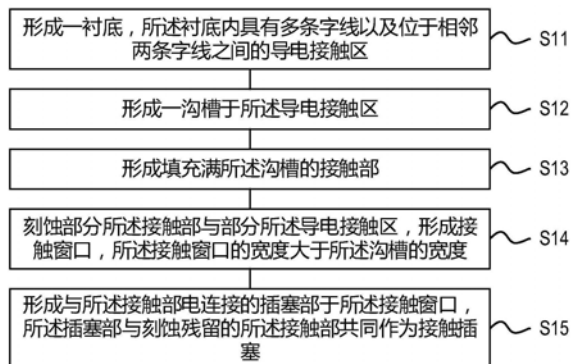
权利要求书2页 说明书7页 附图5页

(54)发明名称

半导体存储器及其形成方法

(57)摘要

本发明涉及半导体制造技术领域,尤其涉及一种半导体存储器及其形成方法。所述半导体存储器的形成方法包括如下步骤:形成一衬底,所述衬底内具有多条字线以及位于相邻两条字线之间的导电接触区;形成一沟槽于所述导电接触区;形成填充满所述沟槽的接触部;刻蚀部分所述接触部与部分所述导电接触区,形成接触窗口,所述接触窗口的宽度大于所述沟槽的宽度;形成与所述接触部电连接的插塞部于所述接触窗口,所述插塞部与刻蚀残留的所述接触部共同作为接触插塞。本发明增大了接触插塞与导电接触区之间的接触面积,从而降低接触插塞与导电接触区之间的接触电阻,改善了半导体存储器的性能,提高了半导体存储器的良率。



1. 一种半导体存储器的形成方法,其特征在于,包括如下步骤:  
形成一衬底,所述衬底内具有多条字线以及位于相邻两条字线之间的导电接触区;  
形成一沟槽于所述导电接触区;  
形成填充满所述沟槽的接触部;  
刻蚀部分所述接触部与部分所述导电接触区,形成接触窗口,所述接触窗口的宽度大于所述沟槽的宽度;  
形成与所述接触部电连接的插塞部于所述接触窗口,所述插塞部与刻蚀残留的所述接触部共同作为接触插塞。
2. 根据权利要求1所述的半导体存储器的形成方法,其特征在于,所述导电接触区为存储单元接触区或位线接触区。
3. 根据权利要求1所述的半导体存储器的形成方法,其特征在于,多条所述字线将所述衬底划分为若干个交替排列的存储单元接触区和位线接触区;形成一沟槽于所述导电接触区的具体步骤包括:  
刻蚀所述衬底,形成第一沟槽于所述存储单元接触区、并同时形成第二沟槽于所述位线接触区。
4. 根据权利要求3所述的半导体存储器的形成方法,其特征在于,所述衬底表面还具有第一掩膜层,所述第一掩膜层中具有与多条所述字线一一对应的多个第一开口;形成第一沟槽于所述存储单元接触区、并同时形成第二沟槽于所述位线接触区的具体步骤包括:  
形成至少填充满所述第一开口的第二掩膜层;  
去除所述第一掩膜层,于所述第二掩膜层中同时形成暴露所述存储单元接触区的第二开口和暴露所述位线接触区的第三开口;  
沿所述第二开口刻蚀所述存储单元接触区、并同时沿所述第三开口刻蚀所述位线接触区,同时形成所述第一沟槽和所述第二沟槽。
5. 根据权利要求4所述的半导体存储器的形成方法,其特征在于,沿所述第二开口刻蚀所述存储单元接触区、并同时沿所述第三开口刻蚀所述位线接触区的具体步骤包括:  
形成侧墙于所述第二开口的侧壁表面和所述第三开口的侧壁表面;  
沿所述第二开口刻蚀所述存储单元接触区、并同时沿所述第三开口刻蚀所述位线接触区。
6. 根据权利要求5所述的半导体存储器的形成方法,其特征在于,所述衬底内还具有字线沟槽以及覆盖于所述字线沟槽表面的绝缘层,所述字线位于所述绝缘层表面,所述侧墙至少覆盖所述绝缘层。
7. 根据权利要求3所述的半导体存储器的形成方法,其特征在于,还包括:  
形成填充满所述第一沟槽的第一接触部、并同时形成填充满所述第二沟槽的第二接触部;  
刻蚀部分所述存储单元接触区和部分所述第一接触部、形成第一接触窗口,并同时刻蚀部分所述位线接触区和部分所述第二接触部、形成第二接触窗口;  
形成与所述第一接触部电连接的第一插塞部于所述第一接触窗口、并同时形成与所述第二接触部电连接的第二插塞部于所述第二接触窗口,所述第一插塞部与刻蚀残留的所述第一接触部共同作为存储单元接触插塞,所述第二插塞部与刻蚀残留的所述第二接触部共

同作为位线接触插塞。

8. 根据权利要求7所述的半导体存储器的形成方法,其特征在于,在沿垂直所述衬底的方向上,所述第一沟槽的底面位于所述第一接触窗口的底面之下且位于所述字线的顶面之上,所述第二沟槽的底面位于所述第二接触窗口的底面之下且位于所述字线的顶面之上。

9. 根据权利要求8所述的半导体存储器的形成方法,其特征在于,在沿垂直于所述衬底的方向上,所述第一沟槽的底面距离所述第一接触窗口的底面的距离大于或者等于所述第一沟槽的底面距离所述字线的顶面的距离,且所述第二沟槽的底面距离所述第二接触窗口的底面的距离大于或者等于所述第二沟槽的底面距离所述字线的顶面的距离。

10. 一种半导体存储器,其特征在于,包括:

衬底,所述衬底内具有多条字线以及位于相邻两条字线之间的导电接触区;

沟槽,位于所述导电接触区内;

接触窗口,位于所述导电接触区内,所述接触窗口位于所述沟槽上方且与所述沟槽连通,所述接触窗口的宽度大于所述沟槽的宽度;

接触插塞,包括填充于所述沟槽的接触部和填充于所述接触窗口且与所述接触部电连接的插塞部。

11. 根据权利要求10所述的半导体存储器,其特征在于,所述导电接触区为存储单元接触区或位线接触区。

12. 根据权利要求10所述的半导体存储器,其特征在于,多条所述字线将所述衬底划分为若干个交替排列的存储单元接触区和位线接触区;

所述沟槽包括位于所述存储单元接触区的第一沟槽和位于所述位线接触区的第二沟槽;

所述接触窗口包括位于所述存储单元接触区且与所述第一沟槽连通的第一接触窗口和位于所述位线接触区且与所述第二沟槽连通的第二接触窗口;

所述第一接触窗口的宽度大于所述第一沟槽的宽度,所述第二接触窗口的宽度大于所述第二沟槽的宽度。

13. 根据权利要求12所述的半导体存储器,其特征在于,所述接触插塞包括存储单元接触插塞和位线接触插塞;

所述存储单元接触插塞包括位于所述第一沟槽内的第一接触部、以及位于所述第一接触窗口内且与所述第一接触部的顶部电连接的第一插塞部;

所述位线接触插塞包括位于所述第二沟槽内的第二接触部、以及位于所述第二接触窗口内且与所述第二接触部的顶部电连接的第二插塞部。

14. 根据权利要求13所述的半导体存储器,其特征在于,在沿垂直所述衬底的方向上,所述第一接触部的底面位于所述第一插塞部的底面之下且位于所述字线的顶面之上,所述第二接触部的底面位于所述第二插塞部的底面之下且位于所述字线的顶面之上。

15. 根据权利要求14所述的半导体存储器,其特征在于,在沿垂直于所述衬底的方向上,所述第一接触部的底面距离所述第一插塞部的底面的距离大于或者等于所述第一接触部的底面距离所述字线的顶面的距离,且所述第二接触部的底面距离所述第二插塞部的底面的距离大于或者等于所述第二接触部的底面距离所述字线的顶面的距离。

## 半导体存储器及其形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种半导体存储器及其形成方法。

### 背景技术

[0002] 动态随机存储器(Dynamic Random Access Memory, DRAM)是计算机等电子设备中常用的半导体存储器,其由多个存储单元构成,每个存储单元通常包括晶体管和电容器。所述晶体管的栅极与字线电连接、源极与位线电连接、漏极与电容器电连接,字线上的字线电压能够控制晶体管的开启与关闭,从而通过位线能够读取存储在电容器中的数据信息,或者将数据信息写入到电容器中。

[0003] 在现有的半导体存储器制造工艺中,为了增加存储单元的充放电速度,主要是利用增加存储单元接触插塞与存储单元接触区之间的接触面积和/或位线接触插塞与位线接触区之间的接触面积,来达到降低接触电阻的效果。在 $6F^2$ (例如 $3F \times 2F$ )的存储单元工艺基础上,随着技术节点的演进,增加存储单元接触插塞与存储单元接触区之间的接触面积和/或位线接触插塞与位线接触区之间的接触面积的难度越来越大,对半导体存储器制造工艺的改进难度越来越大。

[0004] 因此,如何降低半导体存储器内部的接触电阻,从而改善半导体存储器的性能,是目前亟待解决的技术问题。

### 发明内容

[0005] 本发明提供一种半导体存储器及其形成方法,用于解决现有的半导体存储器内部接触电阻较大的问题,以改善半导体存储器的性能,提高半导体存储器的良率。

[0006] 为了解决上述问题,本发明提供了一种半导体存储器的形成方法,包括如下步骤:

[0007] 形成一衬底,所述衬底内具有多条字线以及位于相邻两条字线之间的导电接触区;

[0008] 形成一沟槽于所述导电接触区;

[0009] 形成填充满所述沟槽的接触部;

[0010] 刻蚀部分所述接触部与部分所述导电接触区,形成接触窗口,所述接触窗口的宽度大于所述沟槽的宽度;

[0011] 形成与所述接触部电连接的插塞部于所述接触窗口,所述插塞部与刻蚀残留的所述接触部共同作为接触插塞。

[0012] 可选的,所述导电接触区为存储单元接触区或位线接触区。

[0013] 可选的,多条所述字线将所述衬底划分为若干个交替排列的存储单元接触区和位线接触区;形成一沟槽于所述导电接触区的具体步骤包括:

[0014] 刻蚀所述衬底,形成第一沟槽于所述存储单元接触区、并同时形成第二沟槽于所述位线接触区。

[0015] 可选的,所述衬底表面还具有第一掩膜层,所述第一掩膜层中具有与多条所述字

线一一对应的多个第一开口;形成第一沟槽于所述存储单元接触区、并同时形成第二沟槽于所述位线接触区的具体步骤包括:

[0016] 形成至少填充满所述第一开口的第二掩膜层;

[0017] 去除所述第一掩膜层,于所述第二掩膜层中同时形成暴露所述存储单元接触区的第二开口和暴露所述位线接触区的第三开口;

[0018] 沿所述第二开口刻蚀所述存储单元接触区、并同时沿所述第三开口刻蚀所述位线接触区,同时形成所述第一沟槽和所述第二沟槽。

[0019] 可选的,沿所述第二开口刻蚀所述存储单元接触区、并同时沿所述第三开口刻蚀所述位线接触区的具体步骤包括:

[0020] 形成侧墙于所述第二开口的侧壁表面和所述第三开口的侧壁表面;

[0021] 沿所述第二开口刻蚀所述存储单元接触区、并同时沿所述第三开口刻蚀所述位线接触区。

[0022] 可选的,所述衬底内还具有字线沟槽以及覆盖于所述字线沟槽表面的绝缘层,所述字线位于所述绝缘层表面,所述侧墙至少覆盖所述绝缘层。

[0023] 可选的,还包括:

[0024] 形成填充满所述第一沟槽的第一接触部、并同时形成填充满所述第二沟槽的第二接触部;

[0025] 刻蚀部分所述存储单元接触区和部分所述第一接触部、形成第一接触窗口,并同时刻蚀部分所述位线接触区和部分所述第二接触部、形成第二接触窗口;

[0026] 形成与所述第一接触部电连接的第一插塞部于所述第一接触窗口、并同时形成与所述第二接触部电连接的第二插塞部于所述第二接触窗口,所述第一插塞部与刻蚀残留的所述第一接触部共同作为存储单元接触插塞,所述第二插塞部与刻蚀残留的所述第二接触部共同作为位线接触插塞。

[0027] 可选的,在沿垂直所述衬底的方向上,所述第一沟槽的底面位于所述第一接触窗口的底面之下且位于所述字线的顶面之上,所述第二沟槽的底面位于所述第二接触窗口的底面之下且位于所述字线的顶面之上。

[0028] 可选的,在沿垂直于所述衬底的方向上,所述第一沟槽的底面距离所述第一接触窗口的底面的距离大于或者等于所述第一沟槽的底面距离所述字线的顶面的距离,且所述第二沟槽的底面距离所述第二接触窗口的底面的距离大于或者等于所述第二沟槽的底面距离所述字线的顶面的距离。

[0029] 为了解决上述问题,本发明还提供了一种半导体存储器,包括:

[0030] 衬底,所述衬底内具有多条字线以及位于相邻两条字线之间的导电接触区;

[0031] 沟槽,位于所述导电接触区内;

[0032] 接触窗口,位于所述导电接触区内,所述接触窗口位于所述沟槽上方且与所述沟槽连通,所述接触窗口的宽度大于所述沟槽的宽度;

[0033] 接触插塞,接触窗口,位于所述导电接触区内,所述接触窗口位于所述沟槽上方且与所述沟槽连通,所述接触窗口的宽度大于所述沟槽的宽度。

[0034] 可选的,所述导电接触区为存储单元接触区或位线接触区。

[0035] 可选的,多条所述字线将所述衬底划分为若干个交替排列的存储单元接触区和位

线接触区；

[0036] 所述沟槽包括位于所述存储单元接触区的第一沟槽和位于所述位线接触区的第二沟槽；

[0037] 所述接触窗口包括位于所述存储单元接触区且与所述第一沟槽连通的第一接触窗口和位于所述位线接触区且与所述第二沟槽连通的第二接触窗口；

[0038] 所述第一接触窗口的宽度大于所述第一沟槽的宽度，所述第二接触窗口的宽度大于所述第二沟槽的宽度。

[0039] 可选的，所述接触插塞包括存储单元接触插塞和位线接触插塞；

[0040] 所述存储单元接触插塞包括位于所述第一沟槽内的第一接触部、以及位于所述第一接触窗口内且与所述第一接触部的顶部电连接的第一插塞部；

[0041] 所述位线接触插塞包括位于所述第二沟槽内的第二接触部、以及位于所述第二接触窗口内且与所述第二接触部的顶部电连接的第二插塞部。

[0042] 可选的，在沿垂直所述衬底的方向上，所述第一接触部的底面位于所述第一插塞部的底面之下且位于所述字线的顶面之上，所述第二接触部的底面位于所述第二插塞部的底面之下且位于所述字线的顶面之上。

[0043] 可选的，在沿垂直于所述衬底的方向上，所述第一接触部的底面距离所述第一插塞部的底面的距离大于或者等于所述第一接触部的底面距离所述字线的顶面的距离，且所述第二接触部的底面距离所述第二插塞部的底面的距离大于或者等于所述第二接触部的底面距离所述字线的顶面的距离。

[0044] 本发明提供的半导体存储器及其形成方法，通过在导电接触区内形成沟槽以及与所述沟槽连通的接触窗口，使得用于与所述导电接触区电性接触的接触插塞填充所述沟槽以及所述接触窗口，增大了接触插塞与导电接触区之间的接触面积，从而降低接触插塞与导电接触区之间的接触电阻，改善了半导体存储器的性能，提高了半导体存储器的良率。

## 附图说明

[0045] 附图1是本发明具体实施方式中半导体存储器的形成方法流程图；

[0046] 图2A-图2I是本发明具体实施方式在形成半导体存储器的过程中主要的工艺截面示意图。

## 具体实施方式

[0047] 下面结合附图对本发明提供的半导体存储器及其形成方法的具体实施方式做详细说明。

[0048] 本具体实施方式提供了一种半导体存储器，附图1是本发明具体实施方式中半导体存储器的形成方法流程图，图2A-图2I是本发明具体实施方式在形成半导体存储器的过程中主要的工艺截面示意图。本具体实施方式中所述的半导体存储器可以是但不限于DRAM存储器。如图1、图2A-图2I所示，本具体实施方式提供的半导体存储器的形成方法，包括如下步骤：

[0049] 步骤S11，形成一衬底20，所述衬底20内具有多条字线21以及位于相邻两条字线21之间的导电接触区。

[0050] 可选的,所述导电接触区为存储单元接触区22或位线接触区23。

[0051] 具体来说,所述衬底20可以为Si衬底、Ge衬底、SiGe衬底、SOI(Silicon On Insulator,绝缘体上硅)或者GOI(Germanium On Insulator,绝缘体上锗)等。在本具体实施方式中,以所述衬底20为P-型硅衬底为例进行说明。所述衬底20内具有多个呈阵列排布的有源区AA,相邻两个所述有源区AA之间通过STI(Shallow Trench Isolation,浅沟槽隔离结构)隔开,所述字线21可以是位于所述有源区AA内的字线和/或位于STI中的字线。如图2A所示,所述字线21为埋入式字线,且所述字线21沿Y轴方向延伸,多条所述字线沿X轴方向平行排布。所述存储单元接触区22位于所述位线接触区23的相对两侧,且所述存储单元接触区22与所述位线接触区23的材料可以均为N-型硅。

[0052] 步骤S12,形成一沟槽于所述导电接触区。

[0053] 可选的,多条所述字线21将所述衬底20划分为若干个交替排列的存储单元接触区22和位线接触区23;形成一沟槽于所述导电接触区的具体步骤包括:

[0054] 刻蚀所述衬底20,形成第一沟槽291于所述存储单元接触区22、并同时形成第二沟槽292于所述位线接触区23。

[0055] 可选的,所述衬底20表面还具有第一掩膜层26,所述第一掩膜层26中具有与多条所述字线21一一对应的多个第一开口261,如图2A所示;形成第一沟槽291于所述存储单元接触区22、并同时形成第二沟槽292于所述位线接触区23的具体步骤包括:

[0056] 形成至少填充满所述第一开口261的第二掩膜层27,如图2B所示;

[0057] 去除所述第一掩膜层26,于所述第二掩膜层27中同时形成暴露所述存储单元接触区22的第二开口271和暴露所述位线接触区23的第三开口272;

[0058] 沿所述第二开口271刻蚀所述存储单元接触区22、并同时沿所述第三开口272刻蚀所述位线接触区23,同时形成所述第一沟槽291和所述第二沟槽292,如图2F、2G所示,图2G是图2F的俯视结构示意图。

[0059] 具体来说,在形成所述字线21的过程中,于所述衬底20表面形成具有所述第一开口261的所述第一掩膜层26;然后,沿所述第一开口261刻蚀所述衬底20,形成字线沟槽24;接着,沿所述第一开口261向所述字线沟槽24内填充导电材料,例如钨,形成所述字线21,如图2A所示。在形成所述字线21之后,保留所述第一掩膜层26,形成填充满所述第一开口261并覆盖所述第一掩膜层26表面的第二掩膜层27,如图2B所示。之后,利用化学机械研磨或者刻蚀工艺刻蚀所述第二掩膜层27,暴露所述第一掩膜层26,如图2C所示。接着,去除所述第一掩膜层26,形成暴露所述存储单元接触区22的第二开口271和暴露所述位线接触区23的第三开口272,如图2D所示。其中,去除所述第一掩膜层26的方法可以是干法刻蚀工艺和/或湿法刻蚀工艺。本具体实施方式中,所述第一掩膜层26的材料与所述第二掩膜层27的材料之间应该具有较高的刻蚀选择比,例如所述第一掩膜层26的材料为硬掩膜材料、所述第二掩膜层27的材料为含碳有机掩膜层材料,以便于选择性的对所述第一掩膜层26或所述第二掩膜层27进行刻蚀。

[0060] 本步骤中,由于在形成所述字线21的所述第一掩膜层26表面直接形成所述第二掩膜层27,使得图2D中残留的所述第二掩膜层27与所述字线21自对准,从而极大的简化了半导体存储器的制造工艺。

[0061] 可选的,沿所述第二开口271刻蚀所述存储单元接触区22、并同时沿所述第三开口

272刻蚀所述位线接触区23的具体步骤包括：

[0062] 形成侧墙28于所述第二开口271的侧壁表面和所述第三开口272的侧壁表面；

[0063] 沿所述第二开口271刻蚀所述存储单元接触区22、并同时沿所述第三开口272刻蚀所述位线接触区23。

[0064] 可选的，所述衬底20内还具有字线沟槽24以及覆盖于所述字线沟槽24表面的绝缘层25，所述字线21位于所述绝缘层25表面，所述侧墙28至少覆盖所述绝缘层25。

[0065] 具体来说，所述字线沟槽24表面还覆盖有所述绝缘层25，用于电性隔离所述字线21与所述存储单元接触区22、以及所述字线21与所述位线接触区23。在形成如图2D所示的结构之后，首先，沿所述第二开口271和所述第三开口272沉积介质材料，形成覆盖于所述第二开口271侧壁表面和所述第三开口272侧壁表面的所述侧墙28，且使得所述侧墙28能够完全覆盖所述绝缘层25的顶面，避免在刻蚀所述存储单元接触区22和所述位线接触区23的过程中，对所述绝缘层25造成损伤，确保所述字线21与所述存储单元接触区22之间、以及所述字线21与所述位线接触区23之间良好的电性绝缘，如图2E所示。之后，沿所述侧墙28刻蚀所述存储单元接触区22和所述位线接触区23，于所述存储单元接触区22内形成所述第一沟槽291、并同时于所述位线接触区23内形成所述第二沟槽292，如图2F、2G所示。

[0066] 本具体实施方式中，通过调整形成的所述侧墙28的厚度，可以控制所述第一沟槽291和所述第二沟槽292的宽度，有助于调整最终形成的存储单元接触插塞与所述存储单元接触区22之间的接触面积、以及位线接触插塞与所述位线接触区23之间的接触面积。本领域技术人员可以根据实际需要所述第一沟槽291和所述第二沟槽292的宽度设置为工艺技术允许范围内的最大宽度，例如将所述侧墙28的厚度设置为与所述绝缘层25的厚度相同，即所述侧墙28仅覆盖所述绝缘层25的顶面而完全不覆盖所述存储单元接触区22和所述位线接触区23，从而最大限度的增加最终形成的存储单元接触插塞与所述存储单元接触区22之间的接触面积、以及位线接触插塞与所述位线接触区23之间的接触面积。

[0067] 步骤S13，形成填充满所述沟槽的接触部。

[0068] 步骤S14，刻蚀部分所述接触部与部分所述导电接触区，形成接触窗口，所述接触窗口的宽度大于所述沟槽的宽度。

[0069] 步骤S15，形成与所述接触部电连接的插塞部于所述接触窗口，所述插塞部与刻蚀残留的所述接触部共同作为接触插塞。

[0070] 可选的，还包括：

[0071] 形成填充满所述第一沟槽291的第一接触部301、并同时形成填充满所述第二沟槽292的第二接触部302，如图2H所示；

[0072] 刻蚀部分所述存储单元接触区22和部分所述第一接触部301、形成第一接触窗口，并同时刻蚀部分所述位线接触区23和部分所述第二接触部302、形成第二接触窗口；

[0073] 形成与所述第一接触部301电连接的第一插塞部311于所述第一接触窗口、并同时形成与所述第二接触部302电连接的第二插塞部312于所述第二接触窗口，所述第一插塞部311与刻蚀残留的所述第一接触部301共同作为存储单元接触插塞，所述第二插塞部312与刻蚀残留的所述第二接触部302共同作为位线接触插塞。

[0074] 具体来说，在形成如图2F、图2G所示的结构之后，沉积导电材料（例如N-型多晶硅材料）于所述第一沟槽291和所述第二沟槽292，同时形成所述第一接触部301和所述第二接



触部302;接着,采用化学机械研磨等工艺除去所述侧墙28以及部分的所述第二掩膜层27,暴露所述存储单元接触区22和所述位线接触区23的顶面,如图2H所示。之后,通过刻蚀部分的所述存储单元接触区22和部分的所述第一接触部301形成第一接触窗口、并通过刻蚀部分的所述位线接触区23和部分的所述第二接触部302形成第二接触窗口,沉积导电材料(例如N-型多晶硅材料)于所述第一接触窗口和所述第二接触窗口,同时形成所述第一插塞部311和所述第二插塞部312。所述第一接触窗口的宽度大于所述第一沟槽291的宽度,且所述第二接触窗口的宽度大于所述第二沟槽292的宽度。本步骤中,所述第一接触部301和所述第二接触部302只能刻蚀部分,刻蚀后残留的所述第一接触部301和残留的所述第二接触部302用于增大接触插塞与导电接触区之间的接触面积,以降低接触电阻。

[0075] 为了进一步降低接触电阻,所述第一插塞部311的材料与所述第一接触部301的材料相同,例如均为N-型多晶硅材料;所述第二插塞部312的材料与所述第二接触部302的材料相同,例如均为N-型多晶硅材料。

[0076] 本具体实施方式在所述第一插塞部311的基础上,增加了所述第一接触部301,从而增大了所述存储单元接触插塞与所述存储单元接触区22之间的接触面积,降低了所述存储单元接触区22与所述存储单元接触插塞之间的接触电阻。在所述第二插塞部312的基础上,增加了所述第二接触部302,从而增大了位线接触区23与所述位线接触插塞之间的接触面积,降低了所述位线接触区23与所述位线接触插塞之间的接触电阻。

[0077] 可选的,在沿垂直于所述衬底20的方向上,所述第一沟槽291的底面位于所述第一接触窗口的底面之下且位于所述字线21的顶面之上,所述第二沟槽292的底面位于所述第二接触窗口的底面之下且位于所述字线21的顶面之上。

[0078] 可选的,在沿垂直于所述衬底20的方向上,所述第一沟槽291的底面距离所述第一接触窗口的底面的距离大于或者等于所述第一沟槽291的底面距离所述字线21的顶面的距离,且所述第二沟槽292的底面距离所述第二接触窗口的底面的距离大于或者等于所述第二沟槽292的底面距离所述字线21的顶面的距离。

[0079] 具体来说,在如图2F所示的结构中,所述存储单元接触区22内的所述第一沟槽291的底面位于所述字线21的顶面与所述第一接触窗口的底面连线的中点或者中点偏下的位置,以在更好的降低所述存储单元接触区22与所述存储单元接触插塞之间接触电阻的同时,避免所述字线21与所述存储单元接触插塞之间出现漏电现象;所述位线接触区23内的所述第二沟槽292的底面位于所述字线21的顶面与所述第二接触窗口的底面连线的中点或者中点偏下的位置,以在更好的降低所述位线接触区23与所述位线接触插塞之间接触电阻的同时,避免所述字线21与所述位线接触插塞之间出现漏电现象。

[0080] 不仅如此,本具体实施方式还提供了一种半导体存储器。本具体实施方式提供的半导体存储器的结构可参见图2I,其可以采用如图1、图2A-图2I所示的方法形成。如图1、图2A-图2I所示,本具体实施方式提供的半导体存储器,包括:

[0081] 衬底20,所述衬底20内具有多条字线21以及位于相邻两条字线21之间的导电接触区;

[0082] 沟槽,位于所述导电接触区内;

[0083] 接触窗口,位于所述导电接触区内,所述接触窗口位于所述沟槽上方且与所述沟槽连通,所述接触窗口的宽度大于所述沟槽的宽度;

[0084] 接触插塞,包括填充于所述沟槽的接触部和填充于所述接触窗口且与所述接触部电连接的插塞部。

[0085] 可选的,所述导电接触区为存储单元接触区22或位线接触区23。

[0086] 可选的,多条所述字线21将所述衬底20划分为若干个交替排列的存储单元接触区22和位线接触区23;

[0087] 所述沟槽包括位于所述存储单元接触区22的第一沟槽291和位于所述位线接触区23的第二沟槽292;

[0088] 所述接触窗口包括位于所述存储单元接触区22且与所述第一沟槽291连通的第一接触窗口和位于所述位线接触区23且与所述第二沟槽292连通的第二接触窗口;

[0089] 所述第一接触窗口的宽度大于所述第一沟槽291的宽度,所述第二接触窗口的宽度大于所述第二沟槽292的宽度。

[0090] 可选的,所述接触插塞包括存储单元接触插塞和位线接触插塞;

[0091] 所述存储单元接触插塞包括位于所述第一沟槽291内的第一接触部301、以及位于所述第一接触窗口内且与所述第一接触部301的顶部电连接的第一插塞部311;

[0092] 所述位线接触插塞包括位于所述第二沟槽292内的第二接触部302、以及位于所述第二接触窗口内且所述第二接触部302顶部电连接的第二插塞部312。

[0093] 可选的,在沿垂直所述衬底20的方向上,所述第一接触部301的底面位于所述第一插塞部311的底面之下且位于所述字线21的顶面之上,所述第二接触部302的底面位于所述第二插塞部312的底面之下且位于所述字线21的顶面之上。

[0094] 可选的,在沿垂直于所述衬底20的方向上,所述第一接触部301的底面距离所述第一插塞部311的底面的距离大于或者等于所述第一接触部301的底面距离所述字线21的顶面的距离,且所述第二接触部302的底面距离所述第二插塞部312的底面的距离大于或者等于所述第二接触部302的底面距离所述字线21的顶面的距离。

[0095] 本具体实施方式提供的半导体存储器及其形成方法,通过在导电接触区内形成沟槽,使得用于与所述导电接触区电性接触的接触插塞填满所述沟槽并覆盖所述导电接触区表面,增大了接触插塞与导电接触区之间的接触面积,从而降低接触插塞与导电接触区之间的接触电阻,改善了半导体存储器的性能,提高了半导体存储器的良率。

[0096] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

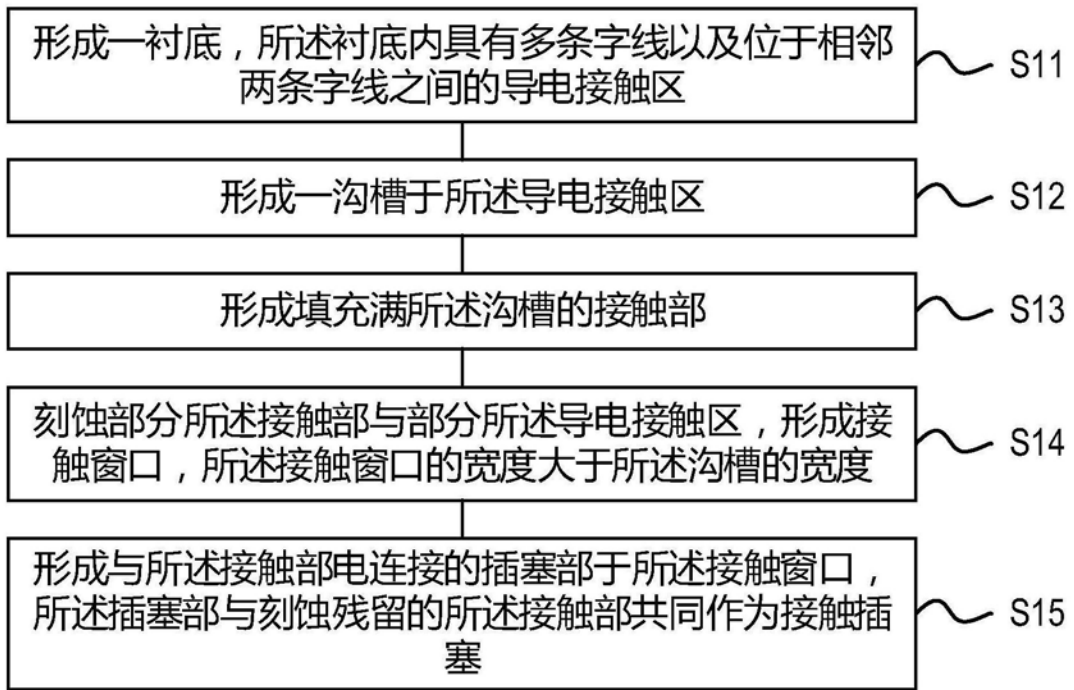


图1

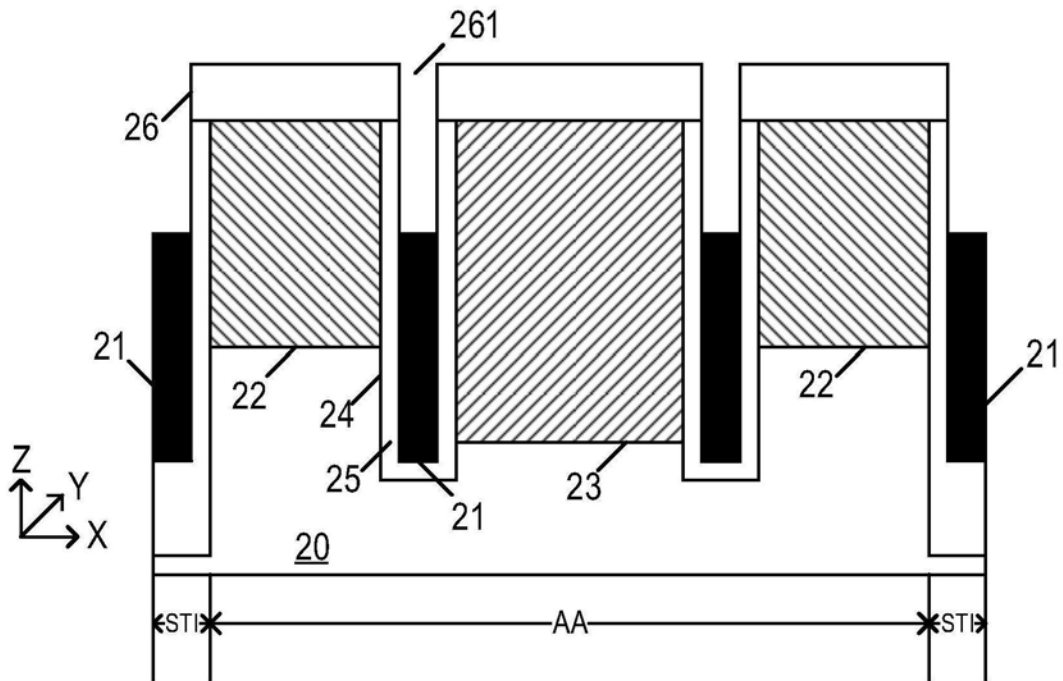


图2A

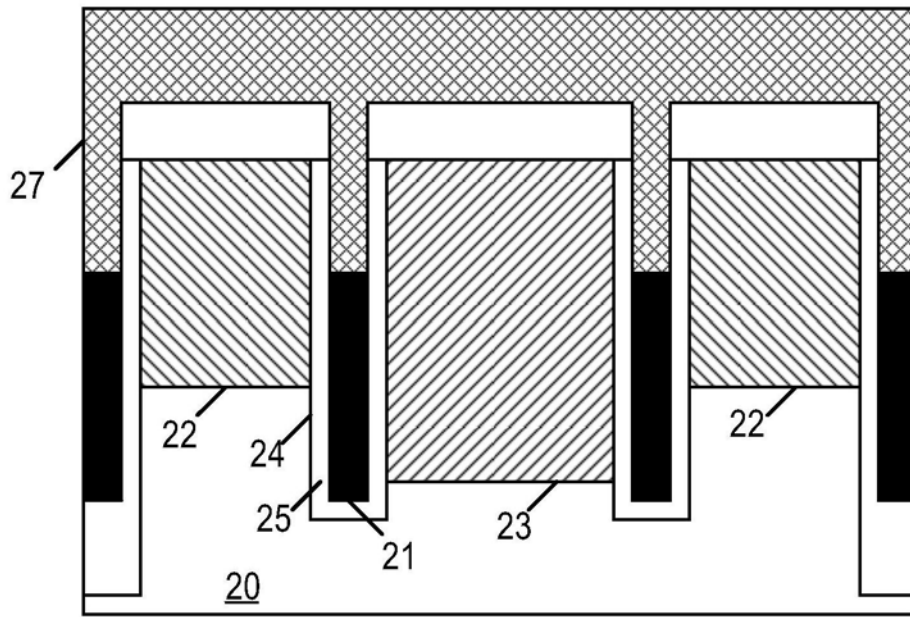


图2B

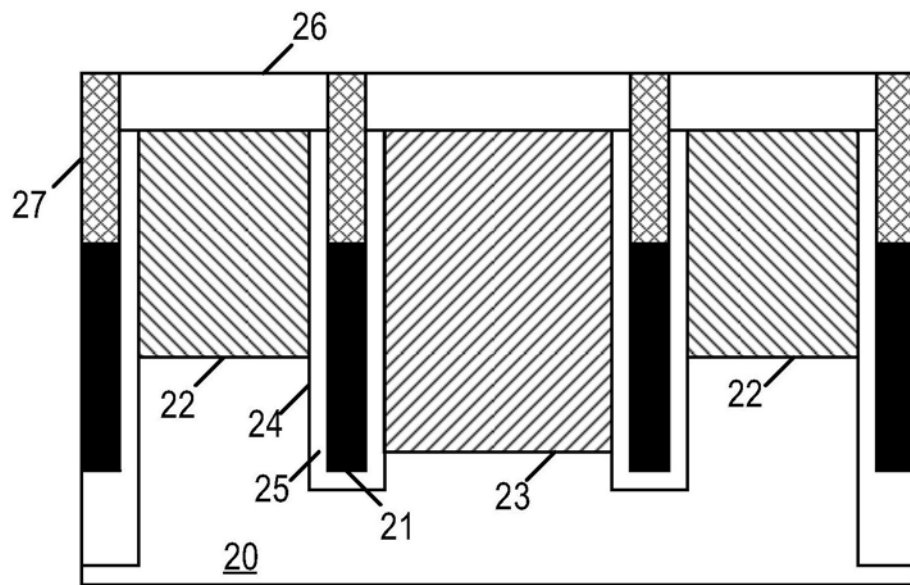


图2C

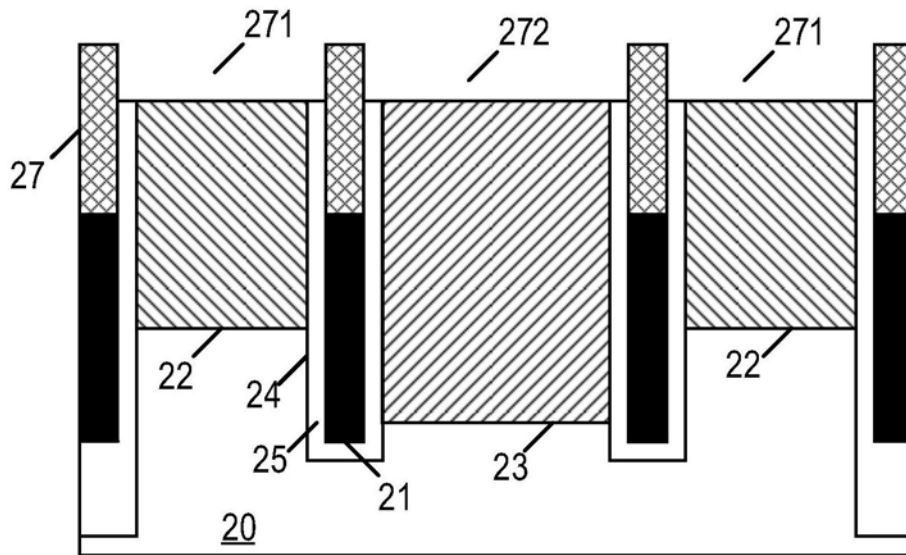


图2D

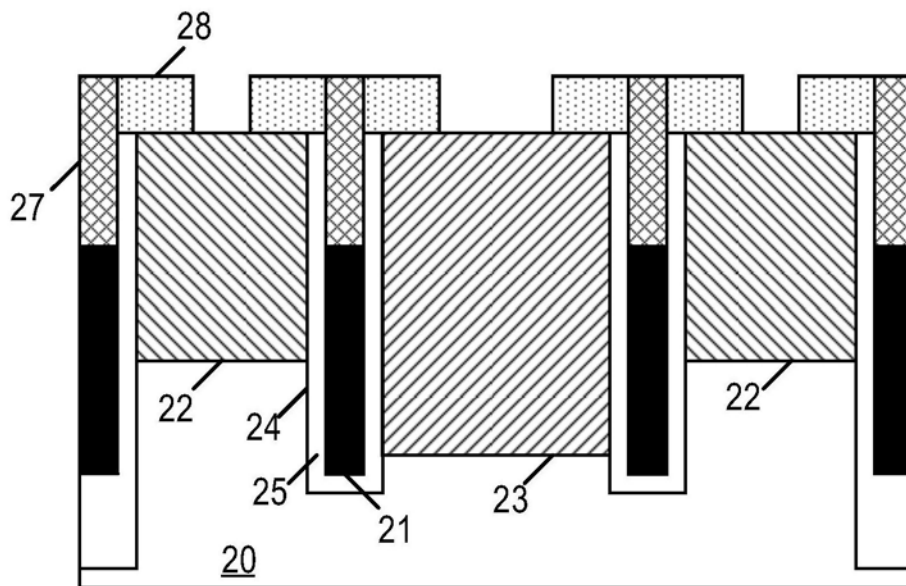


图2E

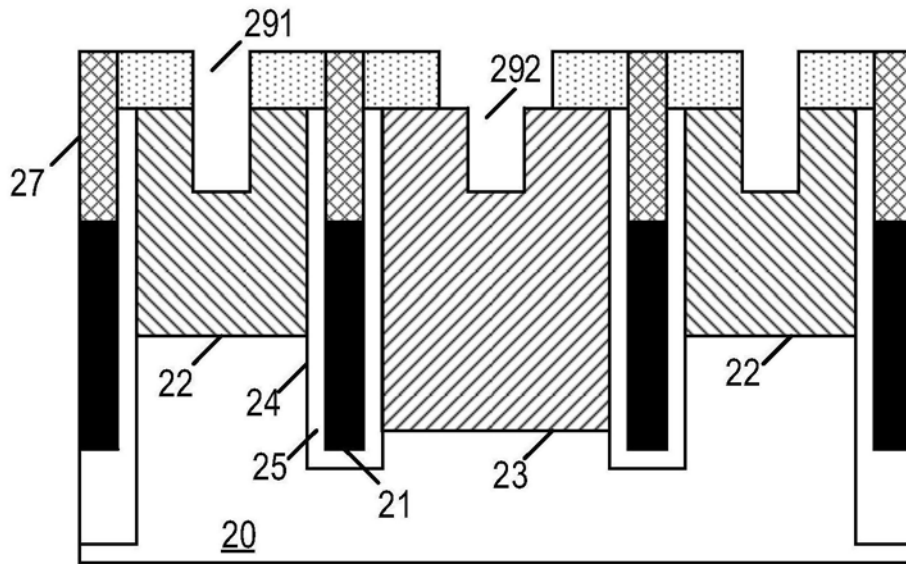


图2F

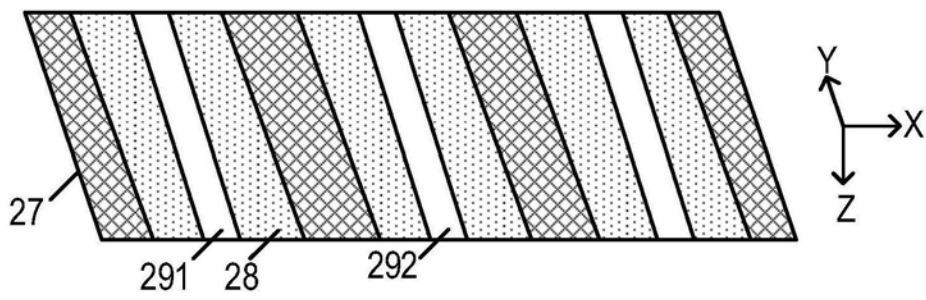


图2G

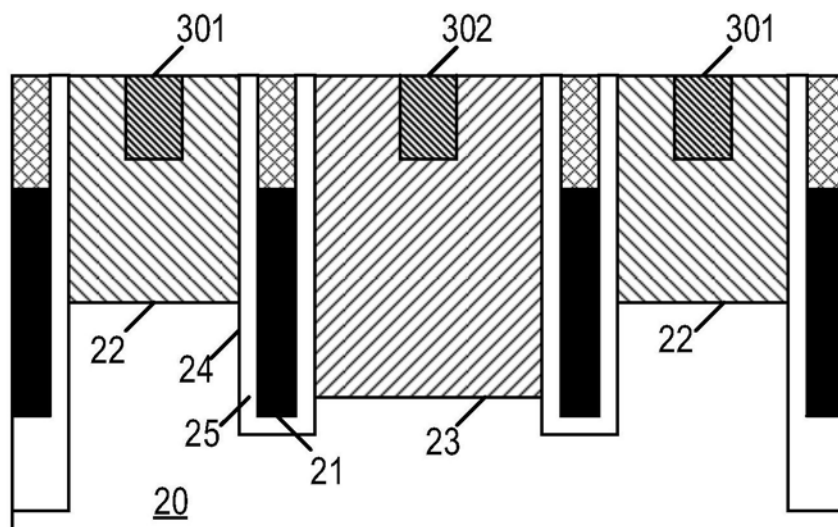


图2H

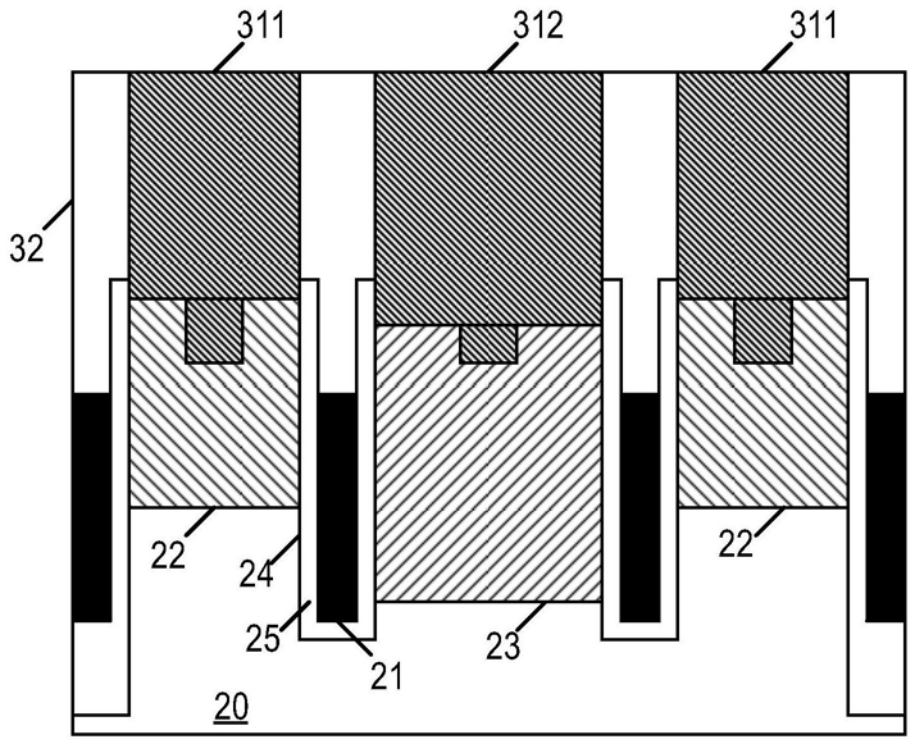


图2I