



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월31일
(11) 등록번호 10-1110469
(24) 등록일자 2012년01월19일

(51) Int. Cl.
G06F 13/16 (2006.01) G06F 13/14 (2006.01)
(21) 출원번호 10-2006-7008404
(22) 출원일자(국제출원일자) 2004년09월03일
심사청구일자 2009년09월03일
(85) 번역문제출일자 2006년04월28일
(65) 공개번호 10-2006-0111465
(43) 공개일자 2006년10월27일
(86) 국제출원번호 PCT/US2004/029186
(87) 국제공개번호 WO 2005/033958
국제공개일자 2005년04월14일
(30) 우선권주장
10/676,648 2003년09월30일 미국(US)
(56) 선행기술조사문헌
US20010054135 A1

(73) 특허권자
램버스 인코포레이티드
미국 캘리포니아주 94089 선니베일 스위트 700 엔터프라이즈 웨이 1050
(72) 발명자
함펠, 크레이그, 이.
미국 95123 캘리포니아 샌어제이 둔 애브뉴 5927
(74) 대리인
남상선

전체 청구항 수 : 총 24 항

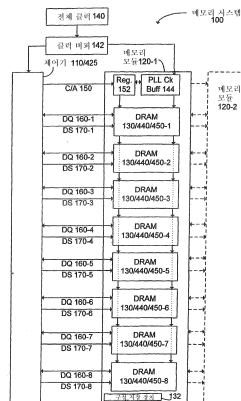
심사관 : 엄인권

(54) 2가지 모드의 데이터 스트로브를 구비한 집적 회로

(57) 요약

본 발명은 2가지 동작 모드들을 가지는 메모리 디바이스에 관한 것이다. 제 1 모드에서, 데이터 스트로브는 소스 동기화 되고 데이터가 전송될 때 메모리 디바이스에 의해 실행된다. 제 2 모드에서 데이터 스트로브는 메모리 디바이스에 의해 실행되지 않는다. 상기 모드에서 데이터 스트로브 신호는 기록 데이터를 샘플링하기 위해 자동 실행 클럭으로 사용된다. 제어기에 의한 판독 데이터의 포착은 시스템 클럭으로부터 조정된 내부 타이밍 기준을 가지는 제어기에 의해 타이밍된다.

대표도 - 도1



특허청구의 범위

청구항 1

메모리 시스템을 위한 제어기로서,

상기 제어기는 데이터 스트로브(strobe) 버스, 상호접속부 및 클럭 버스에 연결되고, 상기 제어기는,

인에이블될 때 상기 데이터 스트로브 버스를 통해 제 1 데이터 스트로브 신호를 전송(transmit)하도록 구성된 출력 버퍼; 및

제어기 동작 모드를 표시하는 정보를 저장하도록 구성된 레지스터

를 포함하며,

상기 출력 버퍼는 상기 제어기 동작 모드가 제 1 제어기 동작 모드로 설정될 때 상기 상호접속부를 통해 상기 제어기로부터의 제 1 데이터 신호의 전송들 동안 인에이블(enable)되고, 상기 출력 버퍼는 상기 제어기 동작 모드가 제 2 제어기 동작 모드로 설정될 때 연속적으로 인에이블되며,

상기 제어기는 상기 클럭 버스를 통해 클럭 신호를 수신하도록 구성되고, 상기 제어기는 상기 제어기 동작 모드가 상기 제 2 제어기 동작 모드로 설정될 때 상기 클럭 신호를 사용하여 상기 상호접속부를 통해 제 2 데이터 신호의 수신을 클럭하도록 추가로 구성되는,

메모리 시스템을 위한 제어기.

청구항 2

제 1 항에 있어서,

상기 제어기는 상기 제어기 동작 모드가 상기 제 2 제어기 동작 모드로 설정될 때, 상기 상호접속부를 통해 상기 제 2 데이터 신호를 수신하는 동안 선제 조정(pre-existing calibration)에 따라 상기 클럭 신호의 위상을 조절하도록 구성되는,

메모리 시스템을 위한 제어기.

청구항 3

제 1 항에 있어서,

상기 제어기는 상기 제어기 동작 모드가 상기 제 1 제어기 동작 모드로 설정될 때, 상기 상호접속부를 통해 상기 제 2 데이터 신호를 수신하는 동안 상기 데이터 스트로브 버스를 통해 원격으로(remotely) 전송되는 제 2 데이터 스트로브 신호를 위상 기준으로 사용하도록 구성되는,

메모리 시스템을 위한 제어기.

청구항 4

제 1 항에 있어서,

상기 레지스터로부터의 제어기 동작 모드를 제 1 입력으로서 수신하도록 구성된 회로 ? 상기 제 1 입력은 상기 제어기 동작 모드가 상기 제 1 제어기 동작 모드로 설정될 때 제 1 로직 레벨에 있고, 상기 제 1 입력은 상기 제어기 동작 모드가 상기 제 2 제어기 동작 모드로 설정될 때 제 2 로직 레벨에 있으며, 상기 회로는 상기 제어기의 동작 상태를 제 2 입력으로서 수신하도록 구성되고, 상기 동작 상태는 상기 제어기로부터 상기 상호접속부를 통하여 상기 제 1 데이터 신호의 상기 전송들 동안 상기 제 2 로직 레벨로 설정됨 ?; 및

상기 제 1 입력 또는 상기 제 2 입력이 상기 제 2 로직 레벨로 설정될 때 상기 출력 버퍼가 상기 회로에 의해 인에이블되도록 상기 출력 버퍼에 연결된 상기 회로의 출력을 더 포함하는,

메모리 시스템을 위한 제어기.

청구항 5

제 1 항에 있어서,
 상기 제 1 데이터 스트로브 신호는 상기 제어기에 의해 생성되는,
 메모리 시스템을 위한 제어기.

청구항 6

제 1 항에 있어서,
 상기 제어기는 데이터 스트로브 버스, 상호접속부, 및 클럭 버스에 연결되고, 상기 제어기는,
 상기 제어기를 상기 데이터 스트로브 버스에 연결하도록 구성된 두가지 모드(bimodal) 데이터 스트로브 인터페이스 ? 상기 두가지 모드의 데이터 스트로브 인터페이스는 상기 출력 버퍼를 포함함 ?; 및
 제어기 동작 모드를 표시하는 정보를 저장하기 위한 수단
 을 포함하며, 상기 두가지 모드의 데이터 스트로브 인터페이스는, 상기 제어기 동작 모드가 상기 제 2 제어기 동작 모드로 설정될 때 상기 데이터 스트로브 버스를 단방향(unidirectional) 데이터 스트로브 버스로서 사용하고 상기 제어기 동작 모드가 상기 제 1 제어기 동작 모드로 설정될 때 상기 데이터 스트로브 버스를 양방향(bidirectional) 데이터 스트로브 버스로서 사용하기 위한 수단을 포함하는,
 메모리 시스템을 위한 제어기.

청구항 7

메모리 시스템 제어기를 동작하는 방법으로서,
 제어기 동작 모드를 유지하는 단계;
 제 1 데이터 스트로브 신호를 생성하는 단계;
 상기 제어기 동작 모드가 제 1 제어기 동작 모드로 설정될 때, 제 1 데이터 신호를 전송하는 동안 상기 제 1 데이터 스트로브 신호의 전송을 인에이블하는 단계;
 상기 제어기 동작 모드가 제 2 제어기 동작 모드로 설정될 때, 상기 제 1 데이터 스트로브 신호의 연속적인 전송을 인에이블하는 단계;
 클럭 신호를 수신하는 단계; 및
 기준 신호를 사용하여 제 2 데이터 신호의 수신을 클럭하는 단계를 포함하는 메모리 시스템 제어기를 동작하는 방법.

청구항 8

제 7 항에 있어서,
 상기 제어기 동작 모드가 상기 제 2 제어기 동작 모드로 설정될 때, 상기 제 2 데이터 신호를 수신하는 동안 상기 기준 신호를 생성하기 위해 선제 조정(pre-existing calibration)에 따라 상기 클럭 신호의 위상을 조절하는 단계를 더 포함하는,
 메모리 시스템 제어기를 동작하는 방법.

청구항 9

제 8 항에 있어서,
 제 1 데이터 스트로브 신호와 연계하여 제 1 데이터 신호를 간헐적으로(intermittently) 수신하는 단계 ? 상기 제 1 데이터 스트로브 신호는 상기 제 1 데이터 신호의 수신을 클럭함 ?;
 제 2 데이터 신호를 간헐적으로 전송하는 단계;
 메모리 디바이스 동작 모드를 저장하는 단계;
 상기 저장된 메모리 디바이스 동작 모드가 상기 제 1 제어기 동작 모드일 때, 상기 제 2 데이터 신호를 전송하

는 동안 출력을 제 2 데이터 스트로브 신호로 설정하는 단계; 및

상기 저장된 메모리 디바이스 동작 모드가 상기 제 2 제어기 동작 모드일 때, 상기 제 2 데이터 스트로브 신호의 출력을 차단하는 단계를 더 포함하는,

메모리 시스템 제어기를 동작하는 방법.

청구항 10

제 8 항에 있어서,

상기 클럭 신호와 연계하여 제어 및 어드레스 신호를 간헐적으로 수신하는 단계 ? 상기 클럭 신호는 상기 제어 및 어드레스 신호의 수신을 클럭함 ?;

제 1 데이터 스트로브 신호와 연계하여 제 1 데이터 신호를 간헐적으로 수신하는 단계 ? 상기 제 1 데이터 스트로브 신호는 상기 제 1 데이터 신호의 수신을 클럭함 ?; 및

스토리지(storage)로부터 제 2 데이터 신호를 간헐적으로 전송하는 단계 ? 상기 제 1 데이터 스트로브 신호는 상기 제 2 데이터 신호의 전송을 클럭함 ?

를 더 포함하는, 메모리 시스템 제어기를 동작하는 방법.

청구항 11

제 7 항에 있어서,

상기 제어기 동작 모드가 상기 제 1 제어기 동작 모드로 설정될 때, 메모리 디바이스에 의해 원격으로 전송되는 제 2 데이터 스트로브 신호를 상기 기준 신호로서 사용하는 단계; 및

상기 제 2 데이터 신호를 수신하는 동안 상기 기준 신호를 위상 기준으로서 사용하는 단계를 더 포함하는,

메모리 시스템 제어기를 동작하는 방법.

청구항 12

메모리 시스템을 위한 제어기로서,

상기 제어기는 데이터 스트로브 버스, 상호접속부 및 클럭 버스에 연결되고, 상기 제어기는,

인에이블될 때 상기 데이터 스트로브 버스를 통해 제 1 데이터 스트로브 신호를 전송하기 위한 수단; 및

제어기 동작 모드를 표시하는 정보를 저장하기 위한 수단

을 포함하며, 상기 제 1 데이터 스트로브 신호를 전송하기 위한 수단은 상기 제어기 동작 모드가 제 1 제어기 동작 모드로 설정될 때 상기 상호접속부를 통해 상기 제어기로부터의 제 1 데이터 신호의 전송들 동안 인에이블되고, 상기 제 1 데이터 스트로브 신호를 전송하기 위한 수단은 상기 제어기 동작 모드가 제 2 제어기 동작 모드로 설정될 때 연속적으로 인에이블되며,

상기 제어기는 상기 클럭 버스를 통해 클럭 신호를 수신하도록 구성되고, 상기 제어기는 상기 클럭 신호를 이용하여 상기 상호접속부를 통해 제 2 데이터 신호의 수신을 클럭하도록 추가로 구성되는,

메모리 시스템을 위한 제어기.

청구항 13

메모리 시스템에 데이터를 저장하기 위한 메모리 디바이스를 동작하는 방법으로서,

연속적인 데이터 스트로브 신호를 수신하는 단계;

원격으로 전송되는 제 1 데이터 스트로브 신호와 연계하여 제 1 데이터 신호를 간헐적으로 수신하는 단계;

상기 제 1 데이터 스트로브 신호를 이용하여 상기 제 1 데이터 신호의 수신을 클럭하는 단계;

클럭 신호를 수신하는 단계;

상기 클럭 신호와 연계하여 제 2 데이터 신호를 간헐적으로 전송하는 단계;

메모리 디바이스 동작 모드를 저장하는 단계;

상기 저장된 메모리 디바이스 동작 모드가 제 1 모드일 때, 상기 제 2 데이터 신호의 전송 동안 상기 클럭 신호를 위상 기준으로서 사용하는 단계;

상기 저장된 메모리 디바이스 동작 모드가 제 2 모드일 때, 상기 제 2 데이터 신호의 전송 동안 상기 제 1 데이터 스트로브 신호를 위상 기준으로서 사용하는 단계; 및

상기 클럭 신호를 이용하여 상기 제 2 데이터 신호의 전송을 클럭하는 단계를 포함하는 메모리 디바이스를 동작하는 방법.

청구항 14

메모리 시스템에 데이터를 저장하기 위한 메모리 디바이스로서,

상기 메모리 디바이스는 데이터 스트로브 버스 및 상호접속부에 연결되고,

상기 메모리 디바이스는,

상기 데이터 스트로브 버스로부터 제 1 데이터 스트로브 신호를 수신하기 위한 스트로브 수신 회로;

인에이블될 때 제 2 데이터 스트로브 신호를 전송하도록 구성된 출력 버퍼;

제 1 데이터 신호를 상기 상호접속부를 통해 전송하기 위한 회로 ? 상기 제 1 데이터 신호는 상기 출력 버퍼가 인에이블될 때 상기 제 2 데이터 스트로브 신호와 연계하여 전송됨 ?;

메모리 디바이스 동작 모드를 저장하기 위한 레지스터 ? 상기 메모리 디바이스는 상기 메모리 디바이스 동작 모드가 제 1 메모리 디바이스 동작 모드로 설정될 때 상기 출력 버퍼를 인에이블하도록 구성되며, 상기 메모리 디바이스는 상기 메모리 디바이스 동작 모드가 제 2 메모리 디바이스 동작 모드로 설정될 때 상기 출력 버퍼를 디스에이블(disable)하도록 구성됨 ?; 및

상기 데이터 스트로브 버스를 통해 원격으로 전송되는 상기 제 1 데이터 스트로브 신호와 연계하여 상기 상호접속부를 통해 제 2 데이터 신호를 수신하도록 구성된 부가 회로 ? 상기 제 1 데이터 스트로브 신호는 상기 제 2 데이터 신호의 수신을 클럭함 ?

를 포함하는 메모리 시스템에 데이터를 저장하기 위한 메모리 디바이스.

청구항 15

메모리 시스템으로서,

제어기, 메모리 디바이스, 및 클럭 신호 생성기;

상기 제어기를 상기 메모리 디바이스에 연결하는 데이터 스트로브 버스; 및

상기 제어기를 상기 메모리 디바이스에 연결하는 상호접속부

를 포함하고, 상기 클럭 신호 생성기는 클럭 신호를 상기 제어기로 전송하도록 구성되며,

상기 제어기는 상기 상호접속부를 통해 상기 메모리 디바이스로부터 수신되는 제 1 데이터 신호를 클럭하기 위해 상기 클럭 신호를 사용하도록 구성되고,

상기 제어기는 제어기 동작 모드가 제 1 제어기 동작 모드로 설정될 때 상기 상호접속부를 통해 상기 제어기로부터의 제 2 데이터 신호의 전송들 동안 상기 데이터 스트로브 버스를 통해 제 1 데이터 스트로브 신호를 전송하도록 추가로 구성되며, 상기 제어기는 상기 제어기 동작 모드가 제 2 제어기 동작 모드로 설정될 때 상기 데이터 스트로브 버스를 통해 상기 제 1 데이터 스트로브 신호를 연속적으로 전송하도록 추가로 구성되고,

상기 메모리 디바이스는 상기 상호접속부를 통해 상기 제어기로부터 수신되는 상기 제 2 데이터 신호를 클럭하기 위해 상기 제 1 데이터 스트로브 신호를 사용하도록 구성되는,

메모리 시스템.

청구항 16

제 15 항에 있어서,

상기 메모리 디바이스는 제어 및 어드레스 버스에 연결되고,

상기 메모리 디바이스는 상기 클럭 버스 상의 상기 클럭 신호와 연계하여 상기 제어 및 어드레스 버스를 통하여 제어 및 어드레스 신호를 수신하도록 구성되며, 상기 클럭 신호는 상기 제어 및 어드레스 신호의 수신을 클럭하고,

상기 메모리 디바이스는 상기 데이터 스트로브 버스 상의 상기 제 1 데이터 스트로브 신호와 연계하여 상기 상호접속부를 통해 상기 제 1 데이터 신호를 전송하도록 구성되며,

상기 제어기는 상기 상호접속부를 통해 상기 제 2 데이터 신호를 전송하도록 구성되고, 상기 제 1 데이터 스트로브 신호는 상기 제 2 데이터 신호의 전송을 클럭하는,

메모리 시스템.

청구항 17

제 15 항에 있어서,

상기 제어기는 상기 제 1 데이터 신호를 클럭하기 위해 선제 조정과 연계하여 상기 클럭 신호를 사용하도록 구성되는,

메모리 시스템.

청구항 18

제 15 항에 있어서,

상기 제어기 동작 모드가 상기 제 2 제어기 동작 모드로 설정될 때, 상기 메모리 디바이스는 상기 제 2 데이터 신호의 전송을 클럭하기 위해 상기 제 1 데이터 스트로브 신호를 사용하도록 추가로 구성되는,

메모리 시스템.

청구항 19

제 15 항에 있어서,

상기 클럭 신호 발생기는 상기 클럭 신호를 상기 메모리 디바이스로 전송하도록 추가로 구성되고,

상기 메모리 디바이스는 상기 제 2 데이터 신호를 전송하는 동안 상기 클럭 신호를 위상 기준으로 사용하도록 추가로 구성되는,

메모리 시스템.

청구항 20

제 15 항에 있어서,

상기 메모리 디바이스는,

상기 메모리 디바이스를 상기 데이터 스트로브 버스에 연결하도록 구성된 두가지 모드의 데이터 스트로브 인터페이스; 및

상기 메모리 디바이스의 동작 모드를 표시하는 정보를 저장하기 위한 저장 회로를 포함하고,

상기 두가지 모드의 데이터 스트로브 인터페이스는, 상기 메모리 디바이스의 동작 모드가 제 1 모드일 때 상기 데이터 스트로브 버스를 양방향 데이터 스트로브 버스로서 사용하고 상기 메모리 디바이스의 동작 모드가 제 2 모드일 때 상기 데이터 스트로브 버스를 단방향 데이터 스트로브 버스로서 사용하기 위한 수단을 포함하는,

메모리 시스템.

청구항 21

제 15 항에 있어서,

상기 메모리 시스템은 메모리 모듈을 포함하고,

상기 메모리 모듈은,

다수의 동적 메모리 랜덤 액세스 메모리 디바이스들(DRAM들); 및

상기 메모리 디바이스들이 데이터 스트로브 버스의 세트의 사용과 관련하여 두가지 모드인지 여부를 표시하는 정보를 저장하도록 구성된 직렬 프레즌스 디바이스(serial presence device)를 포함하며,

상기 데이터 스트로브 버스의 세트는 상기 데이터 스트로브 버스를 포함하고, 각각의 상기 메모리 디바이스들은 두가지 모드인 경우, 하나의 동작 모드로 데이터를 전송하는 동안 각각의 데이터 스트로브 버스를 구동하도록 상기 메모리 디바이스를 컨피규어(configure)하고 다른 동작 모드로 데이터를 전송하는 동안 상기 데이터 스트로브 버스를 구동하지 않도록 상기 메모리 디바이스를 컨피규어하기 위한 컨피규레이션(configuration) 메커니즘을 포함하는,

메모리 시스템.

청구항 22

제 15 항에 있어서,

상기 제어기는,

인에이블될 때 상기 데이터 스트로브 버스를 통해 상기 제 1 데이터 스트로브 신호를 전송하도록 구성된 출력 버퍼; 및

제어기 동작 모드를 표시하는 정보를 저장하도록 구성된 레지스터를 포함하고,

상기 출력 버퍼는 상기 제어기 동작 모드가 제 1 제어기 동작 모드로 설정될 때 상기 상호접속부를 통하여 상기 제어기로부터의 제 1 데이터 신호의 전송들 동안 인에이블되며, 상기 출력 버퍼는 상기 제어기 동작 모드가 제 2 제어기 동작 모드로 설정될 때 연속적으로 인에이블되는,

메모리 시스템.

청구항 23

제 15 항에 있어서,

상기 메모리 디바이스는 상기 제어기 동작 모드에 상응하는 메모리 디바이스 동작 모드를 저장하기 위한 레지스터를 포함하고,

상기 메모리 디바이스는 클럭 버스로부터 상기 클럭 신호를 수신하도록 구성되며,

상기 메모리 디바이스는 상기 상호접속부를 통하여 상기 제 1 데이터 신호를 전송하도록 구성되고,

상기 메모리 디바이스는 상기 메모리 디바이스 동작 모드가 제 1 모드로 설정될 때, 상기 제 1 데이터 신호를 전송하는 동안 상기 클럭 신호를 위상 기준으로서 사용하도록 구성되며,

상기 메모리 디바이스는 상기 메모리 디바이스 동작 모드가 제 2 모드로 설정될 때, 상기 제 1 데이터 신호를 전송하는 동안 상기 제 1 데이터 스트로브 신호를 상기 위상 기준으로서 사용하도록 구성되는,

메모리 시스템.

청구항 24

제 15 항에 있어서,

상기 메모리 디바이스는,

인에이블될 때 제 2 데이터 스트로브 신호를 전송하도록 구성된 출력 버퍼;

상기 출력 버퍼가 인에이블될 때 상기 제 2 데이터 스트로브 신호와 연계하여 전송되는 상기 제 1 데이터 신호를 상기 상호접속부를 통하여 전송하기 위한 회로;

메모리 디바이스 동작 모드를 저장하기 위한 레지스터 ? 상기 메모리 디바이스는 상기 메모리 디바이스 동작 모

드가 제 1 메모리 디바이스 동작 모드로 설정될 때 상기 출력 버퍼를 인에이블하도록 구성되고, 상기 메모리 디바이스는 상기 메모리 디바이스 동작 모드가 제 2 메모리 디바이스 동작 모드로 설정될 때 상기 출력 버퍼를 디스에이블하도록 구성됨 ?; 및

상기 데이터 스트로브 버스를 통해 원격으로 전송되는 상기 제 1 데이터 스트로브 신호와 연계하여 상기 상호접속부를 통해 상기 제 2 데이터 신호를 수신하도록 구성된 부가 회로를 포함하고,

상기 제 1 데이터 스트로브 신호는 상기 제 2 데이터 신호의 수신을 클럭하는,

메모리 시스템.

청구항 25

삭제

명세서

기술분야

[0001] 본 발명은 일반적으로 집적 회로 기술들에 관한 것이다. 특히, 본 발명은 2가지 모드의 데이터 스트로브들을 구비한 집적 회로 디바이스들에 관한 것이다.

배경기술

[0002] 소스 동기 데이터 스트로브는 데이터를 전송하는 디바이스의 송신 경로 및 상기 데이터를 수신하는 디바이스의 수신 경로에서의 지연들에 대하여 보상하는 역할을 한다. 상기 지연들의 크기는 속도의 함수이며, 반도체 디바이스의 동작 조건들과 제작 오차들에 대한 경로 속도에서의 변동의 함수이다.

[0003] 일반적으로, 디바이스들 사이의 데이터 스트로브 상호 접속 라인들은 데이터 스트로브를 발생하는 책임이 하나의 디바이스로부터 또다른 디바이스로 전가될 때 3가지 상태(tristate) 또는 정지 상태(quiet state)를 유지한다. 상기 정지 기간들의 결과로서, 데이터 스트로브는 미리결정된 일정한 주파수를 가지지 못하지만, 일시적으로 턴 온 및 턴 오프되는 클럭과 유사하다. 데이터 스트로브의 다수의 사이클들이 단일 디바이스에 의해 발생되는 기간들 동안, 데이터 스트로브 신호는 일정한 파형 현상들을 경험한다. 데이터 스트로브의 제 1 에지 및 제 1의 몇몇 에지들은 일반적으로 데이터와 동위상으로 도달할 것이다. 그러나, 데이터 스트로브의 후속 에지들은 이전의 데이터 스트로브 에지들의 반영들로 인해 시프트(shift)될 수 있고, 따라서 데이터와 동위상이 아닐 것이다. 다시 말해서, 데이터 스트로브는 자동 실행 클럭(free running clock)과 더 유사하게 보여지기 시작할 것이다.

[0004] 메모리 버스 속도가 증가함에 따라, 메모리 시스템들에서 소스 동기 데이터 스트로브들을 사용하는 장점들은 감소하게 된다. 시간이 지나면, 데이터 스트로브들은 더 빨리 동작하는 시스템들을 제공하도록 변경되어야 할 것이다. 장치의 제작 비용들 및 경제적인 이유로, 데이터 스트로브들에 대한 문제점들을 처리하는 새로운 시스템 설계가 소스 동기 데이터 스트로브들을 사용하는 제품들과 호환 가능한 것이 유리하다.

발명의 상세한 설명

[0005] 메모리 시스템을 위한 제어기는 데이터 스트로브 버스, 데이터 버스 및 클럭 버스에 접속된다. 제어기는 출력 버퍼가 인에이블될 때 데이터 스트로브 버스를 통해 제 1 데이터 스트로브 신호를 어서트(assert)하도록 구성된 출력 버퍼를 포함한다. 제어기는 또한 제어기 동작 모드를 저장하기 위한 레지스터를 포함한다. 출력 버퍼는 제어기 동작 모드가 제 1 제어기 동작 모드로 설정될 때 데이터 버스를 통해 제 1 데이터 신호의 제어기로부터 전송하는 동안만 인에이블된다. 그러나, 출력 버퍼는 제어기 동작 모드가 제 2 제어기 동작 모드로 설정될 때 계속하여 인에이블된다. 또한, 제어기는 클럭 버스를 통해 클럭 신호를 수신하고 상기 클럭 신호와 함께 데이터 버스를 통해 제 2 데이터 신호의 수신을 클럭하도록 구성된다.

[0006] 또다른 양상에서, 메모리 디바이스는 데이터 스트로브 버스, 데이터 버스 및 클럭 버스에 접속된다. 메모리 디바이스는 데이터 스트로브 버스를 통해 연속적으로 원격으로 어서트되는(remotely asserted) 데이터 스트로브 신호를 데이터 스트로브 버스를 통해 수신하도록 구성된다. 메모리 디바이스는 또한 데이터 버스를 통해 데이터 스트로브 신호와 연계하여 제 1 데이터 신호를 수신하고, 상기 데이터 스트로브 신호와 연계하여 제 1 데이터 신호의 수신을 클럭하도록 구성된다. 메모리 디바이스는 클럭 버스를 통해 클럭 신호를 수신하도록 구성된다.

다. 제 1 동작 모드에서, 메모리 디바이스는 클럭 신호와 연계하여 데이터 버스를 통해 제 2 데이터 신호를 송신하고 클럭 신호와 연계하여 제 2 데이터 신호의 전송을 클럭하도록 구성된다. 제 2 동작 모드에서, 메모리 디바이스는 데이터 스트로브 신호와 함께 제 2 데이터 신호의 전송을 클럭하도록 구성된다.

[0007] 본 발명의 양상들은 하기의 도면들과 함께 하기의 설명들 및 첨부된 청구항들로부터 용이하게 인식될 것이다.

실시예

[0014] 본 발명의 다양한 실시예들이 하기에 개시된다. 명확성을 위해, 실제 구현에 대한 모든 특징들이 설명되지는 않는다. 상기 실시예들 중 임의의 실시예에 대한 개발에서, 다양한 구현에 대한 논의들은 하나의 구현으로부터 또다른 구현으로 변화하는 시스템 관련 및 사업 관련 제약들을 따르는 개발자의 특정 목표들을 수행하도록 실행되어야 함이 인식될 것이다. 또한, 상기와 같은 개발 노력이 복잡하고 시간 소비적일 수 있지만, 그럼에도 불구하고 당업자가 본 개시물의 개선 점을 가지도록 하는 경로가 될 것임이 인식될 것이다.

[0015] 도 1은 마스터 시스템 클럭 또는 전체 클럭(140), 클럭 버퍼(142), 제어기(110/425), 하나 또는 그 이상의 메모리 모듈들(120; 120-1, 120-2), 하나 또는 그 이상의 제어 및 어드레스("C/A") 리드선들(150), 8개의 데이터("DQ") 리드선들(160; 160-1 내지 160-8) 및 8개의 데이터 스트로브("DS") 리드선들(170; 170-1 내지 170-8)을 포함하는 메모리 시스템(100)을 도시한다. 몇몇 실시예들에서, 메모리 모듈(120-1)은 8개의 DRAM들(130/440/450; 130-1 내지 130-8) 및 구성 저장 디바이스(132)를 포함하는 DIMM(듀얼 인라인 메모리 모듈)이다. 도 1에 도시된 메모리 모듈(120-1)이 단일 컬럼의 DRAM들을 가지는 반면, 시스템(100) 내의 하나 또는 그 이상의 메모리 모듈들은 둘 또는 그 이상의 컬럼들(뱅크들)의 DRAM들을 가지는 다중-뱅크 메모리 모듈이 될 수 있다. 상기 메모리 모듈들에서, 단일 컬럼 또는 뱅크의 SRAM들은 메모리 모듈을 사용하는 각각의 메모리 동작 동안 액세스된다. 각각의 메모리 모듈(120)은 선택적으로 레지스터(152), 위상 고정 루프("PLL") 클럭 버퍼(144)를 포함한다. 상기 선택적인 지원회로들은 예를 들어, 다수의 쉐어-아웃들(즉, 다수의 DRAM들)을 지원하는 시스템들에서 유용하다. 특히, 상기 선택적인 회로들은 DRAM들(130) 사이에 클럭, 제어 및 어드레스 신호들을 구분하는 것을 지원한다.

[0016] 몇몇 실시예들에서, 메모리 모듈 컨피규레이션(configuration) 저장 디바이스(132; 모드 레지스터 또는 컨피규레이션 레지스터)는 PROM(프로그램 가능한 판독 전용 메모리)와 같은 직렬 프래즌스 검출(Serial Presence Detect: SPD) 디바이스로 구현된다. 컨피규레이션 저장 디바이스(132)는 일반적으로 메모리 모듈(120)의 용량들 및/또는 컨피규레이션을 결정하기 위해 파워 업 또는 시스템 리셋시 제어기에 의해 판독된다. 몇몇 실시예들에서, 메모리 모듈 컨피규레이션 저장 디바이스(132)내의 비트는 메모리 모듈 내의 메모리 디바이스들이 다른 모드 값들에 부가하여 데이터 스트로브의 실행을 디스에이블하도록 구성될 수 있는지의 여부를 표시하는 데이터 스트로브 모드 값(또는 여기에서 방향성 모드 값)을 저장한다. 메모리 모듈 컨피규레이션 저장 디바이스(132)로부터 판독된 정보는 제어기(110) 및 DRAM들(130)내의 모드 비트들을 설정하기 위해 제어기(110)에 의해 사용된다. 몇몇 실시예들에서, 데이터 리드선들, 데이터 스트로브들 및 DRAM들의 개수는 더 많아지거나 작아질 수 있다. 다른 논의들을 제외하고, 본 명세서에서 제어기(110)와 관련하여 제공되는 설명들은 제어기(425)에 적합할 수 있고, DRAM(130)과 관련하여 제공되는 설명들은 DRAM들(440 및 450)에 적합할 수 있다.

[0017] C/A 리드선들(150)은 제어 및 어드레스 버스들로서 기능하며, 메모리 시스템(100)에 의해 요구되는 대로 다수의 병렬 신호 경로들을 갖는다. 유사하게, 각각의 DQ 리드선들(160)은 데이터 버스로서 기능하고, 메모리 시스템(100)에 의해 요구되는 대로 다수의 병렬 신호 경로들 또는 하나 미만의 신호 경로를 갖는다. 메모리 시스템(100)이 둘 또는 그 이상의 메모리 모듈들을 가지면, C/A 리드선들(150), DQ 리드선들(160) 및 DS 리드선들(170)은 각각의 메모리 모듈들에 제어기(110)를 접속한다.

[0018] 몇몇 실시예들에서, DS 리드선들(170)은 소스 동기 양방향 타이밍 기준들로서 동작하는 데이터 스트로브들을 전송한다. 제어기(110/425) 및 메모리 모듈(120)과 상호접속된 리드선들(150, 160, 170)의 세트는 총체적으로 메모리 버스 또는 일반적으로 상호접속부라 불린다. DS 리드선들(170)은 각각 제어기(110)를 메모리 모듈(120) 내의 각각의 DRAM(130)에 접속한다. 제어기(110)가 임의의 DQ 리드선(160)을 통해 데이터를 DRAM에 전송하면, 데이터의 송신 및 수신은 제어기(110)에 의해 상응하는 DS 리드선(170)을 통해 전송된 데이터 스트로브에 의해 클럭된다. 유사하게, 몇몇 실시예들에서, DRAM(130)이 임의의 DQ 리드선(160)을 통해 제어기(110)에 데이터를 전송하면, 데이터의 송신 및 수신은 DRAM(130)에 의해 상응하는 DS 리드선(170)을 통해 전송된 데이터 스트로브에 의해 클럭된다.

[0019] 다른 실시예에서, 메모리 시스템(100) 내의 DS 리드선들(170)은 단방향 방식으로 동작하도록 구성된다. 특히,

DS 리드선들(170)에 의해 전송된 데이터 스트로브들은 단방향으로 생성되고, 제어기(110)에 의해서만 전송된다. 따라서, DRAM들(130)은 데이터 스트로브를 수신하지만 데이터 스트로브를 생성하고 전송할 수는 없다. 상기 실시예들에서, DRAM(130)이 임의의 DQ 리드선(160)을 통해 제어기(110)에 데이터를 전송하면, 데이터의 송신 및 수신은 클럭 버퍼(142)로부터 수신된 클럭 신호에 의해 클럭된다.

[0020] 하기에서 상세히 논의되는 것과 같이, 메모리 시스템(100)은 양방향 또는 단방향의 DS 리드선들(170)과 함께 동작하도록 구성될 수 있는 제어기(110) 및 DRAM(130)을 포함한다. 여기에서 논의되는 실시예들은 단방향 방식으로 동작하는 제어기(110) 및/또는 DRAM(130)에 제한되지 않는다. 단일 부분(예를 들면, 제어기(110), DRAM(130/440/450), 또는 메모리 모듈(120))은 메모리 시스템 시장의 빠른 현재와 미래의 요구들을 만족할 수 있도록 구성될 수 있다. 다시 말해서, 상기 디바이스들은 종래 기술과의 호환성을 유지하면서 개선된 성능을 제공할 수 있다.

[0021] 설명되지 않았지만, 제어기(110; 메모리 제어기)는 바람직하게 외부 구성요소들(즉, 도 1에 도시되지 않은 구성요소들)로 데이터를 전송하고, 상기 외부 구성요소들로부터 데이터를 수신한다. 선택적으로, 제어기(110)는 상기 동일한 데이터를 DQ 리드선들(160)을 통해 상기 데이터를 저장하는 메모리 모듈(120)에 전송하고 상기 메모리 모듈로부터 수신한다. 특히, 각각의 DQ 리드선들(160)은 제어기(110)를 메모리 모듈(120) 내의 DRAM(130)에 접속한다. 도 1에 도시된 것과 같이, DQ 리드선들(160)은 양방향성이다. 특히, 제어기(110)는 DQ 리드선들(160)을 통해 데이터를 DRAM들(130)로 전송하거나 DRAM들(130)로부터 수신한다.

[0022] 제어기(110)는 메모리 모듈(120)의 동작을 제어하며, 따라서 제어 및 어드레스 신호들을 사용하여 C/A 리드선(150)을 통해 DRAM들(130)을 제어한다. 상기 신호들은 제어기(110)가 접속된 가능하면 둘 또는 그 이상의 메모리 모듈들(120) 중 하나를 제어기(110)가 선택하도록 한다. 메모리 모듈(120)은 제어 및 어드레스 버스(150)를 통해 클럭 버스를 통해 어서트된(asserted) 클럭 신호와 연계하여 제어 및 어드레스 신호들을 수신하도록 구성되며, 상기 클럭 신호는 제어 및 어드레스 신호의 수신을 클럭한다. 제어 및 어드레스 신호들의 DRAM들(130)로의 전송은 동기화되며, DQ 리드선들(160)을 통해 데이터 신호들의 동기식 전송과 동시에 동작한다.

[0023] 전체 클럭(140)은 클럭 버퍼(142)에 전송되는 클럭(시스템 클럭 또는 기준 클럭)을 발생하며, 상기 클럭 버퍼(142)는 클럭을 제어기(110) 및 메모리 모듈(120)로 유도한다. 클럭 버퍼는 일반적으로 클럭을 위상조정하기 위해 PPL에 기초한다. 시스템 또는 기준 클럭을 배치하는 다른 버스 구조들은 미국 특허 5,485,490에 도시된 구성과 같이 사용될 수 있으며, 상기 특허는 여기에서 참조로서 통합된다. 메모리 모듈(120) 내에서, PLL 클럭 버퍼(144)는 클럭 버퍼(142)로부터 클럭을 수신한다. PLL 클럭 버퍼(144)는 수신된 기준 클럭을 사용하여 모듈 클럭(메모리 모듈 내에서 사용되는)의 위상을 조정하며, 상기 모듈 클럭을 레지스터(152) 및 DRAM들(130)로 전송한다. 데이터 및 제어 신호들의 메모리 모듈(120)로의 전송은 전체 클럭(140)에 의해 생성된 클럭과 동기화된다.

[0024] **양방향 모드 제어를 수행하는 제어기**

[0025] 도 2는 메모리 시스템(100)의 제어기(110)를 상세히 도시한다. 도 2는 일반적인 제어기의 구성요소들의 소규모 서브세트를 개념적으로 표시하고 있음에 유의하여야 한다. 제어기(110)는 기록 표시자(380), 데이터-아웃 레지스터(388), 출력 버퍼(390), 또다른 기록 표시자(392), 출력 버퍼(394), 데이터-인 레지스터(395), 판독 표시자(396), 입력 버퍼(397), 또다른 판독 표시자(398) 및 입력 버퍼(399)를 포함한다. 몇몇 구현들에서, 2개의 판독 표시자들(396, 398)은 동일한 판독 제어 신호이며, 2개의 기록 표시자들(380, 392)은 동일한 기록 제어 신호이다.

[0026] 몇몇 실시예들에서, 제어기는 조정 선택기(382), 조정 어레이(384), 클럭 조정기(386)를 추가로 포함하지만, 다른 실시예들에서, 상기 엘리먼트들은 포함되지 않는다. 상기 실시예에서, 상기 엘리먼트들은 포함되지 않으며, 클럭 버퍼(142)로부터의 클럭은 출력 버퍼(394)에 결합된다.

[0027] 제어기(110)는 또한 모드 레지스터(510), OR 게이트(515), 조정(calibration) 선택기(555), 조정 어레이(560), 클럭 조정기(565) 및 클럭 멀티플렉서(570)를 포함한다. 추가 제어 로직(580)은 도 2에 도시된 제어 신호들을 발생하며, 본 논의와 관계 없는 제어기(10)의 제어 기능들을 수행한다. 모드 레지스터(510)는 방향성 모드를 저장한다. 일반적으로, 상기 모드는 DS 리드선들(170)이 단방향성인지 양방향성인지를 결정한다. 모드 레지스터(510)는 바람직하게 하나 또는 그 이상의 외부 구성요소들(설명되지 않음)에 의한 제어기(110)의 동작 동안 또는 제어기(110)의 제작 동안 설정될 수 있다. 모드 레지스터(510)에 의해 저장된 방향성 모드는 OR 게이트(515) 및 클럭 멀티플렉서(570)에 전송된다.

- [0028] 전술된 것과 같이, OR 게이트(515)는 모드 레지스터(510)로부터 입력을 수신한다. OR 게이트(515)는 또한 기록 표시자(380)로부터 입력을 수신한다. 따라서, OR 게이트(515)의 출력은 방향성 모드가 하이(High)인 경우 또는 기록 표시자(380)가 하이인 경우에 하이가 된다. 바람직하게, 기록 표시자(380)는 제어기(110)가 데이터를 DRAM에 기록할 때 하이가 되고, 방향성 모드는 제어기(110)가 단방향 모드로 동작하도록 구성될 때(제어기(110)가 데이터를 기록하거나, 데이터를 판독하거나, 그렇지 않으면 동작하지 않는 경우에 관계없이), 하이가 된다. OR 게이트(515)의 출력은 출력 버퍼(394)에 접속되어 출력 버퍼(394)를 인에이블 또는 디스에이블한다. 따라서, 제어기(110)가 데이터를 DRAM에 기록하거나 제어기(110)가 단방향 모드에서 동작하도록 구성될 때, 출력 버퍼(394)가 인에이블된다. 출력 버퍼(394)가 인에이블되지 않을 때, 출력은 3가지 상태가 되며(즉, 고 임피던스 상태로 설정되며), 어떤 다른 디바이스가 DS 리드선 상에 신호를 어서트(assert)하지 않을 경우에 DS 리드선(170)이 이동하는 것을 차단하거나 DS 리드선(170)이 또다른 디바이스(예를 들면, 메모리 모듈내의 메모리 디바이스)에 의해 실행되도록 한다.
- [0029] 전술된 것과 같이, 제어기(110)는 데이터를 DRAM(130)에 전송할 때 출력 버퍼(394)의 출력을 인에이블하도록 기록 표시자(380)를 설정한다. 또한, 제어기(110)는 제어기(110)가 접속된 각각의 메모리 모듈(120)에 대한 조정 데이터를 저장한다. 본 출원에서 설명된 메모리 시스템들에서, 단 하나의 메모리 모듈(120)만이 도시된다. 그러나, 메모리 시스템들은 하나 이상의 메모리 모듈(120)을 포함할 수 있다. 메모리 모듈들(120)에 대한 제어기(11)의 다양한 접속들은 서로 다를 수 있다. 예를 들어, 상기 접속의 길이 및 임피던스는 변화할 수 있다. 결과적으로, 타이밍 신호들(예를 들면, 클럭 또는 데이터 스트로브)은 조정되거나 조절될 수 있다.
- [0030] 전술된 것과 같이, 몇몇 실시예들에서, 제어기는 메모리 디바이스에 데이터를 기록할 때 사용되는 타이밍 신호들을 조정하기 위해 조정 선택기(382), 조정 어레이(384), 클럭 조정기(386)를 포함한다. 조정 어레이(384)는 상기 목적을 위해 조정 데이터를 저장한다. 조정 선택기(382)는 제어기(110)에 의해 어떤 메모리 모듈(120)이 기록되는지에 기초하여 특정 조정을 선택하며 제어기(110)에 의해 발생된 신호를 전달한다. 조정 선택기(382)는 예를 들면, 조정 어레이(384)에 의해 저장된 특정 조정값을 선택하기 위한 어드레스를 전송할 수 있다.
- [0031] 선택된 조정값은 조정 어레이(384)에 의해 클럭 조정기(386)로 전송되며, 상기 클럭 조정기(386)는 클럭 버퍼(142)로부터 클럭을 수신한다. 클럭 조정기(386)는 선택된 조정값을 사용하여 수신된 클럭의 위상을 조정한다. 몇몇 실시예들에서, 각각의 저장된 조정값은 클럭 신호의 상태 전이를 오프셋하기 위한 지연을 특정한다. 몇몇 실시예들에서, 저장된 조정값들은 각각 클럭 위상을 특정한다. 조정된 클럭은 제어기(110)에 의해 발생된 데이터 스트로브의 기준이 된다. 상기 데이터 스트로브는 클럭 조정기(386)에 의해 데이터-아웃 레지스터(388) 및 출력 버퍼(394)로 전송된다. 전술된 것과 같이, 출력 버퍼(394)는 데이터 스트로브를 DS 리드선(170)으로 전송한다. 데이터 스트로브는 데이터의 출력을 데이터-아웃 레지스터(388)로부터 DQ 리드선(160)에 접속되고 기록 표시자(392)에 의해 인에이블되는 출력 버퍼(390)로 클럭한다.
- [0032] 하나의 동작 모드에서, 제어기(110)의 데이터-인 레지스터(305)는 입력 버퍼(397)로부터 데이터 스트로브 및 입력 버퍼(399)로부터 데이터를 수신한다. 입력 버퍼(397)는 판독 표시자(396)에 의해 인에이블되고, 입력 버퍼(399)는 판독 표시자(398)에 의해 인에이블된다. 출력 버퍼(397)는 DS 리드선(170)으로부터 입력(즉, 데이터 스트로브)을 수신하고, 입력 버퍼(399)는 DQ 리드선(160)으로부터 입력(즉, 데이터)을 수신한다. 제어기(110)의 제어 로직(580)은 DRAM(130)으로부터 데이터를 수신할 때 입력 버퍼들(397, 399)을 인에이블하도록 판독 표시자들(396, 398)을 설정한다. 따라서, 수신된 데이터 스트로브는 데이터의 수신을 클럭한다.
- [0033] 제어기(110)가 양방향 방식으로 DS 리드선들을 사용하도록 구성될 때, 데이터 스트로브는 소스 동기화되고 DRAM이 데이터를 전송하는 동안 DRAM에 의해 유도된다. 상기 모드에서, 제어기(110)는 종래의 DRAM(예를 들면, DRAM(130)) 메모리 모듈들과 호환가능하다. 그러나, 제어기가 단방향 방식으로 DS 리드선들(170)을 사용하도록 구성될 때, 데이터 스트로브는 소스 동기화 되지 않고 DRAM에 의해 유도되지 않는다. 상기 모드에서 데이터 스트로브는 제어기(110)에 의해 전송된 데이터를 샘플링하기 위해 DRAM에 의해 자동 실행 클럭으로서 사용될 수 있다.
- [0034] 전술된 것과 같이, 메모리 모듈(120)은 다수의 DRAM들(130)을 포함한다. 따라서, 제어기(110)는 메모리 모듈(120)내의 각각의 DRAM(130)을 위한 데이터-아웃 레지스터(388)를 포함할 수 있다(간단함을 위해 설명되지는 않음). 클럭 조정기(386)의 출력은 각각의 데이터-아웃 레지스터들(388)에 접속된다. 또한, 각각의 DQ 리드선(160)에 차례로 접속된 출력 버퍼(390)는 각각의 데이터-아웃 레지스터(388)를 위해 포함된다. 기록 표시자(392)는 바람직하게 상기 각각의 데이터-아웃 레지스터(388)에 접속되며, 따라서 각각의 데이터-아웃 레지스터(388)의 출력은 동일한 데이터 스트로브에 의해 클럭되고, 동일한 기록 표시자(392)에 의해 인에이블된다. 또

한, 출력 버퍼(394)는 메모리 모듈(120)내의 각각의 DRAM(130)을 위해 포함된다. 클럭 조정기(386)의 출력은 개별 DS 리드선(170)에 차례로 접속된 각각의 데이터-아웃 버퍼(394)에 접속된다. 상기 구성은 제어기가 개별 데이터를 메모리 모듈(120)의 각각의 DRAM(130)에 동시에 전송하도록 한다.

[0035] 따라서, 주어진 조정값은 데이터 스트로브에 의해 동시에 클럭된 각각의 데이터-출력 레지스터들(388)에 인가된다. 주어진 출력 버퍼들(390, 394)의 세트에 접속된 DS 리드선(170) 및 DQ 리드선(160)의 각 세트는 하나 이상의 메모리 모듈(120)에 접속될 수 있다. 따라서, 조정값들은 일반적으로 메모리 모듈(120) 내의 각각의 DRAM(130)이 아니라 각각의 메모리 모듈(120)에 대하여 유도된다. 특정 메모리 모듈(120)이 선택될 때, 상기 선택은 선택된 메모리 모듈(120)이 데이터를 수신하도록 설정하기 위해 각각의 메모리 모듈(120)에 전송된 제어 및 어드레스 신호들에 반영된다.

[0036] 유사하게, 제어기(110)는 메모리 모듈(120; 즉, DS 리드선(170)과 DQ 리드선(160)의 각 세트)내의 각각의 DRAM(130)을 위해 데이터-인 레지스터(395), 입력 데이터(397), 및 입력 버퍼(399)를 포함할 수 있다. 상기 구성은 제어기가 메모리 모듈(120)의 각각의 DRAM(130)으로부터 개별 데이터를 동시에 수신하도록 한다. 특정 메모리 모듈(120)이 제어기에 데이터를 전송하도록 선택될 때, 상기 메모리 모듈(120)만이 데이터 및 데이터 스트로브를 DQ 리드선(160) 및 DS 리드선(170)에 제공한다.

[0037] 조정 선택기(555)는 어떤 메모리 모듈이 제어기(110)에 의해 관독되는지의 여부(즉, 어떤 메모리 모듈이 DQ 리드선(160)을 통해 제어기(110)에 데이터를 전송하는지의 여부)에 따라 제어기(110)의 제어 로직(580)에 의해 생성된 신호를 전달한다. 조정 선택기(555)는 조정 어레이(560)에 의해 저장된 특정 조정값을 선택하기 위해 어드레스를 전송할 수 있다.

[0038] 선택된 조정값은 조정 어레이(560)에 의해 클럭 버퍼(142)로부터 클럭을 수신하는 클럭 조정기(565)에 전송된다. 클럭 조정기(565)는 선택된 조정값을 사용하여 수신된 클럭의 위상을 조정한다. 조정된 클럭은 조정 선택기(555)에 의해 클럭 멀티플렉서(570)로 전송된다. 조정 선택기(555), 조정 어레이(560) 및 클럭 조정기(565)는 방향성 모드가 단방향성일 때만 사용되며, 데이터가 수신되는 메모리 디바이스에 따라 조절 및 조정되는 위상 조정된 수신 클럭을 생성하는데 사용된다. 몇몇 실시예들에서, 클럭 조정기(565)의 동작은 방향성 모드가 전력 사용을 감소시키기 위해 양방향성일 때 디스에이블된다.

[0039] 클럭 멀티플렉서(570)는 클럭 조정기(565)에 의해 전송된 위상 조정된 클럭 또는 DS 리드(170)를 통해 전송된 데이터 스트로브를 전송하도록 구성된다. 클럭 멀티플렉서(570)의 출력은 클럭 신호 또는 기준 신호라 불리지만, 몇몇 상황에서 상기 신호는 수신된 데이터 스트로브로부터 유도될 수 있다. 클럭 멀티플렉서(570)에 의해 출력된 신호의 선택은 전송된 것과 같이 방향성 모드를 클럭 멀티플렉서(570)에 출력하는 모드 레지스터(510)에 의해 제어된다. 클럭 멀티플렉서(570)의 출력은 전송된 것과 같이 판독 표시자(396)에 의해 인에이블되고 데이터-인 레지스터(395)에 접속되는 입력 버퍼(397)에 전송된다. 따라서, 데이터-인 레지스터(395)에 의해 수신된 데이터는 클럭 조정기(565)에 의해 생성된 조정된 클럭 또는 DS 리드선(170)을 통해 전송된 데이터 스트로브에 의해 클럭된다. 클럭 멀티플렉서(570)는 제어기(110)가 양방향 모드에서 동작하도록 구성될 때 DS 리드선(170)을 통해 전송되는 데이터 스트로브를 입력 버퍼(397)에 전송한다. 또한, 클럭 멀티플렉서(570)는 제어기(110)가 단방향 모드로 동작하도록 구성될 때 클럭 조정기(565)에 의해 생성된 조정 클럭을 입력 버퍼(397)로 전송한다.

[0040] 따라서, 제어기(110)가 양방향 방식으로 DS 리드선들을 사용하도록 구성될 때 데이터 스트로브는 DRAM에 의해 전송된 데이터를 샘플링하기 위해 제어기(110)에 의해 사용될 수 있다. 그러나, 양방향 방식으로 동작하도록 구성될 때, 제어기(110)에 의한 판독 데이터의 포착은 조정된 내부 타이밍 기준(예를 들면, 조정된 클럭)으로 타이밍 되거나 클럭된다.

[0041] **방향성 모드 제어를 수행하는 DRAM**

[0042] 도 3은 메모리 시스템(100)의 DRAM(130)을 도시한다. 도 3에 도시된 것과 같이, DRAM(130)은 모드 레지스터(302), C/A 레지스터(310), 송신(Tx) 표시자(320), 출력 버퍼(325), 수신(Rx) 표시자(330), 입력 버퍼(335), 데이터-인 레지스터(340), 수신 표시자(350), 입력 버퍼(355), 송신(Tx) 표시자(360), 출력 버퍼(365), 데이터-아웃 레지스터(370) 및 AND 게이트(304)를 포함한다. 몇몇 실시예들에서, 2개의 수신 표시자들(330 및 350)은 동일한 수신 제어 신호이며, 2개의 송신 표시자들(320 및 360)은 동일한 송신 제어 신호이다. 또한, 수신 및 송신 표시자들은 상호보완적일 수 있다.

[0043] 도 3은 DRAM 칩의 구성 요소들의 소규모 서브세트를 개념적으로 표시하는 것에 유의한다. 예를 들어, 상기 도

면에 도시된 데이터-인 및 데이터-아웃 레지스터들(340, 370)은 DRAM의 감지 증폭기 어레이들에서와 같이 DRAM의 저장 어레이에 대한 인터페이스내의 회로를 표시하며, 상기 회로는 "레지스터들"의 정의를 엄격히 만족하거나 만족하지 못할 수 있다(예를 들어, 래치들 및 다른 클럭 회로들과는 상반됨). 또한, 데이터-인 및 데이터-아웃 레지스터들(340, 370)은 도 3에 개별적으로 도시되어 있지만 동일한 회로를 사용하여 부분적으로 또는 전체적으로 구현될 수 있다.

- [0044] C/A 레지스터(310)는 클럭(일반적으로 도 1의 PLL 클럭 버퍼(144)로부터) 및 제어기(11)로부터 C/A 리드선(150)을 통해 제어 및 어드레스 신호들을 수신한다. 클럭은 상기 제어 및 어드레스 신호들의 수신을 클럭 또는 타이밍 한다.
- [0045] 제 1 입력 및 출력 버퍼 세트(335, 325)는 각각 데이터 스트로브를 수신 및 전송하기 위해 DS 리드선(170)에 접속된다. 도시된 것과 같이, 출력 버퍼(325)에 의해 전송된 데이터 스트로브는 클럭으로부터 DRAM(130)에 의해 생성된다.
- [0046] DRAM 모드 레지스터(302)는 DRAM(130)(또는 도 4의 DRAM(440))과 함께 사용될 때 방향성 모드를 저장한다. 방향성 모드는 DS 리드선들(170)이 단방향성 또는 양방향성인지의 여부를 결정한다. 모드 레지스터(302)는 바람직하게 제어기(110)에 의한 DRAM(130)의 동작 동안 또는 DRAM(130) 또는 메모리 모듈(120)의 제작 동안 설정될 수 있다. 몇몇 실시예들에서, 제어기(110) 및 DRAM(130)는 제어기가 DRAM이 모드 레지스터(302)내의 특정 모드 값을 저장할 것을 지시하는 제어 및 어드레스선들(150)을 통해 명령을 전송하도록 구성될 수 있다. 모드 레지스터(302)에 의해 저장된 방향성 모드는 AND 게이트(304)로 전송된다.
- [0047] 전술된 것과 같이, AND 게이트(304)는 DRAM 모드 레지스터(302)로부터 입력을 수신한다. AND 게이트(304)는 송신(Tx) 표시자(320)로부터 입력을 수신한다. AND 게이트(304)의 출력은 방향성 모두가 하이 이고 송신(Tx) 표시자(320)가 하이이면 하이이 된다. 바람직하게, 송신(Tx) 표시자(320) 및 방향성 모드는 DRAM(130)이 제어기에 데이터 스트로브를 전송하고 DRAM(130)이 양방향 모드에서 동작하도록 구성될 때 하이(High)가 된다. AND 게이트(304)의 출력은 출력 버퍼(325)에 접속되어 출력 버퍼(325)를 인에이블 또는 디스에이블한다. 따라서, DRAM(130)이 데이터를 전송할 때, 또한 DRAM(130)이 양방향성 모드에서 동작하도록 구성될 때, 출력 버퍼(325)는 인에이블되어 DS 리드선(170)에서 수신된 클럭 신호를 데이터 아웃 레지스터(370)로부터 전송된 데이터에 대한 데이터 스트로브로서 실행한다. 이와 반대로, DRAM(130)이 단방향 모드에서 동작하도록 구성될 때, AND 게이트(304)의 출력은 로우(Low)가 되며, 따라서 출력 버퍼(325)는 디스에이블된다. 출력 버퍼(325)가 인에이블되지 않을 때, 그 출력은 3가지 상태가 되며(즉, 고 임피던스 상태로 설정되며), 어떤 다른 디바이스가 DS 리드선 상에서 신호를 어서트(assert)하지 않을 경우에 DS 리드선(170)이 이동하는 것을 차단하고 DS 리드선(170)이 또다른 디바이스(예를 들면, 메모리 제어기(110) 또는 DRAM(130)이 상주하는 메모리 모듈(120)과 동일한 메모리 버스상의 또다른 메모리 모듈 내의 메모리 디바이스)에 의해 실행되도록 한다.
- [0048] 입력 버퍼(335)에 의해 수신된 데이터 스트로브는 제어기(110)에 의해 생성되어 전송된다. 또한, 입력 버퍼(335)는 수신(Rx) 표시자(330)에 의해 인에이블된다(또는 DS 리드선(170)으로부터 데이터-인 레지스터(340)로 데이터 스트로브를 전송하도록 설정된다). 따라서, DRAM이 제어기(110)로부터 데이터를 수신할 때, 수신(Rx) 표시자(330)는 입력 버퍼(335)가 인에이블되도록 설정된다. 데이터-인 레지스터(340)에 의한 데이터의 수신은 DS 리드선(170)을 통해 수신된 데이터 스트로브에 의해 클럭된다.
- [0049] 제 2 입력 및 출력 버퍼 세트(355, 365)는 각각 데이터를 수신 및 전송하기 위해 데이터 신호(DQ) 리드선(160)에 접속된다. 도 3에 도시된 것과 같이, 출력 버퍼(365)에 의해 전송된 데이터는 DRAM(130)내의 저장 엘리먼트들로부터 데이터를 수신하는 데이터-아웃 레지스터(370)로부터 전송된다. 또한, 출력 버퍼(365)는 송신(Tx) 표시자(360)에 의해 인에이블된다(또는 데이터를 DQ 리드선(160)으로 전송하도록 설정된다). 따라서, DRAM이 데이터를 제어기(110)로 전송할 때, 송신(Tx) 표시자(360)는 출력 버퍼(365)가 인에이블되도록 설정된다. 입력 버퍼(355)에 의해 수신된 데이터는 제어기(110)에 의해 전송된다. 또한, 입력 버퍼(355)는 DQ 리드선(160)으로부터 수신(Rx) 표시자(350)에 의해 DRAM(130)내의 저장 엘리먼트들에 데이터를 전송하는 데이터-인 레지스터(340)로 데이터를 전송하도록 인에이블된다. 따라서, DRAM이 제어기(110)로부터 데이터를 수신할 때, 수신(Rx) 표시자(350)는 입력 버퍼(355)가 인에이블되도록 설정된다. 데이터-아웃 레지스터(370)에 의한 데이터의 전송은 클럭(DS 리드선(170)을 통해 수신된 데이터 스트로브가 아님)에 의해 클럭된다.
- [0050] 전술된 것과 같이, DRAM(130)이 양방향 방식으로 DS 리드선들을 사용하도록 구성될 때, 데이터 스트로브는 소스 동기화되고 DRAM(130)이 데이터를 전송하는 동안 DRAM(130)에 의해 구동된다. 스트로브 출력 버퍼(325) 및 데이터 출력 버퍼(365)와 연관된 전송 지연들은 바람직하게 동일하거나 거의 동일하다. 결과적으로, 송신된 데

이터와 데이터 스트로브의 위상 관계는 상기 신호들이 제어기에 도달할 때 유지될 것이다. 상기 모드에서, DRAM(130)은 종래의 제어기(예를 들면, 도 1의 제어기(110))와 호환가능하다. 그러나, DRAM(130)이 단방향 방식으로 DS 리드선들을 사용하도록 구성될 때, 데이터 스트로브는 소스 동기화되지 않고 DRAM에 의해 실행되지 않는다. 상기 모드에서, DRAM(130)은 본 명세서에 개시된 제어기들(예를 들면, DRAM(130)으로부터 데이터를 수신하기 위해 조정된 타이밍을 가지는 제어기들)과 호환가능하다.

[0051] 도 4는 메모리 시스템(100)의 DRAM(440)의 또다른 실시예를 설명한다. 도 3에 도시된 DRAM(130)과 관련하여 전술된 상기 구성요소들에 부가하여, 도 4에 도시된 DRAM(440)은 멀티플렉서(410)를 포함한다.

[0052] 멀티플렉서(410)는 클럭(일반적으로 PLL 클럭 버퍼(144)로부터) 및 DS 리드선(170)에 의해 전송된 데이터 스트로브를 수신한다. 멀티플렉서의 출력은 데이터-출력 레지스터(370)에 전송된다. 멀티플렉서(410)에 의한 선택에 따라, 데이터-출력 버퍼에 의한 데이터의 출력은 DS 리드선(170)에 의해 전송된 클럭 또는 데이터 스트로브에 의해 타이밍되거나 클럭된다. 상기 선택은 멀티플렉서(410)에 선택 입력으로서 방향성 모드를 전송하는 모드 레지스터(302)에 의해 수행된다.

[0053] 전술된 것과 같이, DRAM(440)이 단방향 방식에서 DS 리드선들(170)을 사용하도록 구성될 때, DRAM(440)에 의한 데이터 출력은 제어기(예를 들면, 제어기(110))에 의해 발생된 데이터 스트로브에 의해 클럭된다. 이는 데이터 스트로브가 항상 제어기에 의해 전송되기 때문에 가능한 사실이다. 또한, 데이터 스트로브는 일반적으로 클럭보다 더 적은 위상 시프트를 경험하며, 결과적으로 메모리 버스를 통한 데이터 전송 레이트는 종래의 시스템들에 비해 증가될 수 있다. 상기 모드에서, DRAM(440)은 데이터 스트로브를 DRAM(440)으로 연속하여 전송하도록 구성된 제어기들(여기에서 설명된 제어기들과 같은)과 호환가능하다. 그러나 DRAM(440)이 단방향 방식으로 DS 리드선들(170)을 사용하도록 구성될 때, 데이터 스트로브는 DRAM(440)이 데이터를 전송하는 동안 사용불가능하다. 대신에, DRAM(440)에 의한 데이터 출력은 클럭에 의해 클럭된다. 상기 모드에서, DRAM(440)은 종래의 제어기들(예를 들면, 제어기(110))과 호환가능하다.

[0054] **추가 실시예들**

[0055] 도 5A는 메모리 시스템(100)에서 사용하기 위한 제어기(425)의 또다른 실시예를 도시한다. 도 2에 도시된 제어기(110)와 달리, 도 5A에 도시된 제어기(425)는 방향성 모드로 동작하지 않는다. 따라서, 상기 제어기(425)는 모드 레지스터(510), 기록 표시자(380), OR 게이트(515) 또는 클럭 멀티플렉서(570)를 포함하지 않는다. 상기 구성요소들은 클럭 조정기(386)의 출력이 DS 리드선(170)에 연속하여 인가되기 때문에 요구되지 않는다. 선택적으로, 제어기는 다양한 모드 값들을 저장하지만 방향성 모드 값은 저장하지 않는 모드 레지스터를 포함할 수 있다.

[0056] 선택적으로, 제어기(425)에 대한 상기 실시예는 데이터-출력 레지스터(388) 및 출력 버퍼(390)와 연관된 전송 지연을 매칭하거나 대략적으로 매칭하는 시간 지연을 제공하기 위한 데이터 스트로브 출력 버퍼(394)를 포함한다. 또한, 데이터-인 레지스터로의 입력은 클럭 조정기(565)의 출력에 의해 항상 클럭된다. 상기 제어기(425)는 본 명세서에 개시된 DRAM들(예를 들면, DRAM(130), DRAM(440) 및 DRAM(450))과 호환가능하지만 종래의 DRAM들과는 호환될 수 없다.

[0057] 도 5B는 메모리 시스템(100)에서 사용하기 위한 DRAM(450)의 또다른 실시예를 도시한다. 도 3 및 도 4의 DRAM들(130, 440)과는 달리, 상기 DRAM(450)은 AND 게이트(304) 또는 출력 버퍼(325)를 포함하지 않는다. 이는 상기 DRAM(450)이 DS 리드선(170)을 통해 데이터 스트로브를 전송하지 않기 때문이다. 또한, 상기 DRAM(450)은 데이터-출력 레지스터(370)가 클럭에 의해 클럭되거나 타이밍되지 않기 때문에 멀티플렉서(410)를 포함하지 않는다. 대신에, 데이터-출력 레지스터(370), 유사한 데이터-인 레지스터(340)는 DS 리드선(170)을 통해 전송된 데이터 스트로브에 의해 항상 클럭된다. 바람직하게, C/A 리드선(150)을 통해 전송된 제어 및 어드레스 신호들만이 클럭에 의해 클럭된다. 상기 DRAM(450)은 본 명세서에 개시된 제어기들(예를 들면, 제어기(110) 및 제어기(425))과 호환가능하지만, 종래의 제어기들과는 호환될 수 없다.

[0058] 특정 실시예들에 대한 전술된 설명은 설명의 목적으로 제공된다. 상기 실시예들은 본 발명의 원칙들 및 실행되는 응용예들을 설명하기 위해 개시되며, 따라서 당업자들이 본 발명을 최적으로 사용하도록 한다. 상기 실시예들은 본 발명을 개시된 엄격한 형식들로 제한하도록 의도되는 것은 아니다. 본 개시물의 개선점이 본 명세서에 개시된 본 발명의 개념들로부터 벗어나지 않고 사용되는 선에서 당업자들에게 다양한 변경들이 발생할 수 있다.

[0059] 예를 들어, 전술된 다양한 데이터 스트로브들 및 클럭들(즉, 클럭 신호들)은 단일 종단형 신호들로서 설명된다.

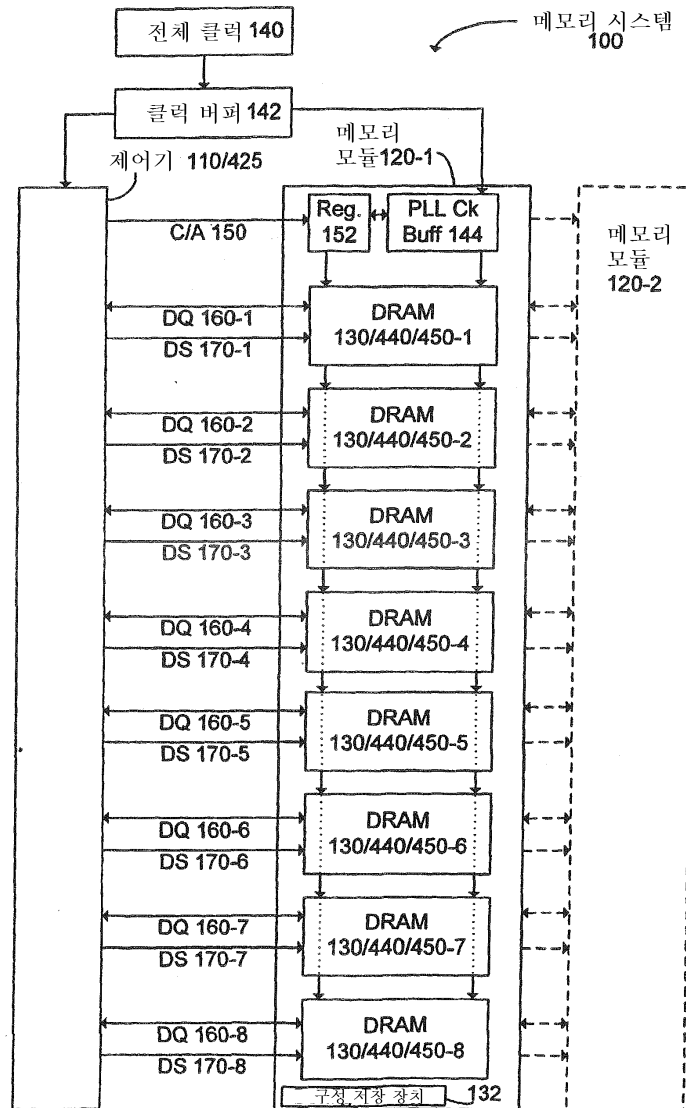
그러나 선택적인 실시예들에서, 상기 데이터 스트로브들 및 클럭들은 서로다른 신호들이다. 서로다른 신호들의 사용은 더 큰 클럭 속도와 데이터 레이트를 가능하게 한다. 따라서, 단지 전술된 설명뿐 아니라 본 발명의 독점적인 권리들을 한정하는 청구항들이 제공된다.

도면의 간단한 설명

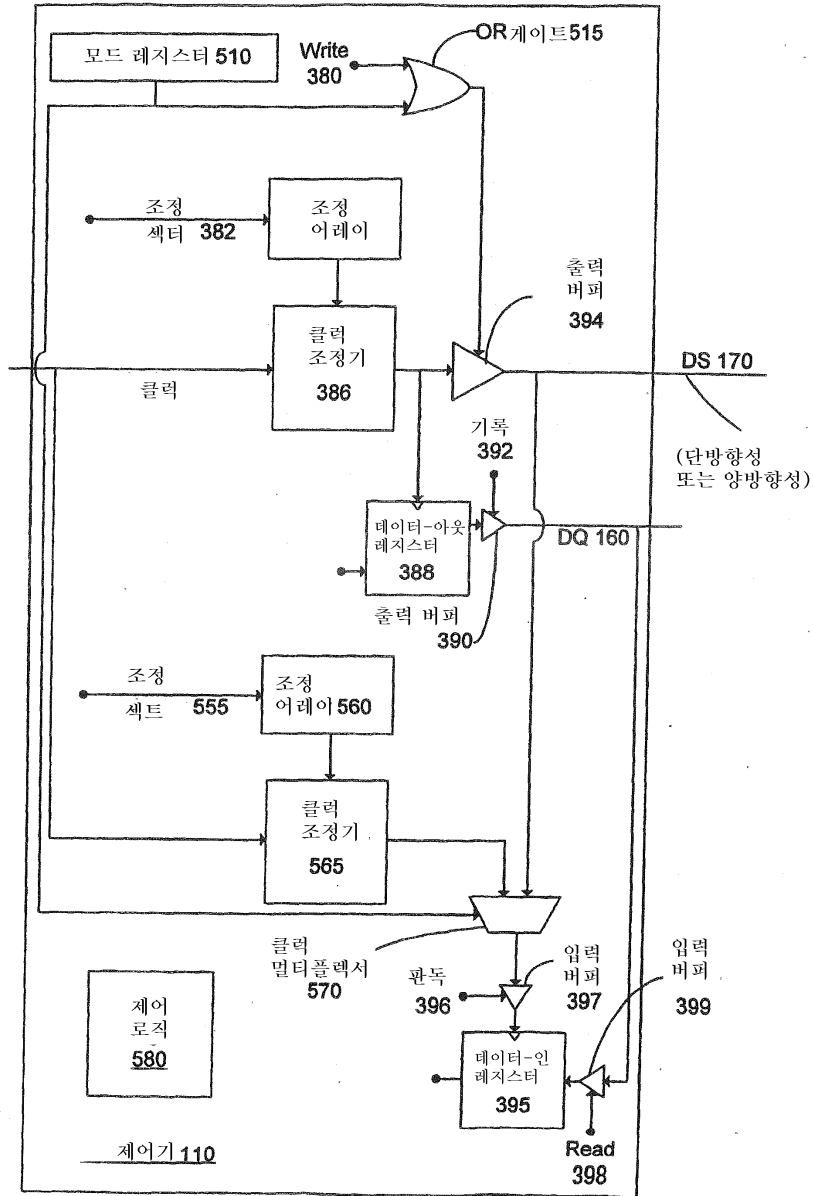
- [0008] 도 1은 메모리 시스템을 도시한다.
- [0009] 도 2는 도 1에 도시된 메모리 시스템의 제어기를 도시한다.
- [0010] 도 3은 도 1에 도시된 메모리 시스템에 포함될 수 있는 DRAM을 도시한다.
- [0011] 도 4는 도 1에 도시된 메모리 시스템에 포함될 수 있는 또다른 DRAM을 도시한다.
- [0012] 도 5A는 도 1에 도시된 메모리 시스템에 포함될 수 있는 또다른 제어기를 도시한다.
- [0013] 도 5B는 도 1에 도시된 메모리 시스템에 포함될 수 있는 또다른 DRAM을 도시한다.

도면

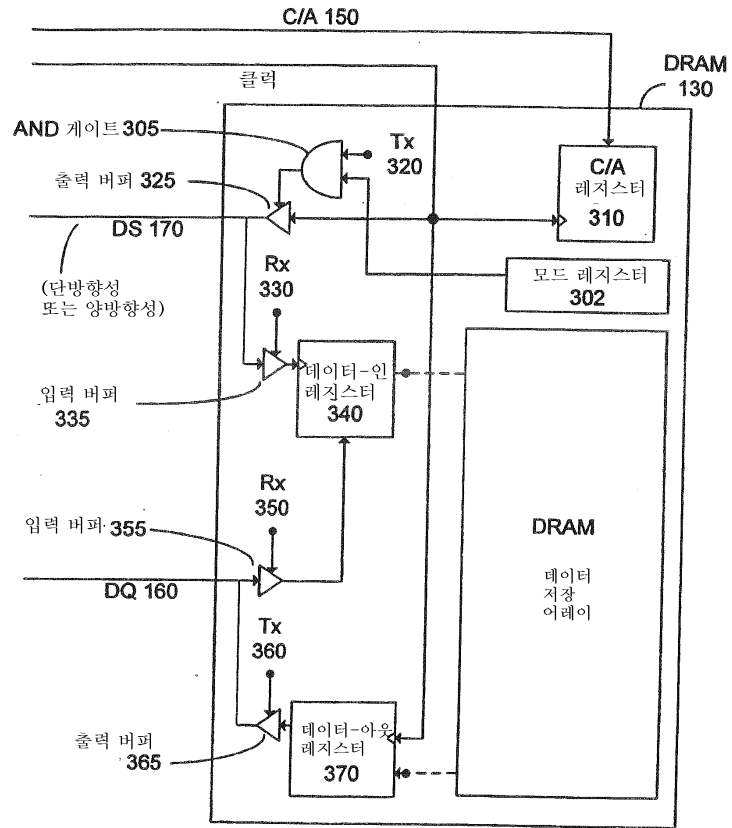
도면1



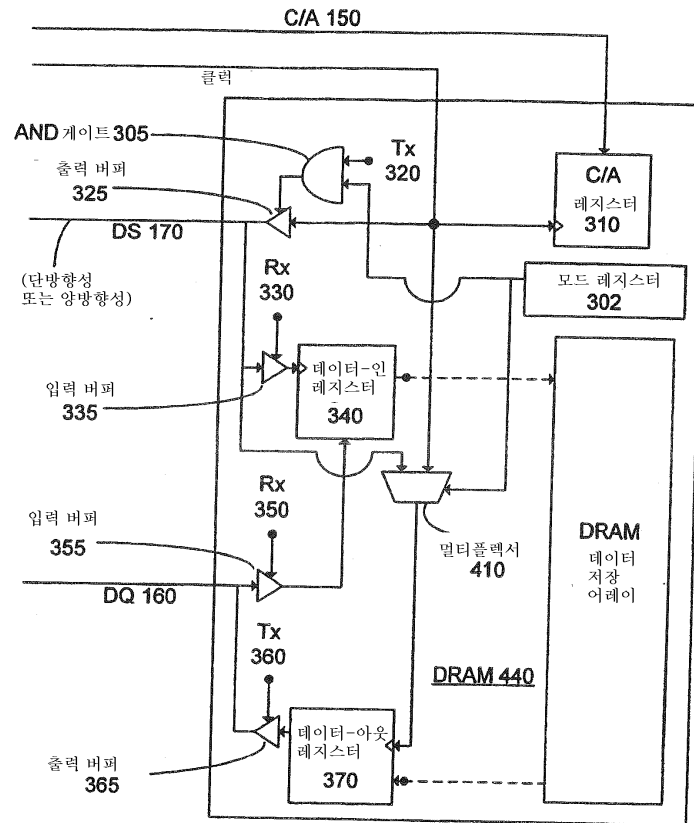
도면2



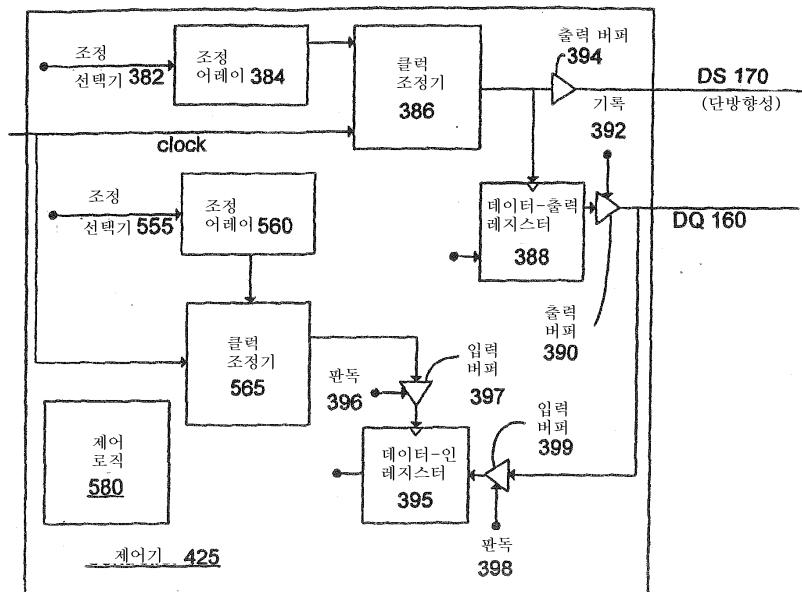
도면3



도면4



도면5a



도면5b

