

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7443780号
(P7443780)

(45)発行日 令和6年3月6日(2024.3.6)

(24)登録日 令和6年2月27日(2024.2.27)

(51)国際特許分類

F I

H 0 5 K	3/46	(2006.01)	H 0 5 K	3/46	Q
H 0 1 L	23/12	(2006.01)	H 0 1 L	23/12	K
H 0 2 M	7/48	(2007.01)	H 0 1 L	23/12	N
H 0 5 K	1/02	(2006.01)	H 0 2 M	7/48	Z
H 0 5 K	1/18	(2006.01)	H 0 5 K	1/02	A

請求項の数 6 (全17頁) 最終頁に続く

(21)出願番号 特願2020-5747(P2020-5747)
 (22)出願日 令和2年1月17日(2020.1.17)
 (65)公開番号 特開2021-114513(P2021-114513
 A)
 (43)公開日 令和3年8月5日(2021.8.5)
 審査請求日 令和4年12月14日(2022.12.14)

(73)特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74)代理人 110001243
 弁理士法人谷・阿部特許事務所
 (72)発明者 植田 寛朗
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72)発明者 田中 孝明
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72)発明者 佐藤 以久也
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 小林 大介

最終頁に続く

(54)【発明の名称】 多層基板回路構造

(57)【特許請求の範囲】

【請求項1】

パワー半導体デバイスと直流コンデンサで構成される直列一巡回路のパワー半導体デバイスと直流コンデンサとを接続するためのN層(Nは自然数)の絶縁層とN+1層の導電層を交互に積層した多層基板回路構造であって、

前記多層基板回路構造に実装される前記直流コンデンサが、一方の電位が接続される少なくとも一つのリード端子と他方の電位が接続される少なくとも一つの表面実装端子を有し、

前記表面実装端子が前記他方の電位が接続された1層目の前記導電層に設けられたパッド部に接続され、

前記リード端子が前記1層目の前記導電層と所定の絶縁距離を設けて形成されたスルービア部に挿入接続され、

前記スルービア部は前記一方の電位が接続されたN+1層目の前記導電層にまで貫通しており、

前記リード端子が前記N+1層目の前記導電層に接続されていることを特徴とする多層基板回路構造。

【請求項2】

前記表面実装端子は前記直流コンデンサのパッケージの基板面における外形の側に配置され、前記リード端子は前記直流コンデンサのパッケージの中心側に配置されることを特徴とする請求項1に記載の多層基板回路構造。

【請求項 3】

前記 N が 3 以上の整数であって、前記表面実装端子が接続される異なる導電層を接続し、全ての導電層を貫通はしないインナビアを有することを特徴とする請求項 1 および 2 に記載の多層基板回路構造。

【請求項 4】

絶縁層に挟まれた導電層を貫通するビアにおいて絶縁距離を設ける場合は、絶縁距離の空間を絶縁体により充填して、充填する絶縁体の絶縁耐力の分だけ絶縁距離を短くしたことを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の多層基板回路構造。

【請求項 5】

前記絶縁距離を充填する絶縁体の構造は、加算的製造法により製造されることを特徴とする請求項 4 に記載の多層基板回路構造の製造方法。

10

【請求項 6】

接続端子がリード端子のみの直流コンデンサを用意して、一部のリード端子を根本部分で切断して残部を表面実装端子とすることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の多層基板回路構造の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば電力変換装置のような電力回路装置の小型化に適した多層基板回路構造に関する。

20

【背景技術】

【0002】

従来、電力変換装置などの電力回路装置では、その主要部品であるパワー半導体デバイスの技術革新により高速なスイッチング動作が実現され、パワー半導体デバイスにおける電力損失を低減させている。これにより、電力回路装置の体積全体の大部分を占める冷却器を従来よりも大幅に小型化することが可能となり、電力回路装置全体も大幅に小型化されてきている。

【0003】

一方で、新世代のパワー半導体デバイス（SiC や GaN といったワイドバンドギャップ材料を用いたパワー半導体デバイス）の高速スイッチング性能を十分発揮するには、パワー半導体デバイスと直流コンデンサで構成される直列一巡回路に寄生するインダクタンス成分を十分小さくし、パワー半導体デバイスのターンオフ時に発生するサージ電圧がパワー半導体デバイスの耐圧を超えないようにしなければならない。すなわち、パワー半導体デバイスと直流コンデンサを低インダクタンスで接続する配線手段が重要な課題となる。

30

【0004】

特許文献 1 に記載されている技術においては、パワー半導体デバイスと直流コンデンサの配線手段として、多層基板を用いている。この多層基板では、直流コンデンサの P 側（正極側）電位が接続された導電層と、N 側（負極側）電位が接続された導電層を絶縁層を挟んで交互に積層する。これによって、スイッチング電流の往路と復路が、多層基板の中で交互に積層されるため、近接効果により磁界がキャンセルされ、多層基板の寄生インダクタンスを大幅に低減することが可能となる。

40

【0005】

特許文献 1 に記載されている多層基板にパワー半導体デバイスや直流コンデンサといった電子部品を接続する場合には、従来、例えば電子部品のリード（引き出し線）を端子として基板上のスルーホール（ビア）に差し込み、半田などで接続する方法が用いられている。一般的に、多層基板にパワー半導体デバイスや直流コンデンサ、抵抗素子、インダクタ素子といった電子部品を接続するには、電子部品のリード端子もしくは表面実装端子を、多層基板の導電層上に設けられたスルーホール（ビア：via）もしくはパッドに例えば半田などで電氣的に接続（ろう付け）する。

【0006】

50

また、特許文献 2 には、パワー半導体デバイスを複数並列接続し、同時にスイッチング動作した場合の電流アンバランスを改善する技術が記載されており、多層基板を用いたその駆動回路基板設計においては、素子の固定方法にはリード端子を用いた実装例が挙げられている。

【0007】

さらに、特許文献 3 では、チョッパ回路の入出力段に直流コンデンサを並列接続した構成とすることで、主回路に流れるコモンモード電流を低減させ、電磁妨害波の発生を抑制する技術が記載されており、その多層基板設計においては、表面実装端子を有する直流コンデンサを用いた実施例が挙げられている。

【0008】

一般に、電子部品のリード端子を基板のスルーホールに挿入、はんだ付けする接続では、ある程度の機械的強度も期待できるが、接続部の厚みなどが増大してしまい大型化する。一方、表面実装端子による接続は、電子部品の表面電極をそのままパッドや導電層にはんだ付けするような構造となるため、接続部の厚みは薄く小型化に有利ではあるが、機械的強度は半田付け自体の強度以上には期待できず、比較的小型軽量な電子部品やチップに限定されてしまう。

【先行技術文献】

【特許文献】

【0009】

【文献】特開 2017 - 220961 号公報

【文献】特開 2016 - 46842 号公報

【文献】特開 2014 - 187812 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

特許文献 1 ~ 3 に記載されているパワー半導体デバイスや直流コンデンサといった電子部品では、リード形状の端子を有する電子部品を用いている。この方法では、導電層と接続しないリード端子が通るスルーホールの周囲には、印加される電圧に応じた所定の絶縁距離で導電層を設けない空間を設ける必要があり、その分、導電層の有効面積が減少してしまう。導電層の有効面積が減少してしまうことで、電子部品の充放電電流などの電流経路を迂回させる必要が生じ、基板抵抗値と寄生インダクタンスの増加が問題として生ずる。

【0011】

一般的に、導電層に銅箔を使用した場合の基板抵抗値は、次の式 (1) より求めることができる。

【0012】

【数 1】

$$R[\text{m}\Omega] = \frac{\rho \times l}{t \times w} \times 10 \dots (1)$$

【0013】

ここで、 l : 導体の長さ [mm] , w : 導体の幅 [mm] , t : 導体の厚み [mm] ,
: 銅の比抵抗 [μ cm] である。

【0014】

式 (1) より、銅箔の配線距離が長く、幅、厚みが小さい場合、電流経路における基板抵抗値が増加してしまうことがわかる。つまり、特許文献 1 ~ 3 に記載されている従来方式では、異電位の区間に設けられた絶縁距離の影響により、導電層の有効面積が減少するため、電流経路における基板抵抗値が増加してしまう。基板抵抗値が増加することで、基板配線内の導通損失が増加し、発熱による影響で電力変換装置の故障もしくは冷却装置の

10

20

30

40

50

大きさが増す等の問題が生じ、装置小型化の妨げになる。

【0015】

また、導電層に銅箔を使用した場合の寄生インダクタンスは、次の式(2)より求めることができる。

【0016】

【数2】

$$L[\text{nH}] = 0.2 \times l \times \left(\ln \frac{2 \times l}{w + t} + 0.2235 \times \frac{w + t}{l} + 0.5 \right) \dots (2)$$

10

【0017】

ここで、 l : 導体の長さ [mm] , w : 導体の幅 [mm] , t : 導体の厚み [mm] である。

【0018】

式(2)より、寄生インダクタンスの大きさは、配線距離 l が支配的であることがわかる。つまり、導電層の面積が減少したことにより、電流経路が迂回するなどして配線距離が長くなった場合、寄生インダクタンスが増加してしまうことがわかる。寄生インダクタンスが増加することで、パワー半導体デバイスのターンオフ時に発生するサージ電圧が、パワー半導体デバイスの耐圧を超えてしまう問題が生じる。

【0019】

20

また、特許文献3に記載されている直流コンデンサといった電子部品は、表面実装端子形の電子部品を用いている。表面実装端子で素子と多層基板の導電層を接続する場合、異なる導電層を接続し、全ての導電層を貫通はしないインナビアを用いれば端子接続用のスルーホールが不要となり、基板表面層の導体面積を確保することができる。ただし、基板上に表面実装端子を接続するためのパッド(台座)を設ける必要がある。

【0020】

表面実装端子において接続しない導体層との間の絶縁距離は、パッドを含め確保する必要があり、リード端子による接続の場合と比べると基板面積を圧迫し、回路基板を小型にすることは難しい。さらに、容量増加による影響で素子サイズが大きくなった場合、素子の重量も増大し、表面実装で基板と素子を接続するには接合強度に限界があるため、信頼性に問題が生ずる場合がある。

30

【課題を解決するための手段】

【0021】

上記の課題を解決するべく、本発明は、電子部品の端子に表面実装端子とリード端子の両方の形状の端子を用いることにより、多層基板の全層貫通のスルーホールを減らし、貫通する導電層との間の絶縁距離を減らして導電層の導体幅を確保することで、基板温度上昇を抑制し、基板抵抗値と寄生インダクタンスを低減した多層基板回路構造を実現した。これにより、新世代のパワー半導体デバイス的高速スイッチング性能を十分発揮した、小型の電力変換装置を提供することができる。

【0022】

40

電子部品の素子端子の一部を表面実装端子、残りをリード端子とし、多層基板の導電層の一方の電位側を表面実装端子、他方の電位側をリード端子に接続することで、多層基板に接続する際に生じる全層貫通スルーホールを減少させ、電子部品の電流経路の基板抵抗値、寄生インダクタンスの増加を防止することができる。

【0023】

また、電子部品にかかる機械的負荷に応じてリード端子を配置し、特に搭載する電子部品の重心位置に近い部分にリード端子を配置して、スルーホール接続することで接続の信頼性を向上することができる。

【0024】

さらに、リード端子しか有しない既存の電子部品の一部のリード端子を根本部分で切断

50

して、残部を折り曲げるなどして表面実装端子として構成して用いてもよい。

【0025】

本発明の一態様は、このような目的を達成するために、以下のような構成を備えることを特徴とする。

【0026】

(構成1)

パワー半導体デバイスと直流コンデンサで構成される直列一巡回路のパワー半導体デバイスと直流コンデンサとを接続するためのN層(Nは自然数)の絶縁層とN+1層の導電層を交互に積層した多層基板回路構造であって、

前記多層基板回路構造に実装される前記直流コンデンサが、一方の電位が接続される少なくとも一つのリード端子と他方の電位が接続される少なくとも一つの表面実装端子を有し、

前記表面実装端子が前記他方の電位が接続された1層目の前記導電層に設けられたパッド部に接続され、

前記リード端子が前記1層目の前記導電層と所定の絶縁距離を設けて形成されたスルービア部に挿入接続され、

前記スルービア部は前記一方の電位が接続されたN+1層目の前記導電層にまで貫通しており、

前記リード端子が前記N+1層目の前記導電層に接続されていることを特徴とする多層基板回路構造。

【0028】

(構成2)

前記表面実装端子は前記直流コンデンサのパッケージの基板面における外形の側に配置され、前記リード端子は前記直流コンデンサのパッケージの中心側に配置されることを特徴とする構成1に記載の多層基板回路構造。

【0029】

(構成3)

前記Nが3以上の整数であって、前記表面実装端子が接続される異なる導電層を接続し、全ての導電層を貫通はしないインナビアを有する

ことを特徴とする構成1および2に記載の多層基板回路構造。

【0030】

(構成4)

絶縁層に挟まれた導電層を貫通するビアにおいて絶縁距離を設ける場合は、絶縁距離の空間を絶縁体により充填して、充填する絶縁体の絶縁耐力の分だけ絶縁距離を短くしたことを特徴とする構成1ないし3のいずれか1項に記載の多層基板回路構造。

【0031】

(構成5)

前記絶縁距離を充填する絶縁体の構造は、加算的製造法により製造されることを特徴とする構成4に記載の多層基板回路構造の製造方法。

【0032】

(構成6)

接続端子がリード端子のみの直流コンデンサを用意して、一部のリード端子を根本部分で切断して残部を表面実装端子とする

ことを特徴とする構成1ないし4のいずれか1項に記載の多層基板回路構造の製造方法。

【発明の効果】

【0033】

以上記載したように、本発明の多層基板回路構造によれば、絶縁距離を減らして導電層の導体幅を確保することで、基板抵抗を低減し基板温度上昇を抑制し、寄生インダクタンスを低減した多層基板構造を実現することができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 3 4 】

【 図 1 】 本発明の多層基板回路構造にかかる電力変換装置の主回路部の構成図である。

【 図 2 】 本発明の多層基板回路構造にかかる電力変換装置の積層配線基板のレイアウト図である。

【 図 3 】 本発明の実施例 1 の多層基板回路構造のレイアウト図である。

【 図 4 】 実施例 1 の多層基板回路構造の 1 層目の導電層の銅箔パターンの平面図である。

【 図 5 】 実施例 1 の多層基板回路構造の 2 層目の導電層の銅箔パターンの平面図である。

【 図 6 】 実施例 1 の多層基板回路構造の基板断面図である。

【 図 7 】 比較例となる従来例の導電層の銅箔パターンの平面図である。

【 図 8 】 本発明の実施例 2 の多層基板回路構造の導電層の銅箔パターンの平面図である。 10

【 図 9 】 本発明の実施例 3 の多層基板回路構造の導電層の銅箔パターンの平面図である。

【 図 1 0 】 本発明の実施例 3 の多層基板回路構造の基板断面図である。

【 図 1 1 】 本発明の実施例 4 の多層基板回路構造の導電層の銅箔パターンの平面図である。

【 図 1 2 】 本発明の実施例 4 の多層基板回路構造の基板断面図である。

【 発明を実施するための最良の形態 】

【 0 0 3 5 】

[実施例 1]

図 1 は、実施例 1 にかかわる電力変換装置の主回路部の構成図である。本電力変換装置は、直流電源 a の出力端子 P , N より供給される直流電力を、3 相交流電力に変換し、端子 u , v , w より三相交流負荷 b に出力供給するインバータを電力回路装置の例として記載している。 20

【 0 0 3 6 】

図 1 中央の主回路部は、直流電源 a の出力端子 P , N に接続された直流コンデンサ C (ここでは端子数が 2 のもの)と、パワー半導体デバイス (ここでは 2 i n 1 モジュール M 1、M 2、M 3) を搭載した多層基板である積層配線基板 1 で構成される。

【 0 0 3 7 】

図 1 左の直流コンデンサ C を搭載する回路部分 (図 1 の P 4 ~ N 4 の点線部分) は、主回路部の積層配線基板 1 の上に搭載された別の多層基板回路構造 2 (コンデンサ回路基板) として構成されている。もちろん、コンデンサ回路基板 2 と積層配線基板 1 を全体として一体 (一枚) の、多層基板回路構造として形成することもできる。 30

【 0 0 3 8 】

パワー半導体デバイスの高速 / 低損失なスイッチング特性を最大限に発揮するには、直流コンデンサとパワー半導体モジュール、および多層基板で形成する、電流の直列一巡回路の寄生インダクタンスをなるべく小さく抑えて、パワー半導体モジュールのターンオフ動作時のサージ電圧がパワー半導体デバイスの規定値を超えないように小さく抑える必要がある。

【 0 0 3 9 】

ここで、多層基板回路構造 2 において、直流コンデンサ C の P 側の電位が接続された導電層と、直流コンデンサ C の N 側の電位が接続された導電層を複数層で形成し交互に積層させて、なるべく大きい面積を近接させる。このようにすることで、発生磁界がキャンセルされ、積層配線基板に寄生する直流一巡インダクタンスを小さくすることができる。多層基板回路構造は、一般に N 層 (N は自然数) の絶縁層と N + 1 層の導電層を交互に積層した多層基板とすることができる。 40

【 0 0 4 0 】

図 2 には、主回路における積層配線基板 1 のレイアウト図 (上面図) を示す。積層配線基板 1 には主回路の部品を取り付けるために、スルーホール (端子) P , P 1 ~ P 4、N , N 1 ~ N 4、O 1 ~ O 3、U , V , W が設けられている。図 2 の基板右端の O で囲まれた P , N の部分は、図 1 の直流電源 a の P , N の端子部分にあたる。図 2 の基板下側の O で囲まれた U , V , W の部分は、図 1 の三相交流負荷 b の端子部分 u , v , w にあたり、スルーホールとして形成され、例えばねじ止めによりケーブルや他の端子に電氣的に接続 50

されている。

【0041】

図3には、本発明の多層基板回路構造の実施例1として、直流コンデンサCを含む直流コンデンサ回路における多層基板回路構造2（コンデンサ回路基板）のレイアウト図（概略上面図）を示す。図3のコンデンサ回路基板2の上端の突出部分P4、N4は、図2のP4、N4に対応し、例えばコネクタのような接続部に挿入接続される構造である。コンデンサ回路基板2は図示しない直流コンデンサCを載置した状態で、図2の主回路の積層配線基板1の上に互いに垂直または平行な方向で設置されている。図3のコンデンサ回路基板2に直流コンデンサCを取り付けるために、コンデンサ回路基板2にはパッドP5、スルーホールN5が設けられており、これは図1の回路図のP5、N5に対応している。

10

【0042】

多層基板回路構造の導電層に用いられる材料はいくつか種類があるが、ここでは一般的に使用される銅箔とする。導電層の層数ならびに厚みは、電力変換装置の電流容量と許容温度上昇幅を考慮して設計する。流通量が多く安価な銅箔の厚みは70 μ m程度までであるため、電力変換装置の電流容量が大きい場合は、適宜、層数を増やす必要がある。

【0043】

多層基板回路構造の絶縁層に用いられる材料は、絶縁性の材料であれば特に限定はないが、通常のプリント基板のようなフェノール樹脂、エポキシ樹脂などの樹脂ほか、セラミックのような無機系の絶縁材料で構成されてもよい。

【0044】

図4には、実施例1の多層基板回路構造2（コンデンサ回路基板）における1層目の導電層15の銅箔パターンの平面図を示す。多層基板回路構造2の直流コンデンサCは、一方が表面実装端子、他方がリード端子の2端子の電子部品であるため、図4の基板には表面実装端子用のパッドP5とリード端子用のスルーホール（スルービア、全層貫通）N5が設けられている。ここでは、P電位側を表面実装端子、N電位側をリード端子としているが、P電位側をリード端子、N電位側を表面実装端子としてもよい。

20

【0045】

スルーホールN5は1層目の導電層とは接続されず、絶縁層を貫通して2層目の導電層のN電位と接続される。このため、図4の一層目の銅箔パターンでは、スルーホールN5と周囲の導電層との間には、印加される電圧に応じた所定の距離で導電体を配置しない絶縁距離Dが設けられている。スルーホールN5は通常の貫通穴（ビア、Via）として形成され、例えば穴の内壁面を導電メッキしてもよく、層間の電氣的接続を構成することができ、挿入されたリード端子と半田付けなどで接続されてもよい。

30

【0046】

図4の導電層の銅箔パターンの上辺の、主回路部の積層配線基板1（図2）との接続領域であるP電位側領域P4とN電位側領域N4の導電層との間にも、N電位側領域N4をL字型に囲む形で絶縁距離Lが設けられている。

【0047】

図5には、実施例1の多層基板回路構造2（コンデンサ回路基板）における2層目の導電層17の銅箔パターンの平面図を示す。2層目の導電層では、表面実装端子取り付け用のパッドP5に対応する構造はなく、リード端子のスルーホールN5のみが貫通ビアとして設けられている。また、スルーホールN5は2層目の導電層のN電位とリード端子を接続するため、スルーホールN5の周囲には絶縁距離を設けておらず、直接2層目の導電層17に電氣的に接続されている。

40

【0048】

図5の導電層の銅箔パターンの上辺の、主回路積層配線基板1（図2）との接続領域となるP電位側領域P4とN電位側領域N4の間にも、P電位側領域P4をL字型に囲む形で絶縁距離Lが設けられている。

【0049】

図6には、実施例1の多層基板回路構造（コンデンサ回路基板）のパッドP5とスルー

50

ビアN5を結ぶ断面における基板断面図を示す。図6の積層配線基板は、1層目の導電層15(図4)と2層目の導電層17(図5)との間に絶縁層16を挟む3層構造の、いわゆる両面配線基板で構成されている。Nを自然数としてN層の絶縁層とN+1層の導電層を交互に積層した多層基板回路構造における、N=1の場合の構造である。

【0050】

電子部品である直流コンデンサCの表面実装端子11は、パッド13(図4のP5)を介して1層目の導電層15(図4)の銅箔とP電位で接続され、リード端子12はスルーホール14(図4のN5)を介して2層目の導電層17(図5)の銅箔とN電位で接続されている。

【0051】

図6の基板断面図より判るように、直流コンデンサCの表面実装端子11は前記電子部品のパッケージの基板面における外形の側に配置され、リード端子12は電子部品である直流コンデンサCのパッケージの中心側に配置されており、スルーホール14(N5)に挿入されて多層基板の2層目の導電層17にまで貫通して電氣的に接続されている。

【0052】

従来のような素子端子の形状がリード端子のみの直流コンデンサを用いると、P電位側にもスルーホールを設ける必要があり、その場合、2層目の銅箔部分にも絶縁距離を設ける必要が生ずる。絶縁距離を設けることで、基板の導電層部分の面積が減少し、基板抵抗値を増加させる原因となる。また、素子端子の形状が2つとも表面実装端子である直流コンデンサを用いると、1層目の絶縁距離をパッドのサイズを含めて確保する必要があり、スルーホールと比べ、銅箔部分の面積が減少してしまう。

【0053】

これに対し図4~6の実施例1によれば、P電位と接続される端子が表面実装端子であるため、1層目の銅箔部分をパッド部分を含めて広く確保でき、2層目には絶縁距離を設ける必要がない。さらに、N電位側に接続される端子がスルーホールであることから、2層目の銅箔部分を広く確保することができ、基板抵抗値の増加を抑制することが可能である。

【0054】

また、図6のようにコンデンサCのリード端子12は、パッケージの中心側(より電子部品の重心位置に近い部分)に配置され、スルーホール14(N5)に挿入接続されて2層目の導電層17にまで貫通して、はんだなどにより電氣的に接続されているので、機械的な接続強度も高くでき、信頼性の高い接続を実現することができる。

【0055】

実施例1では、電力回路装置の電力変換回路として3相2レベルインバータの場合の直流コンデンサ回路を例に示したが、直流コンデンサとパワー半導体デバイス、多層基板で構成される他の電力変換回路方式(例えばAC/DC変換器やDC/DC変換器など)でも同様の構成を適用できる。また、実施例1では、多層基板として導電層2層、絶縁層1層の3層構造のいわゆる両面配線基板を例に示したが、積層数が増加した多層基板においても、同様に本発明が適用でき、基板抵抗値と寄生インダクタンスの低減効果が期待できる。

【0056】

[実施例2]

図7(a),(b)は、本発明の実施例2の比較例となる従来例の導電層の銅箔パターンを示す図である。図7の従来例では、電子部品として直流コンデンサの端子がリード端子のみで構成され、リード端子数が6のもの(例えばTDK B58033、図7(a)では点線にてコンデンサパッケージの基板面における外形を示す)を2つ並列で用いた場合の、コンデンサ回路基板の導電層の銅箔パターンを示している。(実施例1の図4,5に対応)

【0057】

この図7の従来方式では、直流コンデンサのリード端子を接続するために全層貫通のスルーホールP5~P12、N5~N8が設けられている。図7の従来方式では、P電位側の端子が全層貫通のスルーホールによって取り付けられているため、図7(b)に示す2

10

20

30

40

50

層目のN電位の銅箔パターンでは、スルーホールP5～P12の周囲に絶縁距離が設けられており、これによりコンデンサの充放電電流の経路が制限されていることがわかる。また、矢印で示す電流の流れは放電時を示しており、充電時の場合、電流の向きが逆となる。

【0058】

図7の従来例に示すように、従来方式であるリード端子のみの電子部品素子を用いた場合、2層目にも絶縁距離が必要となるため、配線抵抗の増加と寄生インダクタンスの増加が顕著となる。

【0059】

例えば、図7(a)のような直流コンデンサの端子配置の場合、2層目の銅箔パターンに絶縁距離が設けられることによって、P電位から主回路を介してN電位に流れる電流経路が制限されて迂回していることがわかる。そのため、基板抵抗値、寄生インダクタンスが増加してしまう問題が生じている。

10

【0060】

また、例として直流コンデンサTDK B58033を示したが、より端子数が多く、複雑な端子配置の電子部品素子や、基板上に複数の直流コンデンサを配置する場合には、小型化する上で問題がより一層深刻に生じることとなる。

【0061】

図8は、本発明の実施例2として、P電位側に4つの表面実装端子を有し、N電位側に2つのリード端子を有し、1つの直流コンデンサの端子数が計6のものを2つ並列で用いた場合の、コンデンサ回路基板の導電層の銅箔パターンを示している。図8(a)で点線にて示すコンデンサパッケージの基板面における外形は、従来例の図7(a)と同じである。

20

【0062】

図8(a)に示す実施例2では、図7の従来例と異なり、P電位側には直流コンデンサの表面実装端子を接続するための8つのパッドP5～P12と、4つのリード端子を接続するためのスルーホールN5～N8が設けられている。

【0063】

それぞれの直流コンデンサにおいて、表面実装端子はコンデンサパッケージの基板面における外形の側に配置し、リード端子は表面実装端子に挟まれてコンデンサパッケージの中心側に配置されているため、機械的な強度を確保して信頼性を高くすることができている。

30

【0064】

また、このような電子部品の製造方法としては、それぞれの直流コンデンサにおいて、接続端子がリード端子のみの従来型の部品を用意して、一部のリード端子、特に望ましくはコンデンサパッケージの基板面における外形の側に位置するリード端子を根本部分で切断して、リード端子の根本の残部を折り曲げるなどして表面実装端子とすることもできる。

【0065】

図8(a)に示すように、実施例2ではP電位側の表面実装端子がパッドP5～12によって取り付けられているため、図8(b)の2層目のN電位の銅箔パターンには絶縁距離が全く設けられておらず、非常にスムーズな電流経路となっていることがわかる。図8(a)の1層目のP電位の銅箔パターンにおいても、表面実装端子のパッドP5～12自体は導電性の構造であるため、充放電電流の経路の妨げとはなっていない。

40

【0066】

図8で矢印で示す電流の流れは放電時を流れを示しており、充電時の場合には電流の向きが逆となる。特に図8(b)に示すように、2層目の銅箔パターンでは電流経路が幅広くスムーズになっており、基板抵抗値、寄生インダクタンスを大幅に抑えることが可能になっていることが判る。

【0067】

このように本発明では、両面基板において2層目に絶縁距離を設ける必要がなく、2層目の銅箔面積を広く確保することができ、電流の流れを害することなく電流経路を形成す

50

ることができる。そのため、従来技術と比べ、基板抵抗値と寄生インダクタンスを低減することが可能である。

【0068】

実施例1、2では、電力回路装置として3相2レベルインバータの場合の直流コンデンサ回路を例に示したが、直流コンデンサとパワー半導体デバイス、多層基板で構成される他の電力変換回路方式(例えばAC/DC変換器やDC/DC変換器など)でも同様に本発明を適用できる。また、実施例2では、多層基板として導電層2層、絶縁層1層の構造のいわゆる両面基板を例に示したが、積層数が増加した多層基板においても同様に本発明が適用でき、基板抵抗値と寄生インダクタンスの低減効果が期待できる。

【0069】

[実施例3]

図9(a)~(d)は、本発明の実施例3となる多層基板回路構造(コンデンサ回路基板)の4つの導電層の銅箔パターンを示す平面図である。図10は、図9の패드P5とスルービアN5を結ぶ断面における実施例3の基板断面図であり、電子部品(コンデンサC)に近い上から順に4つの導電層9a~dが、図9(a)~(d)の銅箔パターンにあたる。

【0070】

図10の基板断面図に示すように実施例3は、多層基板構造として3層の絶縁層16a~cを4層の導電層9a~dで交互に挟んだ、計7層の多層基板の例である。Nを自然数としてN層の絶縁層とN+1層の導電層を交互に積層した多層基板回路構造における、N=3の場合の構造である。

【0071】

例示的に実施例1と同様の表面実装端子とリード端子が各1つの電子部品、例えばセラミックコンデンサCが実装された例を示すが、これに限定されるものではなく、実施形態2のような端子の配置や製造方法を適用することもできる。

【0072】

図9(a)は、実施例3の多層基板構造の最上層である導電層の1層目の銅箔パターン9aを示し、実質的に実施例1の図4と同じパターンである。

【0073】

実施例3の図9(a)の1層目の銅箔パターン9aは、패드P5により電子部品の表面実装端子11と接続されてP電位とされており、N電位側の電子部品のリード端子12はスルービアN5に挿入され、1層目の銅箔パターン9aとの間には絶縁距離D1が設けられている。

【0074】

実施例3の図9(a)では、実施例1の図4の銅箔パターン同様に、主回路積層配線基板(図2)との接続領域であるP電位側領域P4とN電位側領域N4の間には、N電位側領域N4をL字型に囲む形で絶縁距離L1が設けられている。

【0075】

図9(b)は、実施例3の導電層の2層目の銅箔パターン9bを示し、導電層の2層目の銅箔パターン9bは、全ての導電層を貫通はしない(中間の一部の導電層、絶縁層は貫通してもよい)インナビアP6(図10)によって、1層目の銅箔パターン9a、패드P5および電子部品の表面実装端子11と接続されてP電位とされている。導電層の2層目の銅箔パターン9bは、スルービアN5との間には絶縁距離D2を有しており、電気的には接続されていない。

【0076】

(絶縁距離の構造とその製造方法)

ただし、実施例3の図9(b)の2層目の銅箔パターン9bは、図10の絶縁層16aと16bに挟まれた中間層となる導電層であるため、スルービアN5との間の絶縁距離D2の空間を絶縁耐力(絶縁破壊を起こすことなく材料に印加できる最大の電界強度)に優れた絶縁体で充填することができる。

10

20

30

40

50

【 0 0 7 7 】

この場合スルービアN5の周囲の絶縁距離D2は、充填する絶縁体の絶縁耐力の分だけ、導電層の1層目の銅箔パターンにおける絶縁距離D1よりもはるかに短くすることができる。絶縁距離の空間を充填する絶縁体は、多層基板の絶縁層を構成する絶縁材料と同じものであってもよい。このような絶縁距離の構造とすることで絶縁距離を短縮し、電流が流れる導電層の面積を広げて電流経路の制約を少なくでき、基板抵抗値や寄生インダクタンスを低減できる。

【 0 0 7 8 】

この中間層の導電層においてスルービアとの間の絶縁距離の空間を充填する絶縁体は、多層基板の製造工程において、中間層の導電層を積層するときスルービアを絶縁距離D2を取って穿孔した後に充填することができる。絶縁距離の空間を充填する絶縁体が、多層基板の絶縁層を構成する絶縁材料である場合には、中間層の導電層の上の絶縁層を積層する際に一緒に充填してもよい。P電位側領域P4とN電位側領域N4の間の、N電位側領域N4をL字型に囲む絶縁距離L2についても同様である。

10

【 0 0 7 9 】

スルービア、インナビアに限らず、このような絶縁層に挟まれた中間層となる導電層を貫通するビアにおいて、絶縁距離の空間を設け絶縁体を充填する必要性は、N = 2以上の多層基板構造の場合において生ずる。

【 0 0 8 0 】

上述のような従来型の製造方法では、多層基板形成後に穿孔のような加工の工程数が増加して工程が複雑化するが、いわゆる3次元プリンタのように材料の付加(加算)のみで製造するアディティブ・マニファクチャリング(加算的製造法、付加製造、AM)で製造することにより、工程を簡素化することもできる。

20

【 0 0 8 1 】

この加算的製造法では、例えば下層より順次1層分ずつ、導電性材料、絶縁性材料を所望のパターンで配置し、ビア周りの導電層との間の絶縁距離を絶縁体で充填した状態で、ビアの位置を揃えて積層して反復して形成し、多層基板構造を一挙に製造することもできる。貫通穴としてのビアは、積層後に穿孔して纏めて形成してもよい。

【 0 0 8 2 】

あるいはまた別の製造方法として、導電層と絶縁層の2層構造の基板(片面配線基板)を、導電層の絶縁距離を絶縁体で充填したパターンで従来型の製造方法により複数製造しておき、最後に最下層または最上層となる3層構造の両面配線基板とともにビアの位置を揃えて積層して、あるいは積層後にまとめて穿孔してビアを形成して製造することもできる。

30

【 0 0 8 3 】

図9(c)は、実施例3の導電層の3層目の銅箔パターン9cを示し、導電層の3層目はスルービアN5によって電子部品のリード端子12(図10)と接続されて大部分がN電位とされている。3層目の銅箔パターン9cも、絶縁層に挟まれた中間層であるため、絶縁距離の空間を絶縁体で充填することができ、P電位側領域P4とN電位側領域N4の間の、P電位側領域P4をL字型に囲む絶縁距離L2を絶縁体の絶縁耐力の分だけ短くすることができる。

40

【 0 0 8 4 】

図9(d)は、実施例3の多層基板構造の最下層である導電層の4層目の銅箔パターン9dを示し、スルービアN5によって導電層の3層目の銅箔パターン9cおよび電子部品のリード端子12と接続されて大部分がN電位とされている。図9(d)のP電位側領域P4をL字型に囲む絶縁距離は、図9(a)の1層目の銅箔パターンにおいてN4をL字型に囲む絶縁距離L1と同様の幅であるが、ともに多層基板の形成途中あるいは形成後に絶縁距離の空間に絶縁材料を充填・塗布するなどして、絶縁体を配置して短くすることもできる。

【 0 0 8 5 】

50

以上の実施例 3 の接続構造により、導電層の銅箔パターンは 1 層目から順に主に、P 電位、P 電位、N 電位、N 電位となっており、1 層目と 2 層目にインナビアを設ける必要はあるが、P 側の端子形状が表面実装のため、N 電位側の導電層 9 c , 9 d には絶縁距離部が不必要となり、インナビアの打ち込み位置の自由度が増加するため、全体として従来に比べて絶縁距離を減らし寄生インダクタンスを低減することができる。

【 0 0 8 6 】

[実施例 4]

図 1 1 (a) ~ (d) は、本発明の実施例 4 となる多層基板回路構造 (コンデンサ回路基板) の 4 つの導電層の銅箔パターンを示す平面図である。図 1 2 は、図 1 1 のパッド P 5 とスルービア N 5 を結ぶ断面における実施例 4 の基板断面図であり、上から順に 4 つの導電層 1 1 a ~ d が、図 1 1 (a) ~ (d) の銅箔パターンである。

10

【 0 0 8 7 】

図 1 2 に示すように実施例 4 は実施例 3 と同様、多層基板構造として 3 層の絶縁層 1 6 a ~ c を 4 層の導電層 1 1 a ~ d で交互に積層した、計 7 層の多層基板の例 (N = 3 の場合) である。例示的に表面実装端子とリード端子が各 1 つの電子部品、例えばセラミックコンデンサ C が実装された例を示すが、これに限定されるものではなく、実施形態 2 のような端子の配置や実施形態 3 のような製造方法を適用できることも同様である。

【 0 0 8 8 】

図 1 1 (a) は、実施例 4 の多層基板構造の最上層である導電層の 1 層目の銅箔パターン 1 1 a を示し、実質的に実施例 1 の図 4 あるいは実施例 3 の図 9 (a) と同じパターンである。

20

【 0 0 8 9 】

実施例 4 の 1 層目の銅箔パターン 1 1 a は、パッド P 5 により電子部品の表面実装端子 1 1 と接続されて P 電位とされており、電子部品の N 電位側のリード端子 1 2 はスルービア N 5 に挿入され、1 層目の銅箔パターン 1 1 a との間には絶縁距離 D 1 がとられている。

【 0 0 9 0 】

実施例 4 の図 1 1 (a) では、実施例 1 の図 4 の銅箔パターンと同様に、主回路積層配線基板 1 (図 2) との接続領域である P 電位側領域 P 4 と N 電位側領域 N 4 の間には、N 電位側領域 N 4 を L 字型に囲む形で絶縁距離 L 1 が設けられている。

【 0 0 9 1 】

30

図 1 1 (b) は、実施例 4 の導電層の 2 層目の銅箔パターン 1 1 b を示し、導電層の 2 層目の銅箔パターン 1 1 b はスルービア N 5 によって電子部品のリード端子 1 2 と接続されて N 電位とされている。導電層の 2 層目の銅箔パターン 1 1 b は、インナビア P 6 との間に絶縁距離 D 3 を有しており接続されていない。

【 0 0 9 2 】

ただし、図 1 1 (b) の 2 層目の銅箔パターン 1 1 b は、絶縁層に挟まれた中間層であるため、インナビア P 6 との間の絶縁距離 D 3 の空間を絶縁体で充填することができ、インナビア P 6 の周囲の絶縁距離 D 3 は、充填する絶縁体の絶縁耐力の分だけ、導電層の 1 層目の銅箔パターンにおける絶縁距離 D 1 よりもはるかに短くすることができる。

【 0 0 9 3 】

40

この中間層の導電層におけるインナビアとの間の絶縁距離 D 3 の空間を充填する絶縁体は、多層基板の製造工程において、中間層の導電層を積層するときにインナビアを絶縁距離 D 3 を取って穿孔した後に充填することができる。P 電位側領域 P 4 と N 電位側領域 N 4 の間の、P 電位側領域 P 4 を L 字型に囲む絶縁距離 L 2 についても同様である。加算的製造法ほかによる製造方法についても、実施例 3 と同様である。

【 0 0 9 4 】

図 1 1 (c) は、実施例 4 の導電層の 3 層目の銅箔パターン 1 1 c を示し、インナビア P 6 によって導電層の 1 層目の銅箔パターン 1 1 a 、パッド P 5 および電子部品の表面実装端子 1 1 と接続されて大部分が P 電位とされている。3 層目の銅箔パターン 1 1 c も、絶縁層に挟まれた中間層となる導電層であるため、P 電位側領域 P 4 と N 電位側領域 N 4

50

の間の、N 電位側領域 N 4 を L 字型に囲む絶縁距離 L 2 も、充填する絶縁体の絶縁耐力の分だけ短くすることができる。スルービア N 5 の周囲の絶縁距離 D 2 も同様である。

【 0 0 9 5 】

図 1 1 (d) は、実施例 4 の多層基板構造の最下層である導電層の 4 層目の銅箔パターン 1 1 d を示し、スルービア N 5 によって導電層の 2 層目の銅箔パターン 1 1 b および電子部品のリード端子 1 2 と接続されて大部分が N 電位とされている。P 電位側領域 P 4 を L 字型に囲む絶縁距離は図 1 1 (a) の 1 層目の銅箔パターンで N 4 を囲む絶縁距離の幅と同様であるが、多層基板の形成後に絶縁距離の空間に絶縁材料を塗布するなどして、絶縁体で充填して絶縁距離を短くすることもできる。

【 0 0 9 6 】

以上の実施例 4 の接続構造により、導電層の銅箔パターンは 1 層目から順に主に、P 電位、N 電位、P 電位、N 電位となっており、直流コンデンサ C の P 側の電位が接続された導電層と、直流コンデンサ C の N 側の電位が接続された導電層を交互に積層して、なるべく大きい面積を近接させることで、スイッチング電流の往路と復路が多層基板の中で交互に積層され発生磁界がキャンセルされ、積層配線基板に寄生する直流一巡インダクタンスを小さくすることができる。

【 0 0 9 7 】

実施例 4 では実施例 3 の構造と比較した場合、2 層目のインナビアに絶縁部を設け、3 層目にの スルービアにも絶縁部を設ける必要があり、実施例 3 の構造よりも絶縁部の数は多いが、すべてリード端子の実装よりも、絶縁距離を減らし寄生インダクタンスを低減することができる。

【 産業上の利用可能性 】

【 0 0 9 8 】

以上のように本発明の多層基板構造としては、実施例 1 , 2 のような導電層 2 層、絶縁層 1 層の 3 層構造のいわゆる両面基板に限らず、実施例 3 , 4 のような 3 層の絶縁層を 4 層の導電層で交互に挟んだ、計 7 層の多層基板とすることもできる。

【 0 0 9 9 】

多層配線基板としては一般に N 層 (N は自然数) の絶縁層と N + 1 層の導電層を交互に積層した多層基板とすることができ、その際に各導電層の間にインナビア、スルービア等を配置して各導電層にかかる電位の配分も変えることもできる。これにより、各導電層における絶縁距離を最適化して低減し、基板抵抗値と寄生インダクタンスを低減することが可能となり、基板温度上昇を抑制し、寄生インダクタンスを低減した多層基板構造を実現することができる。

【 符号の説明 】

【 0 1 0 0 】

- 1 積層配線基板
- 2 多層基板回路構造 (コンデンサ回路基板)
- a 直流電源
- b 三相交流負荷
- C 直流コンデンサ (電子部品)
- M 1、M 2、M 3 2 i n 1 モジュール
- P , P 1 ~ P 4、N , N 1 ~ N 4 , O 1 ~ O 3、U , V , W スルーホール (端子)
- 1 3 (P 5) パッド
- 1 4 (N 5) スルーホール (ビア)
- 1 1 表面実装端子
- 1 2 リード端子
- 1 5 , 1 7、9 a ~ 9 d、1 1 a ~ 1 1 d 導電層 (銅箔)
- 1 6、1 6 a ~ 1 6 c 絶縁層
- P 6 インナビア
- D、D 1、D 2、D 3、L、L 1、L 2 絶縁距離

10

20

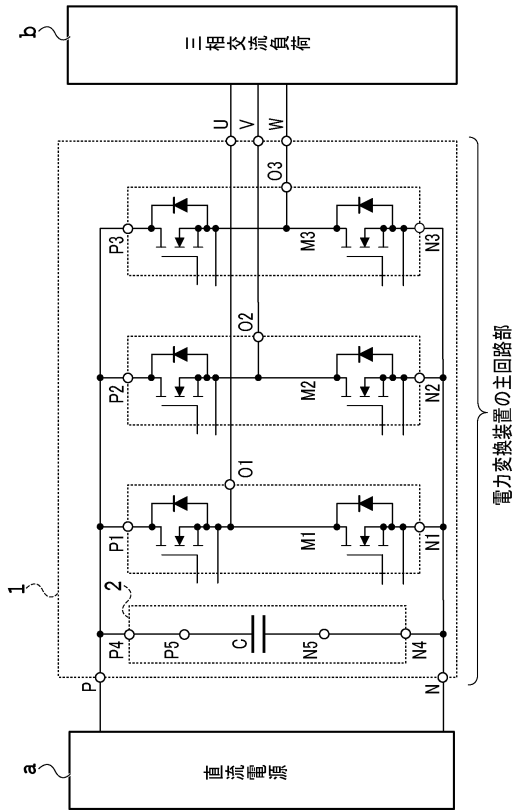
30

40

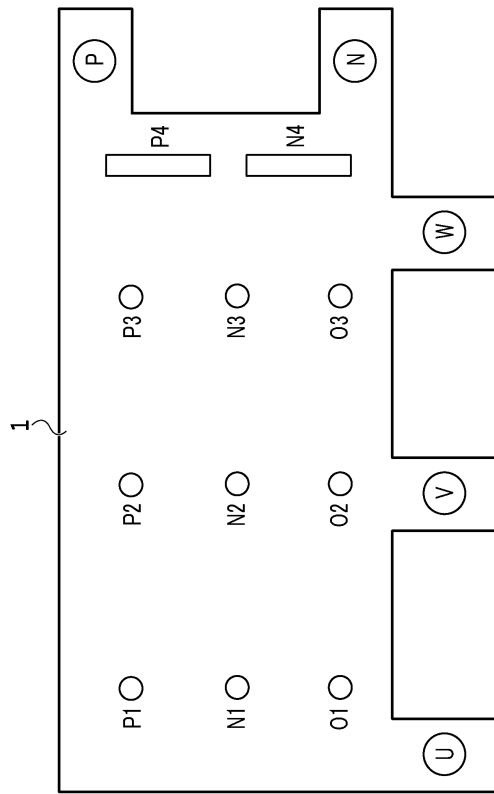
50

【図面】

【図 1】



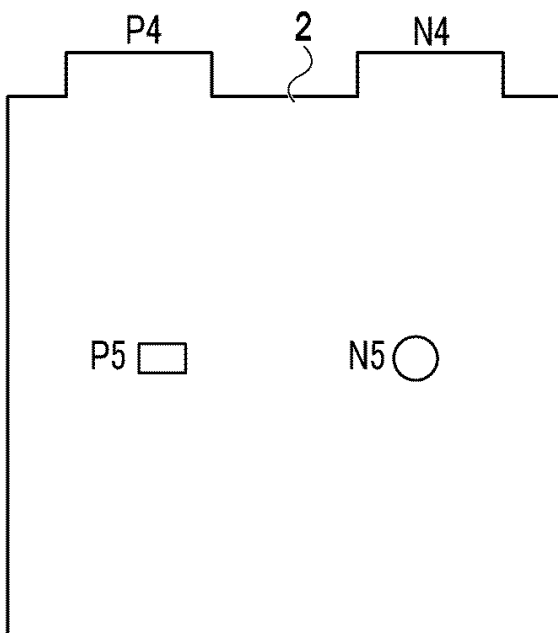
【図 2】



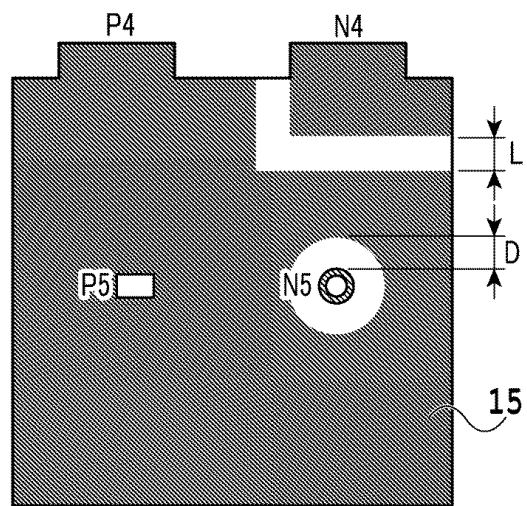
10

20

【図 3】



【図 4】



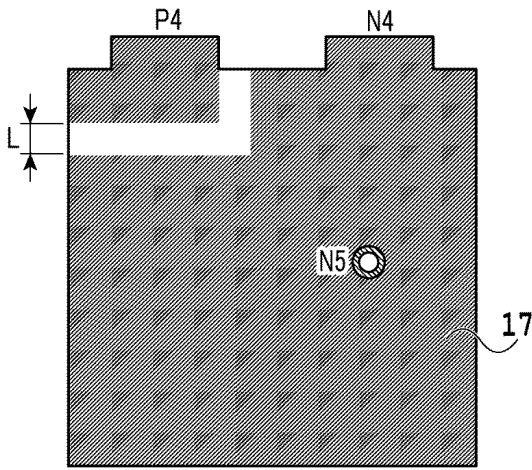
○スルーホール（全層貫通）
 □パッド（1層のみ）

30

40

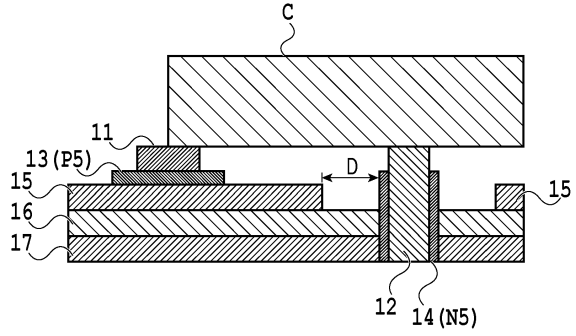
50

【図5】



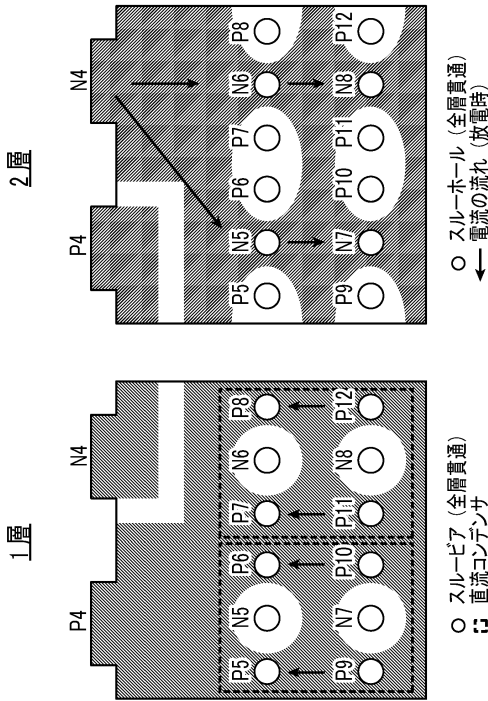
○スルーホール (全層貫通)

【図6】



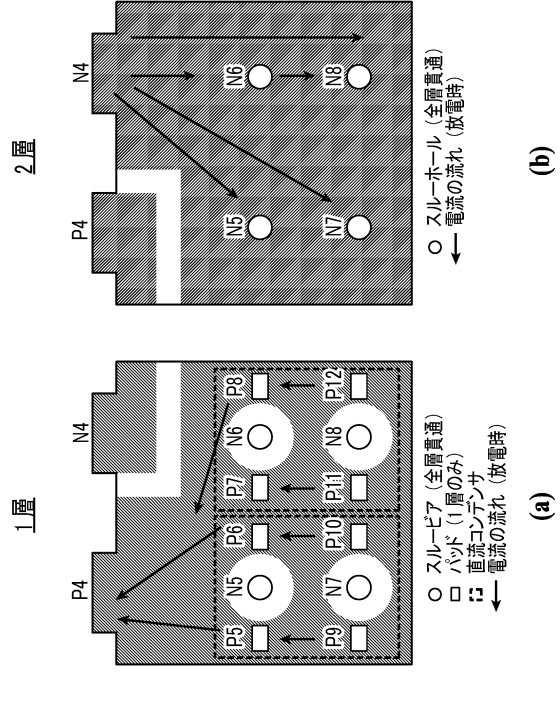
10

【図7】



(b)

【図8】



(a)

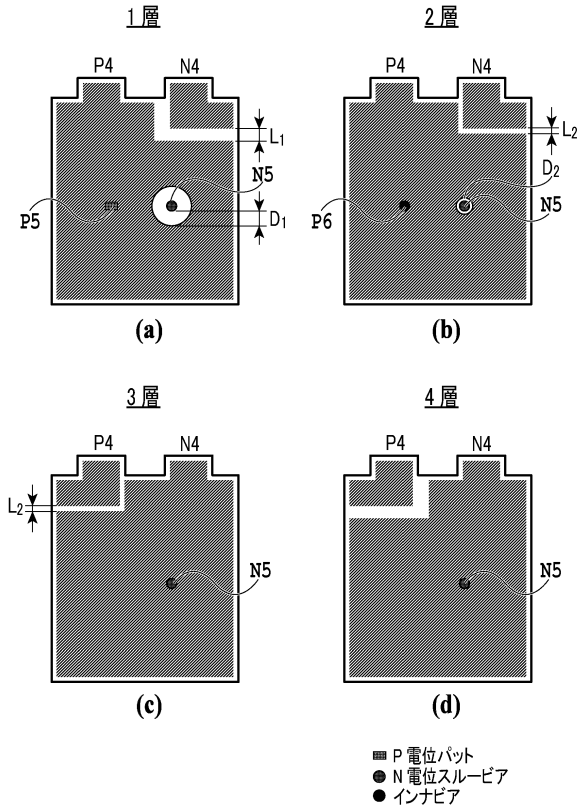
20

30

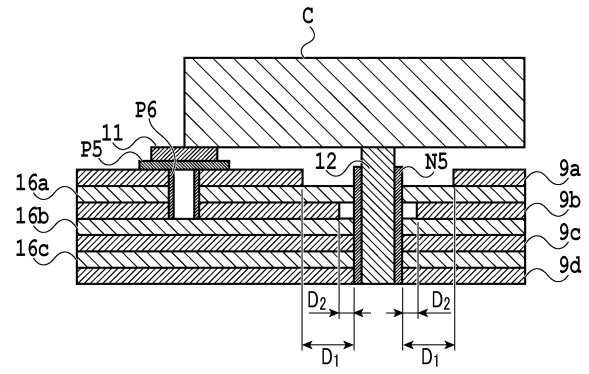
40

50

【図 9】



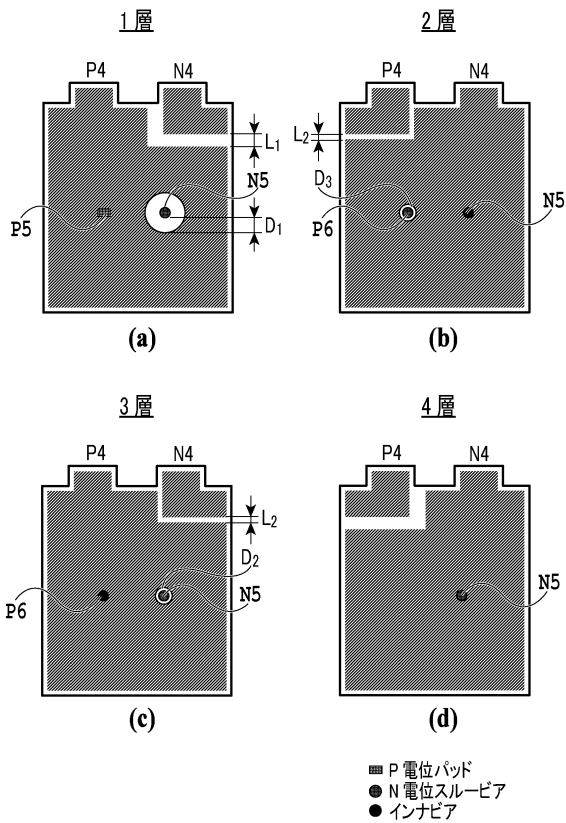
【図 10】



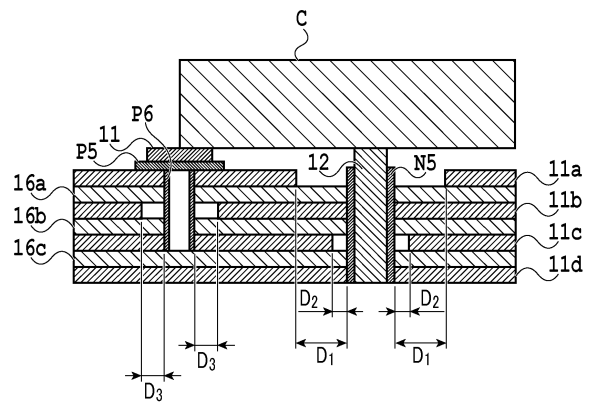
10

20

【図 11】



【図 12】



30

40

50

フロントページの続き

(51)国際特許分類

F I		
H 0 5 K	1/18	A
H 0 5 K	1/18	F
H 0 5 K	3/46	G
H 0 5 K	3/46	N

(56)参考文献

実開平 0 1 - 1 6 3 3 4 3 (J P , U)
米国特許第 0 4 5 3 0 0 0 2 (U S , A)
特開平 0 1 - 2 8 3 9 9 5 (J P , A)
米国特許出願公開第 2 0 0 4 / 0 2 2 6 7 4 2 (U S , A 1)
特開昭 5 5 - 1 6 6 9 9 5 (J P , A)
実開平 0 2 - 1 2 5 3 5 4 (J P , U)
特開 2 0 0 9 - 2 6 6 8 5 7 (J P , A)
特開 2 0 0 0 - 0 7 7 8 5 2 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 5 K 3 / 4 6
H 0 2 M 7 / 4 8
H 0 5 K 1 / 1 8
H 0 5 K 1 / 0 2
H 0 1 L 2 3 / 1 2