



(12) 发明专利

(10) 授权公告号 CN 101861625 B

(45) 授权公告日 2014. 04. 16

(21) 申请号 200880116106. 0

(22) 申请日 2008. 08. 26

(30) 优先权数据

2007-336237 2007. 12. 27 JP

(85) PCT国际申请进入国家阶段日

2010. 05. 14

(86) PCT国际申请的申请数据

PCT/JP2008/065176 2008. 08. 26

(87) PCT国际申请的公布数据

W02009/084271 JA 2009. 07. 09

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 横山真 古田成 村上祐一郎

佐佐木宁

(74) 专利代理机构 北京市隆安律师事务所

11323

代理人 权鲜枝

(51) Int. Cl.

G11C 19/00(2006. 01)

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

(56) 对比文件

JP 平 4-145721 A, 1992. 05. 19, 说明书实施例、附图 1.

JP 平 4-145721 A, 1992. 05. 19, 说明书实施例、附图 1.

W0 2006/013542 A2, 2006. 02. 09, 附图 1, 4 以及说明书相应文字部分 .

JP 平 4-30398 A, 1992. 02. 03, 全文 .

CN 1661654 A, 2005. 08. 31, 全文 .

审查员 李元

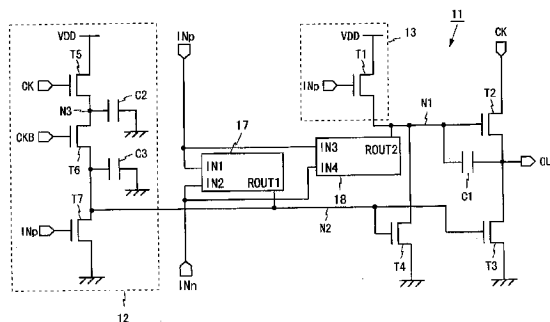
权利要求书3页 说明书18页 附图16页

(54) 发明名称

移位寄存器

(57) 摘要

本发明的目的是在包括级联连接的多个单元电路的移位寄存器中,即使多个单元电路同时导通而输出高电平的输出信号,也能使所有单元电路瞬间复原到通常动作。当由于移位寄存器 10 进行误动作,从前级单元电路 11 和后级单元电路 11 施加的输出信号同时成为高电平时,单元电路 11 所内置的误动作复原电路 17、18 检测出误动作。误动作复原电路 17 对节点 N2 施加高电压而强制下拉输出信号 OUT。另外,误动作复原电路 18 使节点 N1 强制放电,释放电容 C1 所蓄积的电荷。其结果是:能够使进行误动作的移位寄存器 10 瞬间复原到通常动作。本发明应用于显示装置、摄像装置的驱动电路等。



CN 101861625 B

1. 一种移位寄存器,将包括相同导电型的晶体管的多个单元电路级联连接,根据多相的时钟信号进行动作,其特征在于:

上述单元电路具备:

误动作复原电路,其在检测出上述多个单元电路为激活时,输出激活的检测信号,使上述多个单元电路成非激活;

输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;

预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体管的控制端子施加导通电压;

放电电路,其对上述输出控制晶体管的上述控制端子施加截止电压;以及

输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子,

上述误动作复原电路在检测出从前方的上述单元电路的输出信号和后方的上述单元电路的输出信号中分别各选择一个的输出信号都为激活时,使上述放电电路成激活,对上述输出控制晶体管的上述控制端子施加截止电压,并且对上述输出复位晶体管的上述控制端子输出导通电压。

2. 根据权利要求1所述的移位寄存器,其特征在于:

上述单元电路还具备复位信号生成电路,其生成复位信号,所述复位信号通常是导通电平,当上述输入信号成为导通电平时变为截止电平,

上述复位信号生成电路包括:

第1晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号相同的时钟信号;

第2晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号不同的任一时钟信号,一方导通端子连接到上述第1晶体的另一方导通端子;以及

第3晶体管,其控制端子被施加上述输入信号,一方导通端子连接到上述第2晶体的另一方导通端子,另一方导通端子被施加截止电压,

上述第2晶体管和上述第3晶体的连接点与上述输出复位晶体的控制端子连接。

3. 一种移位寄存器,将包括相同导电型的晶体管的多个单元电路级联连接,根据多相的时钟信号进行动作,其特征在于:

具备:

检测电路,该检测电路在检测出上述多个单元电路为激活时,输出激活的检测信号,

上述单元电路具备:

复位信号生成电路,其生成复位信号,所述复位信号通常是导通电平,当上述输入信号成为导通电平时变为截止电平;

输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;

预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体管的控制端子施加导通电压;

放电电路,其对上述输出控制晶体管的上述控制端子施加截止电压;

输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子;以及

复原执行电路,其根据上述激活的检测信号使上述多个单元电路成非激活,

上述复位信号生成电路包括:

第 1 晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号相同的时钟信号;

第 2 晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号不同的任一时钟信号,一方导通端子连接到上述第 1 晶体管的另一方导通端子;以及

第 3 晶体管,其控制端子被施加上述输入信号,一方导通端子连接到上述第 2 晶体管的另一方导通端子,另一方导通端子被施加截止电压,

上述第 2 晶体管和上述第 3 晶体管的连接点与上述输出复位晶体的控制端子连接,

上述检测电路在检测出从连接到同一时钟信号线的第偶数级单元电路或者第奇数级单元电路中的任一方中任意选择的 2 个以上的单元电路的所有输出信号为激活时,对上述多个单元电路的上述复原执行电路施加上述激活的检测信号,

上述复原执行电路激活上述放电电路,由此对上述输出控制晶体管的上述控制端子施加截止电压,并且对上述输出复位晶体的控制端子输出导通电压。

4. 根据权利要求 3 所述的移位寄存器,其特征在于:

上述检测电路还包括初始化电路,所述初始化电路在从外部施加初始化信号时被激活,

上述复原执行电路在上述初始化电路为激活时,使上述放电电路激活。

5. 根据权利要求 4 所述的移位寄存器,其特征在于:

上述复原执行电路在上述初始化电路为激活时,对上述输出复位晶体的上述控制端子施加导通电压。

6. 一种移位寄存器,将包括相同导电型的晶体管的多个单元电路级联连接,根据多相的时钟信号进行动作,其特征在于:

具备:

检测电路,该检测电路在检测出上述多个单元电路为激活时,输出激活的检测信号,

上述单元电路具备:

复位信号生成电路,其生成复位信号,所述复位信号通常是导通电平,当上述输入信号成为导通电平时变为截止电平;

输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;

预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体的控制端子施加导通电压;

放电电路,其对上述输出控制晶体管的上述控制端子施加截止电压;

输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子;以及

复原执行电路,其根据上述激活的检测信号使上述多个单元电路成非激活,

上述复位信号生成电路包括:

第 1 晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号相同的时钟信号;

第 2 晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号不同的任一时钟信号,一方导通端子连接到上述第 1 晶体的另一方导通端子;以及

第 3 晶体管,其控制端子被施加上述输入信号,一方导通端子连接到上述第 2 晶体的另一方导通端子,另一方导通端子被施加截止电压,

上述第 2 晶体管和上述第 3 晶体的连接点与上述输出复位晶体的控制端子连接,

上述检测电路根据上述多个单元电路的所有输出,检测已激活的单元电路的个数,输出与上述个数相应的激活的检测信号,

上述复原执行电路激活上述放电电路,由此对上述输出控制晶体管的上述控制端子施加截止电压,并且对上述输出复位晶体的控制端子输出导通电压。

7. 根据权利要求 6 所述的移位寄存器,其特征在于:

上述检测电路具备:

个数检测电路,其输出与上述多个单元电路中已激活的单元电路的个数相应的个数检测信号;和

信号输出电路,其在来自上述个数检测电路的上述个数检测信号超过规定的范围时,对上述检测电路输出激活的检测信号,

上述个数检测电路包括:

电阻元件;和

多个晶体管,上述多个单元电路的输出端子连接到所述多个晶体管各自的栅极端子,并且所述多个晶体管是并联连接的,其一方导通端子连接到上述电阻元件的一端,

对上述信号输出电路输出上述电阻元件与上述多个晶体管的一方导通端子的连接点的电位。

8. 一种显示装置,其特征在于:

具备 2 维状配置的多个像素电路和包括权利要求 1~7 中的任一项所述的移位寄存器的驱动电路,上述多个像素电路和上述移位寄存器包括相同导电型的晶体管。

## 移位寄存器

### 技术领域

[0001] 本发明涉及移位寄存器,特别涉及适合应用于显示装置、摄像装置的驱动电路等的移位寄存器。

[0002] 背景技术

[0003] 有源矩阵型的显示装置以行为单位选择 2 维状配置的像素电路,对所选择的像素电路写入与显示数据相应的电压,由此显示影像。为了以行为单位选择像素电路,使用根据时钟信号而使输出信号顺序地移位的移位寄存器作为扫描信号线驱动电路。另外,在进行点顺序驱动的显示装置中,在数据信号线驱动电路的内部设有同样的移位寄存器。

[0004] 在液晶显示装置等中,有时使用用于形成像素电路内的 TFT(Thin Film Transistor:薄膜晶体管)的制造工艺,与像素电路一体地形成像素电路的驱动电路。在这种情况下,为了削减制造成本,优选与 TFT 相同导电型的晶体管形成包括移位寄存器的驱动电路。另外,当增加对移位寄存器施加的时钟信号的个数时,时钟配线用的布设面积、功耗等增加。从这样的背景出发,需要构成使用相同导电型的晶体管、根据 2 相的时钟信号进行动作的移位寄存器。

[0005] 在包括 N 沟道晶体管的移位寄存器中,为了将时钟信号按其原有的电压电平输出,使用图 16 示出的自举电路。在图 16 示出的电路中,当输入信号 IN 成为高电平时,节点 N1 被预充电到电位  $(VDD - V_{th})$  (此处, VDD 是电源电压,  $V_{th}$  是晶体管 T1 的阈值电压),晶体管 T2 成为导通状态。其后当输入信号 IN 成为低电平时,节点 N1 成为悬浮状态,但是晶体管 T2 保持导通状态。

[0006] 在该状态下当时钟信号 CK 从低电平变为高电平时,通过设置在晶体管 T2 的栅极端子和源极端子之间的电容 C1 的作用,节点 N1 的电位变得比 VDD 高(自举效果)。因此,最大电压是 VDD 的时钟信号 CK 不降低电压地通过晶体管 T2,时钟信号 CK 从输出端子 OUT 以其原有的电压电平被输出。

[0007] 为了使用图 16 示出的电路来构成用于显示装置等的移位寄存器,需要增加使节点 N1 放电的功能和下拉输出信号 OUT 的功能。关于这一点,以往已知有下面的技术。在日本特开 2001-273785 号公报中,记载了如下内容:如图 17 所示,使用晶体管 Q11 根据后级电路的输出信号使节点 N1 放电,使用晶体管 Q12 根据时钟信号 CK2 下拉输出信号 OUT。在日本特开 2002-258819 号公报中,记载了如下内容:如图 18 所示,根据后级电路的输出信号 CT,使用晶体管 Q21 使节点 N1 放电,并且使用晶体管 Q22 下拉输出信号 OUT。

[0008] 专利文献 1:日本特开 2001-273785 号公报

[0009] 专利文献 2:日本特开 2002-258819 号公报

[0010] 发明内容

[0011] 发明要解决的问题

[0012] 但是,在上述现有电路中,如果 E SD(electrostatic discharge:静电放电)这种通常的驱动中无法预料的噪声进入将单元电路级联连接而成的移位寄存器,有时多个单元电路会同时导通并输出激活的输出信号。在这种情况下,时钟信号线的负荷变重,并且对移

位寄存器供给驱动电力的外部的电源电路的功耗变大,因此,存在不能瞬间复原到通常动作的问题。

[0013] 因此,本发明的目的在于提供即使级联连接的多个单元电路同时导通且输出激活的输出信号也能够瞬间复原到通常动作的移位寄存器。

[0014] 用于解决问题的方案

[0015] 本发明的第 1 方案是将包括相同导电型的晶体管的多个单元电路级联连接并根据多相的时钟信号进行动作的移位寄存器,其特征在于:

[0016] 上述单元电路具备误动作复原电路,其在检测出上述多个单元电路为激活时,输出激活的检测信号,使上述多个单元电路成非激活;输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体的控制端子施加导通电压;放电电路,其对上述输出控制晶体的上述控制端子施加截止电压;以及输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子,

[0017] 上述误动作复原电路在检测出从前方的上述单元电路的输出信号和后方的上述单元电路的输出信号中分别各选择一个的输出信号都为激活时,使上述放电电路成激活,对上述输出控制晶体的上述控制端子施加截止电压,并且对上述输出复位晶体的上述控制端子输出导通电压。

[0018] 另外,本发明的第 1 方案还可以是一种移位寄存器,将包括相同导电型的晶体管的多个单元电路级联连接,根据多相的时钟信号进行动作,其特征在于:具备检测电路,该检测电路在检测出上述多个单元电路为激活时,输出激活的检测信号,上述单元电路具备:复位信号生成电路,其生成复位信号,所述复位信号通常是导通电平,当上述输入信号成为导通电平时变为截止电平;输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体的控制端子施加导通电压;放电电路,其对上述输出控制晶体的上述控制端子施加截止电压;输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子;以及复原执行电路,其根据上述激活的检测信号使上述多个单元电路成非激活,上述复位信号生成电路包括:第 1 晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体的上述一方导通端子的时钟信号相同的时钟信号;第 2 晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体的上述一方导通端子的时钟信号不同的任一时钟信号,一方导通端子连接到上述第 1 晶体的另一方导通端子;以及第 3 晶体管,其控制端子被施加上述输入信号,一方导通端子连接到上述第 2 晶体的另一方导通端子,另一方导通端子被施加截止电压,上述第 2 晶体管和上述第 3 晶体的连接点与上述输出复位晶体的控制端子连接,

[0019] 上述检测电路在检测出从连接到同一时钟信号线的第偶数级单元电路或者第奇数级单元电路中的任一方中任意选择的 2 个以上的单元电路的所有输出信号为激活时,对上述多个单元电路的上述复原执行电路施加上述激活的检测信号,上述复原执行电路激活上述放电电路,由此对上述输出控制晶体的上述控制端子施加截止电压,并且对上述输出复位晶体的控制端子输出导通电压。

[0020] 而且,本发明的第 1 方案还可以是一种移位寄存器,将包括相同导电型的晶体管

的多个单元电路级联连接,根据多相的时钟信号进行动作,其特征在于:具备检测电路,该检测电路在检测出上述多个单元电路为激活时,输出激活的检测信号,上述单元电路具备:复位信号生成电路,其生成复位信号,所述复位信号通常是导通电平,当上述输入信号成为导通电平时变为截止电平;输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体管的控制端子施加导通电压;放电电路,其对上述输出控制晶体管的上述控制端子施加截止电压;输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子;以及复原执行电路,其根据上述激活的检测信号使上述多个单元电路成非激活,上述复位信号生成电路包括:第1晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号相同的时钟信号;第2晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号不同的任一时钟信号,一方导通端子连接到上述第1晶体的另一方导通端子;以及第3晶体管,其控制端子被施加上述输入信号,一方导通端子连接到上述第2晶体的另一方导通端子,另一方导通端子被施加截止电压,上述第2晶体管和上述第3晶体的连接点与上述输出复位晶体的控制端子连接,

[0021] 上述检测电路根据上述多个单元电路的所有输出,检测已激活的单元电路的个数,输出与上述个数相应的激活的检测信号,上述复原执行电路激活上述放电电路,由此对上述输出控制晶体管的上述控制端子施加截止电压,并且对上述输出复位晶体的控制端子输出导通电压。

[0022] 本发明的第2方案的特征在于:在本发明的第1方案中,

[0023] 上述单元电路具备:

[0024] 输出控制晶体管,其一方导通端子被施加上述多相的时钟信号中的任一个,另一方导通端子连接到输出端子;

[0025] 预充电电路,其在输入信号是导通电平的期间,对上述输出控制晶体管的控制端子施加导通电压;

[0026] 放电电路,其对上述输出控制晶体管的上述控制端子施加截止电压;以及

[0027] 输出复位晶体管,其一方导通端子被施加截止电压,另一方导通端子连接到上述输出端子,

[0028] 上述复原执行电路激活上述放电电路,由此对上述输出控制晶体管的上述控制端子施加截止电压。

[0029] 本发明的第3方案的特征在于:在本发明的第2方案中,

[0030] 上述复原执行电路对上述输出复位晶体的控制端子输出导通电压。

[0031] 本发明的另一方案的特征在于:在本发明的第2方案中,

[0032] 上述单元电路还具备复位信号生成电路,其生成复位信号,所述复位信号通常是导通电平,当上述输入信号成为导通电平时变为截止电平,

[0033] 上述复位信号生成电路包括:

[0034] 第1晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶体管的上述一方导通端子的时钟信号相同的时钟信号;

[0035] 第2晶体管,其控制端子被施加与上述多相的时钟信号中施加到上述输出控制晶

体管的上述一方导通端子的时钟信号不同的任一时钟信号,一方导通端子连接到上述第 1 晶体管的另一方导通端子;以及

[0036] 第 3 晶体管,其控制端子被施加上述输入信号,一方导通端子连接到上述第 2 晶体管的另一方导通端子,另一方导通端子被施加截止电压,

[0037] 上述第 2 晶体管和上述第 3 晶体管的连接点与上述输出复位晶体管的控制端子连接。

[0038] 本发明的第 4 方案的特征在于:在本发明的第 2 方案中,

[0039] 上述单元电路包括上述检测电路和上述复原执行电路,

[0040] 上述检测电路在检测出从前方的上述单元电路的输出信号和后方的上述单元电路的输出信号分别各选择一个的输出信号都为激活时,输出上述激活的检测信号。

[0041] 本发明的第 5 方案的特征在于:在本发明的第 2 方案中,

[0042] 上述单元电路包括上述复原执行电路,

[0043] 上述检测电路在检测出从连接到同一时钟信号线的第偶数级单元电路或者第奇数级单元电路中的任一方中任意选择的 2 个以上的单元电路的所有输出信号为激活时,对上述多个单元电路施加上述激活的检测信号。

[0044] 本发明的第 6 方案的特征在于:在本发明的第 5 方案中,

[0045] 上述检测电路还包括初始化电路,所述初始化电路在从外部施加初始化信号时被激活,

[0046] 上述复原执行电路在上述初始化电路为激活时,使上述放电电路激活。

[0047] 本发明的第 7 方案的特征在于:在本发明的第 6 方案中,

[0048] 上述复原执行电路在上述初始化电路为激活时,对上述输出复位晶体管的上述控制端子施加导通电压。

[0049] 本发明的第 8 方案的特征在于:在本发明的第 2 方案中,

[0050] 上述单元电路包括上述复原执行电路,

[0051] 上述检测电路根据上述多个单元电路的所有输出,检测已激活的单元电路的个数,输出与上述个数相应的激活的检测信号。

[0052] 本发明的第 9 方案的特征在于:在本发明的第 8 方案中,

[0053] 上述检测电路具备:个数检测电路,其输出与上述多个单元电路中已激活的单元电路的个数相应的个数检测信号;和

[0054] 信号输出电路,其在来自上述个数检测电路的上述个数检测信号超过规定的范围时,对上述检测电路输出激活的检测信号,

[0055] 上述个数检测电路包括:

[0056] 电阻元件;和

[0057] 多个晶体管,上述多个单元电路的输出端子连接到所述多个晶体管各自的栅极端子,并且所述多个晶体管是并联连接的,其一方导通端子连接到上述电阻元件的一端,

[0058] 对上述信号输出电路输出上述电阻元件与上述多个晶体管的一方导通端子的连接点的电位。

[0059] 本发明的第 12 方案的特征在于:

[0060] 具备 2 维状配置的多个像素电路和包括本发明的第 1 到第 11 方案中的任一方案



的移位寄存器的驱动电路,上述多个像素电路和上述移位寄存器包括相同导电型的晶体管。

[0061] 发明效果

[0062] 根据本发明的第 1 方案,当检测出根据多相的时钟信号进行动作的移位寄存器多个单元电路为激活而发生误动作时,能够使所有单元电路为非激活且瞬间复原到通常动作。

[0063] 根据本发明的第 2 方案,在检测出多个单元电路进行误动作时,复原执行电路输出导通电压,使放电电路激活。如果放电电路激活,则输出控制晶体管成为截止状态,截断施加有时钟信号的一方导通端子和输出端子。其结果是:时钟信号线的负荷变轻,会对输出复位晶体管的控制端子瞬间施加导通电压,对输出端子输出截止电压。这样,即使单元电路误动作,也能够通过强制下拉输出信号瞬间复原到通常动作。

[0064] 根据本发明的第 3 方案,输出复位晶体管通过从复原执行电路施加的导通电压成为导通状态,对输出端子输出截止电压。因此,即使单元电路误动作,也能够通过强制下拉输出信号瞬间复原到通常动作。

[0065] 根据本发明的第 4 方案,当单元电路所内置的检测电路根据前方的单元电路的输出信号和后方的单元电路的输出信号而检测出移位寄存器进行误动作时,单元电路所内置的复原执行电路使单元电路瞬间复原到通常动作。

[0066] 根据本发明的第 5 方案,单元电路所内置的检测电路根据从连接到相同的时钟信号线的第偶数级或者第奇数级单元电路中的任一方任意选择的 2 个以上的单元电路的输出信号来检测出移位寄存器是否进行误动作。并且,在检测出进行误动作的情况下,内置的复原执行电路使单元电路瞬间复原到通常动作。

[0067] 根据本发明的第 6 方案,当初始化电路激活时,复原执行电路使放电电路激活,使输出控制晶体管成为截止状态,因此,截断施加有时钟信号的一方导通端子和输出端子。其结果是:时钟信号线的负荷变轻,对输出复位晶体管的控制端子瞬间施加导通电压,因此,对输出端子输出截止电压。这样,单元电路即使误动作也会通过强制下拉输出信号而被初始化。另外,还能够将复原执行电路用于单元电路的初始化,因此,能够将具备初始化功能的移位寄存器的电路数量的增加抑制到最小限度。

[0068] 根据本发明的第 7 方案,当初始化电路激活时,复原执行电路使输出复位晶体管为导通状态。因此,对输出端子输出截止电压,单元电路被初始化。因此,能够得到与第 6 方案的发明同样的效果。

[0069] 根据本发明的第 8 方案,根据与激活的单元电路的个数相应的检测信号,使单元电路所内置的复原执行电路动作,由此即使单元电路误动作也能够瞬间复原到通常动作。

[0070] 根据本发明的第 9 方案,根据基于与多个单元电路分别逐一连接的晶体管的导通电阻而生成的个数检测信号是否在规定的范围,由此能够检测出移位寄存器的误动作。另外,能通过调整串联地连接到晶体管的电阻元件的电阻值来改变个数检测信号的规定的范围。

[0071] 根据本发明的第 10 方案,在检测电路检测出多个单元电路的误动作时,复原执行电路能够使进行误动作的所有单元电路瞬间复原到通常动作。

[0072] 根据本发明的第 11 方案,当移位寄存器误动作时,复原执行电路使输出控制晶体

管成为截止状态,使时钟信号线的负荷较轻。另一方面,在复位信号生成电路中,如果时钟信号线的负荷变轻,则能够瞬间生成导通电压的复位信号。当对输出复位晶体管的控制端子施加所生成的复位信号时,输出复位晶体管成为导通状态。因此,单元电路能够强制下拉输出信号而瞬间复原到通常动作。

[0073] 根据本发明的第 12 方案,能够得到包括即使误动作也能够瞬间复原到通常动作的移位寄存器的显示装置。

[0074] 附图说明

[0075] 图 1 是示出本发明的第 1 实施方式的移位寄存器的结构的框图。

[0076] 图 2 是图 1 示出的移位寄存器所包括的单元电路的电路图。

[0077] 图 3 是图 2 示出的单元电路所包括的误动作复原电路的电路图。

[0078] 图 4 是图 1 示出的移位寄存器进行通常动作时的时序图。

[0079] 图 5 是图 1 示出的移位寄存器进行误动作时的时序图。

[0080] 图 6 是示出具备图 1 所示的移位寄存器的液晶显示装置的结构框图。

[0081] 图 7 是示出具备图 1 所示的移位寄存器的其它的液晶显示装置的结构框图。

[0082] 图 8 是示出本发明的第 2 实施方式的移位寄存器的结构的框图。

[0083] 图 9 是图 8 示出的移位寄存器所包括的单元电路的电路图。

[0084] 图 10 是图 8 示出的移位寄存器进行误动作时的时序图。

[0085] 图 11 是示出图 8 所示的移位寄存器的第 3 变形例和第 4 变形例所包括的误动作检测部的电路图。

[0086] 图 12 是示出图 8 所示的移位寄存器的第 5 变形例和第 6 变形例所包括的误动作检测部的电路图。

[0087] 图 13 是示出本发明的第 3 实施方式的移位寄存器的结构的框图。

[0088] 图 14 是本发明的第 1 实施方式的移位寄存器所包括的单元电路的其它变形例的电路图。

[0089] 图 15 是图 14 示出的单元电路所包括的误动作复原电路的电路图。

[0090] 图 16 移位寄存器所包括的自举电路的电路图。

[0091] 图 17 是示出现有移位寄存器的结构的电路图。

[0092] 图 18 是示出以往的其它移位寄存器的结构的电路图。

[0093] 附图标记说明

[0094] 10、20、30 :移位寄存器 ;11、21、31、51 :单元电路 ;12 :复位信号生成电路 ;13 :预充电电路 ;17、18 :误动作复原电路 ;19 :复原执行电路 ;20b、22b、23b、24b、25b :误动作检测电路 ;23d、24d、25d :初始化部 ;110、120 :液晶显示装置 ;111、121 :像素阵列 ;112、122 :显示控制电路 ;113、123 :扫描信号线驱动电路 ;114、124 :数据信号线驱动电路。

## 具体实施方式

[0095] <1. 第 1 实施方式 >

[0096] 图 1 是示出本发明的第 1 实施方式的移位寄存器 10 的结构的框图。图 1 示出的移位寄存器 10 是将 n 个 (n 是 2 以上的整数) 单元电路 11 级联连接而构成的。单元电路 11 具有时钟端子 CK、CKB、输入端子 INp、INn 以及输出端子 OUT。下面将经由各端子而输入

输出的信号用与该端子相同的名称称呼（例如，将经由时钟端子 CK 而输入的信号称为时钟信号 CK）。

[0097] 从外部对移位寄存器 10 供给启动脉冲 ST 和 2 相的时钟信号 CK1、CK2。对第 1 级单元电路 11 的输入端子 IN<sub>p</sub> 施加启动脉冲 ST。对第奇数级单元电路 11 的时钟端子 CK 和第偶数级单元电路 11 的时钟端子 CKB 施加时钟信号 CK1。对第奇数级单元电路 11 的时钟端子 CKB 和第偶数级单元电路 11 的时钟端子 CK 施加时钟信号 CK2。输出信号 SROUT1 ~ SROUT<sub>n</sub> 从各单元电路 11 的输出端子分别输出到外部，并且施加到后级单元电路 11 的输入端子 IN<sub>p</sub> 和前级单元电路 11 的输入端子 IN<sub>n</sub>。在该移位寄存器 10 中，将在单元电路 11 的编号变小的方向（图 1 中的上方向）上编号减小 1 的单元电路 11 称为前级单元电路，将在其反方向（图 1 中的下方向）上编号增大 1 的单元电路 11 称为后级单元电路。

[0098] 图 2 是移位寄存器 10 所包括的单元电路 11 的电路图。图 2 示出的单元电路 11 包括相同导电型的晶体管，包括 7 个 N 沟道晶体管 T1 ~ T7、3 个电容 C1 ~ C3 以及 2 个误动作复原电路 17、18。下面将对栅极端子施加时使晶体管处于导通状态的电压（信号的电平）称为导通电压（导通电平），将对栅极端子施加时使晶体管处于截止状态的电压（信号的电平）称为截止电压（截止电平）。在 N 沟道晶体管中，高电压成为导通电压（高电平是导通电平），低电压成为截止电压（低电平是截止电平），在 P 沟道晶体管中与其相反。

[0099] 晶体管 T1 的漏极端子被施加电源电压 VDD，栅极端子连接到输入端子 IN<sub>p</sub>。晶体管 T1 的源极端子连接到晶体管 T2 的栅极端子和晶体管 T4 的漏极端子。下面将该连接点称为节点 N1。晶体管 T2 的漏极端子连接到时钟端子 CK，源极端子连接到输出端子 OUT 和晶体管 T3 的漏极端子。晶体管 T3、T4 的源极端子接地。

[0100] 晶体管 T5 的漏极端子被施加电源电压 VDD，源极端子连接到晶体管 T6 的漏极端子。晶体管 T6 的源极端子连接到晶体管 T7 的漏极端子，晶体管 T7 的源极端子接地。晶体管 T5 ~ T7 的栅极端子分别连接到时钟端子 CK、CKB 以及输入端子 IN<sub>p</sub>。晶体管 T6 的源极端子和晶体管 T7 的漏极端子的连接点还连接到晶体管 T3、T4 的栅极端子。下面将该连接点称为节点 N2，将晶体管 T5 的源极端子和晶体管 T6 的漏极端子的连接点称为节点 N3。

[0101] 电容 C1 ~ C3 包括电容元件。在晶体管 T2 的栅极端子和源极端子之间设置电容 C1，在节点 N3 和接地之间设置电容 C2，在节点 N2 和接地之间设置电容 C3。电容 C1 发挥自举电容的功能，电容 C2、C3 发挥电荷泵电容的功能。下面假定电容 C2、C3 的电容值相等。

[0102] 在单元电路 11 中，晶体管 T5 ~ T7 和电容 C2、C3 形成复位信号生成电路 12，晶体管 T1 ~ T4 分别发挥预充电电路 13、输出控制晶体管、输出复位晶体管以及放电电路的功能。晶体管 T2 根据栅极端子的电位来切换是否从输出端子 OUT 输出时钟信号 CK。晶体管 T1 在输入信号 IN<sub>p</sub> 是高电平的期间，对节点 N1（晶体管 T2 的栅极端子）施加高电压。复位信号生成电路 12 生成通常是高电平、当输入信号 IN<sub>p</sub> 成为高电平时变为低电平的复位信号。晶体管 T4 在复位信号是高电平的期间对节点 N1 施加低电压。晶体管 T3 在复位信号是高电平的期间对输出端子 OUT 施加低电压。

[0103] 误动作复原电路 17 的输入端子 IN1 连接到输入端子 IN<sub>p</sub>，输入端子 IN2 连接到输入端子 IN<sub>n</sub>。输出端子 ROUT 1 连接到节点 N2。另外，误动作复原电路 18 的输入端子 IN3 连接到输入端子 IN<sub>p</sub>，输出端子 IN4 连接到输入端子 IN<sub>n</sub>。输出端子 ROUT2 连接到节点 N1。

[0104] 图 3 的 (A) 是单元电路 11 中设置的误动作复原电路 17 的电路图。图 3 的 (A) 示出的误动作复原电路 17 包括 2 个 N 沟道晶体管 T11、T12, 晶体管 T11 的漏极端子被施加电源电压 VDD, 源极端子连接到晶体管 T12 的漏极端子。晶体管 T12 的源极端子连接到输出端子 ROUT1。另外, 晶体管 T11 的栅极端子连接到输入端子 IN1, 晶体管 T12 的栅极端子连接到输入端子 IN2。因此, 仅在各栅极端子分别被施加高电平的输入信号 IN1、IN2 的情况下, 晶体管 T11 和 T12 成为导通状态, 误动作复原电路 17 从输出端子 ROUT1 对节点 N2 输出高电压。

[0105] 图 3 的 (B) 是单元电路 11 中设置的误动作复原电路 18 的电路图。图 3 的 (B) 示出的误动作复原电路 18 包括 2 个 N 沟道晶体管 T13、T14, 晶体管 T14 的漏极端子接地, 漏极端子连接到晶体管 T13 的源极端子。晶体管 T13 的漏极端子连接到输出端子 ROUT2。另外, 晶体管 T13 的栅极端子连接到输入端子 IN3, 晶体管 T14 的栅极端子连接到输入端子 IN4。因此, 仅在各栅极端子分别被施加高电平的输入信号 IN3、IN4 的情况下, 晶体管 T13 和 T14 成为导通状态, 误动作复原电路 18 从输出端子 ROUT2 对节点 N1 输出低电压。

[0106] 图 4 是进行通常动作的移位寄存器 10 的时序图。在图 4 中, 期间  $t_0 \sim t_{n+1}$  分别被分为前半和后半, 启动脉冲 ST 在期间  $t_0$  的前半成为高电平, 时钟信号 CK1 在期间  $t_{od}$  ( $od$  是奇数, 下面称为奇数期间) 的前半成为高电平, 时钟信号 CK2 在期间  $t_{ev}$  ( $ev$  是偶数, 下面称为偶数期间) 的前半成为高电平。当除此以外时, 这 3 个信号成为低电平。这样时钟信号 CK1、CK2 具有高电平期间不重复的特性。下面, 只要没有特别否定, 包括时钟信号 CK1、CK2、移位寄存器 10 的内部信号和输入输出信号的电位在高电平时是 VDD, 在低电平时是 VSS(零)。

[0107] 在此, 移位寄存器 10 进行通常动作一般是指移位寄存器 10 按顺序每次输出所决定的个数的高电压的输出信号的情况。但是, 在下面的说明中, 移位寄存器 10 进行通常动作是指逐一顺序输出高电压的输出信号的情况, 移位寄存器 10 进行误动作是指移位寄存器 10 顺序地每次同时输出 2 个以上的高电压的输出信号的情况。

[0108] 当施加图 4 示出的启动脉冲 ST 作为输入信号  $IN_p$  时, 第 1 级单元电路 11 (下面称为单元电路 SR1) 进行如下的动作。在单元电路 SR1 中, 输入信号  $IN_p$  在期间  $t_0$  的前半成为高电平, 并且时钟信号 CK 在奇数期间的前半成为高电平, 时钟信号 CKB 在偶数期间的前半成为高电平。

[0109] 在期间  $t_0$  之前, 输入信号  $IN_p$  是低电平, 因此, 晶体管 T1、T7 是截止状态。此时, 节点 N2、N3 的电位是 VDD (原因后叙), 因此, 晶体管 T3、T4 是导通状态。因此, 节点 N1 和输出端子 OUT 的电位是 VSS, 晶体管 T2 是截止状态。在该时刻, 在电容 C1 中不蓄积电荷, 在电容 C2、C3 中蓄积有与电源电压 VDD 相应的电荷。

[0110] 在期间  $t_0$  的前半, 输入信号  $IN_p$  和时钟信号 CKB 成为高电平, 因此, 晶体管 T1、T6、T7 成为导通状态。因此, 电容 C2、C3 所蓄积的电荷被释放, 节点 N2、N3 的电位成为 VSS, 晶体管 T3、T4 成为截止状态。另外, 当晶体管 T1 成为导通状态时, 节点 N1 的电位成为  $(VDD - V_{th})$  (此处,  $V_{th}$  是晶体管 T1 的阈值电压), 晶体管 T2 成为导通状态。此时, 时钟信号 CK 是低电平, 因此, 输出信号 OUT 仍然是低电平。因此, 在电容 C1 中蓄积有与晶体管 T2 的栅极源极之间的电位差  $(VDD - V_{th})$  相应的电荷。

[0111] 在期间  $t_0$  的后半, 输入信号  $IN_p$  和时钟信号 CKB 成为低电平, 因此, 晶体管 T1、T6、

T7 成为截止状态。当晶体管 T1 成为截止状态时,节点 N1 成为悬浮状态,但是节点 N1 的电位通过电容 C1 保持为  $(VDD-V_{th})$ 。

[0112] 在期间  $t_1$  的前半,时钟信号 CK 成为高电平。此时,晶体管 T2 是导通状态,因此,输出信号 OUT 也成为高电平。节点 N1 是悬浮状态,通过保持有电位差  $(VDD-V_{th})$  的电容 C1 而连接节点 N1 和晶体管 T2 的源极端子,因此,当晶体管 T2 的源极端子的电位从 VSS 变为 VDD 时,节点 N1 的电位改变相同的量而变得比电源电压 VDD 高(自举效应)。因此,最大电压是 VDD 的时钟信号 CK 不降低电压地通过晶体管 T2,时钟信号 CK 从输出端子 OUT 以其原有的电压电平被输出。另外,当时钟信号 CK 成为高电平时,晶体管 T5 成为导通状态。此时,晶体管 T6 是截止状态,因此,节点 N3 的电位成为 VDD,在电容 C2 中蓄积有与电源电压 VDD 相应的电荷。

[0113] 在期间  $t_1$  的后半,时钟信号 CK 成为低电平。此时晶体管 T2 是导通状态,因此,输出信号 OUT 也成为低电平,节点 N1 的电位返回到  $(VDD-V_{th})$ 。另外,晶体管 T5 成为截止状态。在期间  $t_1$  的终端,节点 N2 的电位是 VSS,节点 N3 的电位是 VDD。

[0114] 在期间  $t_2$  的前半,时钟信号 CKB 成为高电平,因此,晶体管 T6 成为导通状态。此时,电容 C2 所蓄积的电荷的一部分移动到电容 C3,节点 N2 的电位上升。在电容 C2、C3 的电容值相等的情况下,节点 N2、N3 成为等电位,节点 N2 的电位上升到  $VDD/2$ 。当决定电容 C2、C3 的电容值时,决定为该时刻的节点 N2 的电位变得比晶体管 T3、T4 的阈值电压高。因此,在期间  $t_2$  的前半,晶体管 T3、T4 成为导通状态,节点 N1 和输出端子 OUT 的电位成为 VSS。

[0115] 其后,单元电路 SR1 内的复位信号生成电路 12 进行如下的动作。在奇数期间的前半,时钟信号 CK 成为高电平,时钟信号 CKB 成为低电平,因此,晶体管 T5 成为导通状态,晶体管 T6 成为截止状态。此时,节点 N3 的电位成为 VDD,在电容 C2 中蓄积有与电源电压 VDD 相应的电荷。另一方面,在偶数期间的前半,时钟信号 CK 成为低电平,时钟信号 CKB 成为高电平,因此,晶体管 T5 成为截止状态,晶体管 T6 成为导通状态。此时,电容 C2 所蓄积的电荷的一部分移动到电容 C3,节点 N2 的电位上升。在电容 C2、C3 的电容值相等的情况下,节点 N2 的电位阶段性地上升,最终到达 VDD。

[0116] 其结果是:如图 4 所示,单元电路 SR1 内的节点 N1 的电位(记载为 SR1\_N1,下面相同)在期间  $t_0$  和期间  $t_1$  的后半成为  $(VDD-V_{th})$ ,在期间  $t_1$  的前半成为比 VDD 高的电平,除此以外成为 VSS。单元电路 SR1 内的节点 N2 的电位在期间  $t_0$  和期间  $t_1$  中成为 VSS,在期间  $t_2$  以后阶段性地上升,最终成为 VDD。单元电路 SR1 的输出信号 OUT(输出信号 SR0UT1)在期间  $t_1$  的前半成为高电平,除此以外成为低电平。输出信号 SR0UT1 作为移位寄存器 10 的输出信号被输出,并且成为第 2 级单元电路 SR2 的输入信号 IN<sub>p</sub>。

[0117] 同样,第  $i$  级( $i$  是 1 以上  $n$  以下的整数)的单元电路 11(下面称为单元电路 SR $i$ )的输出信号 OUT(输出信号 SR0UT $i$ ) 在期间  $t_i$  的前半成为高电平,除此以外成为低电平。输出信号 SR0UT $i$  作为移位寄存器 10 的输出信号被输出。这样移位寄存器 10 根据 2 相的时钟信号 CK1、CK2 逐一顺序地使输出信号 SR0UT1 ~ SR0UT $n$  成为高电平。此外,输出信号 SR0UT $i$  作为第  $(i-1)$  级单元电路 SR $(i-1)$  的输入信号 IN $n$  和第  $(i+1)$  级单元电路 SR $(i+1)$  的输入信号 IN<sub>p</sub> 被输出。

[0118] 当移位寄存器 10 进行通常动作时,如果单元电路 SR $i$  的输出信号 SR0UT $i$  是高电平,则其前级单元电路 SR $(i-1)$  和后级单元电路 SR $(i+1)$  的输出信号 SR0UT $(i-1)$  和

SROUT(i+1) 都是低电平。因此,对单元电路 SR<sub>i</sub> 施加的输入信号 IN<sub>p</sub>、IN<sub>n</sub> 成为低电平,误动作复原电路 17、18 不进行动作,其输出端子 ROUT1、ROUT2 都成为高阻抗状态。

[0119] 下面,说明使因为噪声而进行误动作的移位寄存器 10 复原到通常动作的情况。图 5 是在进行通常动作的移位寄存器 10 误动作的情况下,用于使移位寄存器 10 复原到通常动作的时序图。

[0120] 当移位寄存器 10 进行通常动作时,从前级单元电路 SR(i-1) 和后级单元电路 SR(i+1) 对单元电路 SR<sub>i</sub> 的输入端子 IN<sub>p</sub>、IN<sub>n</sub> 分别施加低电平的输出信号 SROUT(i-1)、SROUT(i+1)。因此,单元电路 SR<sub>i</sub> 的误动作复原电路 17、18 的输出端子 ROUT1、ROUT2 都成为高阻抗状态,既不会输出高电压也不会输出低电压。此时,如图 4 的时序图所示,从单元电路 SR<sub>i</sub> 的输出端子 OUT 输出高电平的输出信号 SROUT<sub>i</sub>。

[0121] 然后,当单元电路 SR(i-1)、SR(i+1) 误动作时,输入端子 IN<sub>p</sub>、IN<sub>n</sub> 分别被施加高电平的输出信号 SROUT(i-1)、SROUT(i+1)。在这种情况下,对误动作复原电路 17、18 的输入端子 IN1、IN3 输入高电平的输入信号 IN<sub>p</sub>,对输入端子 IN2、IN4 输入高电平的输入信号 IN<sub>n</sub>。因此,误动作复原电路 17 从输出端子 ROUT1 对节点 N2 输出高电压,误动作复原电路 18 从输出端子 ROUT2 对节点 N1 输出低电压。

[0122] 节点 N2 的电位成为 (VDD-V<sub>th</sub>) (此处,V<sub>th</sub> 是晶体管 T11、T12 的阈值电压),因此,晶体管 T3 和 T4 都成为导通状态。因此,输出端子 OUT 的电位成为 VSS,输出信号 SROUT<sub>i</sub> 被强制下拉。另外,节点 N1 也被放电,其电位成为 VSS,因此,晶体管 T2 的栅极源极之间的电位差消失,电容 C1 所蓄积的电荷被强制放电。

[0123] 这样,输出信号 SROUT<sub>i</sub> 成为低电平。在单元电路 SR(i-1)、SR(i+1) 中也同样,输出信号 SROUT(i-1)、SROUT(i+1) 成为低电平。因此,移位寄存器 10 能够从误动作瞬间复原。

[0124] 移位寄存器 10 用于例如显示装置、摄像装置的驱动电路等。图 6 是示出具备移位寄存器 10 的液晶显示装置的结构框图。图 6 示出的液晶显示装置 110 是具备像素阵列 111、显示控制电路 112、扫描信号线驱动电路 113 以及数据信号线驱动电路 114 的有源矩阵型的显示装置。在液晶显示装置 110 中,移位寄存器 10 被用作扫描信号线驱动电路 113。

[0125] 图 6 示出的像素阵列 111 包括 n 个扫描信号线 G1 ~ G<sub>n</sub>,m 个数据信号线 S1 ~ S<sub>m</sub> 以及 (m×n) 个像素电路 P<sub>ij</sub> (此处,m 是 2 以上的整数,j 是 1 以上 m 以下的整数)。相互平行地配置扫描信号线 G1 ~ G<sub>n</sub>,相互平行地配置数据信号线 S1 ~ S<sub>m</sub>,使其与扫描信号线 G1 ~ G<sub>n</sub> 正交。在扫描信号线 G<sub>i</sub> 和数据信号线 S<sub>j</sub> 的交点附近配置像素电路 P<sub>ij</sub>。这样,2 维状地配置 (m×n) 个像素电路 P<sub>ij</sub>,在行方向上各配置 m 个,在列方向上各配置 n 个。扫描信号线 G<sub>i</sub> 公共连接到配置在第 i 行的像素电路 P<sub>ij</sub>,数据信号线 S<sub>j</sub> 公共连接到配置在第 j 列的像素电路 P<sub>ij</sub>。

[0126] 从液晶显示装置 110 的外部供给水平同步信号 HSYNC、垂直同步信号 VSYNC 等控制信号和显示数据 DT。显示控制电路 112 根据这些信号对扫描信号线驱动电路 113 输出时钟信号 CK1、CK2 以及启动脉冲 ST,对数据信号线驱动电路 114 输出控制信号 SC 和显示数据 DT。

[0127] 扫描信号线驱动电路 113 包括 n 级移位寄存器 10。移位寄存器 10 根据时钟信号 CK1、CK2 使输出信号 SROUT1 ~ SROUT<sub>n</sub> 逐一顺序地成为高电平 (示出选择状态)。分别对

扫描信号线  $G1 \sim Gn$  施加输出信号  $SROUT1 \sim SROUTn$ 。由此,逐一顺序地选择扫描信号线  $G1 \sim Gn$ ,一并选择一行的像素电路  $Pij$ 。

[0128] 数据信号线驱动电路 114 根据控制信号 SC 和显示数据 DT 对数据信号线  $S1 \sim Sm$  施加与显示数据 DT 相应的电压。由此,对所选择的一行的像素电路  $Pij$  写入与显示数据 DT 相应的电压。这样,液晶显示装置 110 显示影像。

[0129] 图 7 是示出具备移位寄存器 10 的其它的液晶显示装置的结构框图。图 7 示出的液晶显示装置 120 是具备像素阵列 121、显示控制电路 122、扫描信号线驱动电路 123 以及数据信号线驱动电路 124 的有源矩阵型的显示装置。在液晶显示装置 120 中,在进行点顺序驱动的数据信号线驱动电路 124 中内置使用移位寄存器 10。

[0130] 图 7 示出的像素阵列 121 具有与图 6 示出的像素阵列 111 同样的结构。此处,在像素阵列 121 中,扫描信号线的个数是  $m$  个,数据信号线的个数是  $n$  个,2 维状地配置 ( $m \times n$ ) 个像素电路  $Pij$ ,在行方向上各配置  $n$  个,在列方向上各配置  $m$  个。

[0131] 显示控制电路 122 根据从外部供给的控制信号和显示数据 DT 对扫描信号线驱动电路 123 输出控制信号 GC,对数据信号线驱动电路 124 输出时钟信号 CK1、CK2、启动脉冲 ST 以及模拟显示数据 ADT。扫描信号线驱动电路 123 根据控制信号 GC 逐一顺序地选择扫描信号线  $G1 \sim Gm$ 。

[0132] 数据信号线驱动电路 124 包括  $n$  级的移位寄存器 10 和  $n$  个采样开关 125。 $n$  个采样开关 125 的一端分别连接到数据信号线  $S1 \sim Sn$ ,另一端被施加模拟显示数据 ADT。对  $n$  个采样开关 125 的栅极端子分别施加移位寄存器 10 的输出信号  $SROUT1 \sim SROUTn$ 。

[0133] 输出信号  $SROUT1 \sim SROUTn$  逐一顺序地成为高电平,因此, $n$  个采样开关 125 逐一顺序地成为导通状态,对连接到导通状态的采样开关 125 的数据信号线施加模拟显示数据 ADT。由此,对通过扫描信号线驱动电路 123 选择的 1 行的像素电路  $Pij$  逐一顺序地写入与显示数据 DT 相应的电压。这样,液晶显示装置 120 显示影像。此外,也可以对多个采样开关 125 的栅极端子施加 1 个输出信号  $SROUTi$ 。

[0134] 这样,移位寄存器 10 被用作显示装置的扫描信号线驱动电路,或者内置在显示装置的数据信号线驱动电路内使用。除此以外,移位寄存器 10 还用于摄像装置的驱动电路等。将移位寄存器 10 用于显示装置、摄像装置等,由此即使因为噪声,显示装置的扫描信号线驱动电路或者数据信号线驱动电路误动作而发生影像的混乱,也能够瞬间消除该混乱。

[0135] 下面说明本实施方式的移位寄存器 10 的效果。如上所述,当由于移位寄存器 10 误动作而从前级单元电路 11 和后级单元电路 11 施加的输出信号同时成为高电平时,单元电路 11 所内置的误动作复原电路 17、18 检测出误动作。在这种情况下,误动作复原电路 17 对节点 N2 施加高电压,强制地下拉输出信号 OUT。另外,误动作复原电路 18 对节点 N1 施加低电压,强制地使节点 N1 放电,释放电容 C1 所蓄积的电荷。其结果是:能够使进行误动作的移位寄存器 10 瞬间复原到通常动作。

[0136] <1.1 第 1 变形例>

[0137] 在第 1 实施方式中,在各单元电路 11 中内置有 2 个误动作复原电路 17、18。但是,没有必要必须内置有 2 个误动作复原电路 17、18,也可以仅内置有任一方。在仅内置有误动作复原电路 17 的情况下,如上所述,从误动作复原电路 17 的输出端子 ROUT1 对节点 N2 输

出高电压 ( $V_{DD}-V_{th}$ )。因此,节点 N2 的电位成为 ( $V_{DD}-V_{th}$ )。其结果是:晶体管 T3 成为导通状态,输出信号 OUT 被强制下拉。另外,晶体管 T4 成为导通状态,因此,节点 N1 的电位成为 VSS,节点 N1 被强制放电。

[0138] 另一方面,在仅内置有复位电路 18 的情况下,从复位电路 18 的输出端子 ROUT2 对节点 N1 输出低电压。因此,节点 N1 被强制放电,对晶体管 T2 的栅极端子施加 VSS,因此,晶体管 T2 成为截止状态,并且时钟端子 CK 的负荷变轻。其结果是:缩短了到复位信号生成电路 12 输出高电平的复位信号为止的时间。当对晶体管 T3 的栅极电极施加高电平的复位信号时,晶体管 T3 成为导通状态而强制地将输出信号 OUT 下拉到 VSS。

[0139] 这样,即使在单元电路 11 中仅内置复位电路 17、18 中的任一方,也会强制使节点 N1 放电,并且能够强制地下拉对输出端子 OUT 所输出的输出信号 OUT。因此,能够削减单元电路 11 的电路量,进而能够使移位寄存器 10 变小。

[0140] <1. 2 第 2 变形例>

[0141] 在第 1 实施方式中,对第  $i$  级单元电路  $SR_i$  输入第  $(i-1)$  级单元电路  $SR_{(i-1)}$  的输出信号  $SR_{OUT(i-1)}$  和第  $(i+1)$  级单元电路  $SR_{(i+1)}$  的输出信号  $SR_{OUT(i+1)}$ ,但是不限于此,也可以分别输入第  $(i-q)$  级 ( $q$  是 1 以上  $(i-1)$  以下的整数) 单元电路  $SR_{(i-q)}$  的输出信号  $SR_{OUT(i-q)}$  和第  $(i+r)$  级 ( $r$  是 1 以上  $(n-i)$  以下的整数) 单元电路  $SR_{(i+r)}$  的输出信号  $SR_{OUT(i+r)}$ 。这种情况下的效果与第 1 实施方式的效果相同。

[0142] <2. 第 2 实施方式>

[0143] 图 8 是示出第 2 实施方式的移位寄存器 20 的结构的电路图。第 2 实施方式的移位寄存器 20 具有与移位寄存器 10 同样的结构,以与移位寄存器 10 同样的方式使用。因此,在下面的说明中,说明与第 1 实施方式的不同点,对于与第 1 实施方式的共同点则省略说明。

[0144] 图 8 示出的移位寄存器 20 具备将  $n$  个单元电路 21 级联连接的基本移位寄存器 20a 和误动作检测电路 20b。单元电路 21 具有被施加前级单元电路 21 的输出信号 OUT 的输入端子 IN 和被施加检测信号 DET (详细情况后述) 的错误端子 ERR。

[0145] 误动作检测电路 20b 是在基本移位寄存器 20a 外分开设定的,根据与相同的时钟信号线连接的第偶数级的任意 2 个单元电路 21 的输出信号或者从与相同的时钟信号线连接的第奇数级的任意 2 个单元电路 21 输出的输出信号,检测基本移位寄存器 20a 是否进行误动作。并且,在误动作检测电路 20b 检测出基本移位寄存器 20a 进行误动作的情况下,对所有单元电路 21 的错误端子 ERR 施加高电平的检测信号 DET。

[0146] 误动作检测电路 20b 包括 2 个 N 沟道晶体管 T21、T22 和 1 个电阻元件 R21,晶体管 T21 的漏极端子被施加电源电压 VDD,源极端子连接到晶体管 T22 的漏极端子。晶体管 T22 的源极端子通过电阻元件 R21 接地。另外,晶体管 T22 的源极端子和电阻元件 R21 的连接点连接到单元电路  $SR_1 \sim SR_n$  的各错误端子 ERR。

[0147] 晶体管 T21、T22 的栅极端子连接到分别与相同的时钟信号线连接的第偶数级的任意 2 个单元电路 21。在下面的说明中,说明了将晶体管 T21、T22 的栅极端子连接到第  $g$  级 ( $g$  是 2 以上  $n$  以下的偶数) 单元电路  $SR_g$  的输出端子  $OUT_g$  和第  $h$  级 ( $h$  是 2 以上  $n$  以下的偶数) 单元电路  $SR_h$  的输出端子  $OUT_h$  作为第偶数级的任意 2 个单元电路 21。

[0148] 当对晶体管 T21 和 T22 的栅极端子分别施加高电平 (VDD) 的输出信号  $SR_{OUT_g}$  和



SROUTH 时,晶体管 T21、T22 都成为导通状态。因此,晶体管 T22 的源极端子和电阻元件 R21 的连接点的电位成为  $(VDD-V_{th})$  (此处,  $V_{th}$  是晶体管 T21、T22 的阈值电压),对单元电路 SR1 ~ SRn 的各错误端子 ERR 施加高电平  $(VDD-V_{th})$  的检测信号 DET。另一方面,当对晶体管 T21 和 T22 的栅极端子分别施加的输出信号 SROUTg 和 SROUTh 中的至少任一方是低电平时,施加有低电平的输出信号的晶体管成为截止状态。因此,晶体管 T22 的源极端子和电阻元件 R21 的连接点的电位成为 VSS,对各单元电路 SR1 ~ SRn 的错误端子 ERR 施加低电平的检测信号 DET。

[0149] 图 9 是基本移位寄存器 20a 所包括的单元电路 21 的电路图。图 9 示出的单元电路 21 的不同点在于设置有连接到错误端子 ERR 的复原执行电路 19 来代替第 1 实施方式的单元电路 11 所设置的误动作复原电路 17、18,其它的结构要素与单元电路 11 相同。

[0150] 在复原执行电路 19 所包括的 2 个 N 沟道晶体管 T8、T9 中,晶体管 T8 的漏极端子被施加电源电压 VDD,源极端子连接到节点 N2。晶体管 T9 的漏极端子连接到节点 N1,源极端子接地。另外,晶体管 T8、T9 的栅极端子连接到错误端子 ERR。

[0151] 在进行通常动作的第 1 实施方式的单元电路 11 中,对输入端子 INp、INn 分别施加低电平输入信号 INp、INn,而在单元电路 21 中,不同点在于对错误端子 ERR 施加检测信号 DET。但是,两者实质上相同,因此,进行通常动作时的基本移位寄存器 20a 的动作与移位寄存器 10 的动作相同。因此,省略基本移位寄存器 20a 进行通常动作时的说明。

[0152] 下面说明使因为噪声而进行误动作的基本移位寄存器 20a 复原到通常动作的情况。图 10 是进行通常动作的基本移位寄存器 20a 发生了误动作,因此使基本移位寄存器 20a 复原到通常动作的情况的时序图。

[0153] 当基本移位寄存器 20a 进行通常动作时,从误动作检测电路 20b 对各单元电路 21 施加低电平的检测信号 DET。当对构成复原执行电路 19 的晶体管 T8、T9 的各栅极端子施加低电平的检测信号 DET 时,晶体管 T8、T9 都保持截止状态,因此,分别不能使 VDD、VSS 通过。即,在进行通常动作期间,晶体管 T8 的源极端子和晶体管 T9 的漏极端子成为高阻抗状态。

[0154] 当基本移位寄存器 20a 误动作时,对错误端子 ERR 施加高电平  $(VDD-V_{th})$  的检测信号 DET,因此,晶体管 T8、T9 都成为导通状态。因此,从晶体管 T8 的源极端子输出  $(VDD-V_{th})$  (此处,  $V_{th}$  是晶体管 T8 的阈值电压),从晶体管 T9 的源极端子输出 VSS。其结果是:节点 N2 的电位成为  $(VDD-2V_{th})$ ,因此,晶体管 T3 成为导通状态,强制地下拉输出信号 OUT。另外,节点 N1 的电位被强制放电而成为 VSS,因此,电容 C1 所蓄积的电荷也被释放。其结果是:输出信号 OUT 和检测信号 DET 都成为低电平,基本移位寄存器 20a 能够从误动作瞬间复原。

[0155] 下面说明本实施方式的移位寄存器 20 的效果。如上所述,当从与相同时钟信号线连接的第偶数级的任意 2 个单元电路 SRg、SRh 的输出端子 OUT 分别输出的输出信号 SROUTg、SROUTh 都成为高电平时,误动作检测电路 20b 对各单元电路 21 的错误端子 ERR 施加高电平的检测信号 DET。因此,各单元电路 21 强制地将输出信号 OUT 下拉到 VSS,并且使节点 N1 放电而释放电容 C1 所蓄积的电荷。因此,与相同时钟信号线连接的多个单元电路 21 同时导通,由此即使在基本移位寄存器 20a 中发生误动作,也能够使基本移位寄存器 20a 瞬间复原到通常动作。

[0156] 此外,在与相同时钟信号线连接的第偶数级的多个单元电路 21 输出高电平的输出信号 OUT 的情况下,输出高电平的输出信号 OUT 的所有单元电路 21 的时钟端子 CK 通过输出端子 OUT 连接到外部,因此,时钟信号线的负荷变重,单元电路 21 变得难以从误动作复原。因此,与相同时钟信号线连接的第偶数级的所有单元电路 21 同时输出高电平的输出信号 OUT 的情况较多。因此,如果使用移位寄存器 20,选择与相同时钟信号线连接的第偶数级的任意 2 个单元电路 21,由此能够以高概率检测出误动作。此处,在所选择的单元电路 21 是未进行误动作的电路的情况下,有时即使未选择的单元电路 21 进行误动作,移位寄存器 20 也不能检测出其误动作。另外,为了检测出是否进行误动作,输出端子 OUT 连接到误动作检测电路 20b 的单元电路 21 没有限定于任意的 2 个,也可以是任意的 3 个或者其以上。

[0157] <2.1 第 1 变形例>

[0158] 在第 2 实施方式中,在单元电路 21 内设置有 2 个晶体管 T8、T9 作为复原执行电路 19。但是,没有必要必须设置 2 个晶体管 T8、T9 作为复原执行电路 19,也可以仅设置任一方。在仅设置晶体管 T8 的情况下,与在第 1 实施方式的第 1 变形例中设置误动作复原电路 17 的情况一样,输出信号 OUT 被强制地下拉,并且,节点 N1 被强制地放电。

[0159] 另一方面,在仅设置晶体管 T9 的情况下,与在第 1 实施方式的第 1 变形例中设置误动作复原电路 18 的情况一样,节点 N1 被强制地放电,并且,从复位信号生成电路 12 输出高电平的复位信号,由此输出信号 OUT 被强制地下拉。

[0160] 这样,即使在复原执行电路 19 中仅设置晶体管 T8、T9 中的任一方,也能够使节点 N1 强制放电,并且能够强制地下拉输出信号 OUT。因此,能够进一步削减单元电路 21 的电路量,进而能够使移位寄存器 20 较小。

[0161] <2.2 第 2 变形例>

[0162] 在第 2 实施方式中,对误动作检测电路 20b 施加输出信号的单元电路 21 是与相同时钟信号线连接的第偶数级的任意 2 个单元电路 21。但是,也可以将与相同时钟信号线连接的第奇数级的任意 2 个单元电路 21 的输出端子与误动作检测电路 20b 的晶体管 T21、T22 的栅极端子连接。在这种情况下,效果与第 2 实施方式的效果相同。另外,为了检测出是否进行误动作,其输出端子与误动作检测电路 20b 连接的单元电路 21 没有限定于任意的 2 个,也可以是任意的 3 个或者其以上。

[0163] 此外,如果在使用第偶数级单元电路 21 的情况下,使用第 2 级单元电路 21 的输出信号和来自第最大偶数个单元电路 21 的输出信号,在使用第奇数级单元电路 21 的情况下,使用第 1 级单元电路 21 的输出信号和来自第最大奇数个单元电路 21 的输出信号,就能够容易地设计移位寄存器 20。

[0164] 下面针对移位寄存器 20 所用的误动作检测电路 20b 说明第 3~第 6 变形例。此外,在任一变形例中,基本移位寄存器和单元电路都与第 2 实施方式的基本移位寄存器 20a 和单元电路 21 相同,因此,省略其说明。

[0165] <2.3 第 3 变形例>

[0166] 图 11 的 (A) 是作为第 1 变形例的误动作检测电路 22b 的电路图。在图 11 的 (A) 示出的误动作检测电路 22b 中,通过电阻元件 R31 对晶体管 T31 的漏极端子施加电源电压 VDD。晶体管 T31 的源极端子连接到晶体管 T32 的漏极端子,晶体管 T32 的源极端子接地。

另外,晶体管 T33 的漏极端子被施加电源电压 VDD,源极端子连接到晶体管 T34 的漏极端子。晶体管 T34 的源极端子连接到晶体管 T35 的漏极端子,晶体管 T35 的漏极端子接地。晶体管 T35 的栅极端子连接到晶体管 T31 的漏极端子和电阻元件 R31 的连接点。

[0167] 晶体管 T31、T33 的栅极端子连接到单元电路 SRg 的输出端子 OUTg,晶体管 T32、T34 的栅极端子连接到单元电路 SRh 的输出端子 OUTh。晶体管 T34 的源极端子和晶体管 T35 的漏极端子的连接点连接到各单元电路 21 的错误端子 ERR。

[0168] 当基本移位寄存器 20a 误动作,由此对晶体管 T31、T33 的栅极端子施加从单元电路 SRg 施加的高电平 (VDD) 的输出信号 SROUTg2,对晶体管 T32、T34 的栅极端子施加从单元电路 SRh 施加的高电平 (VDD) 的输出信号 SROUTh 时,晶体管 T31 ~ T34 都成为导通状态。此时,晶体管 T31 的漏极端子和电阻元件 R31 的连接点的电位成为 VSS,因此,对晶体管 T35 的栅极端子施加截止电压,晶体管 T35 成为截止状态。因此,晶体管 T34 的源极端子和晶体管 T35 的漏极端子的连接点的电位成为 (VDD-Vth) (此处,Vth 是晶体管 T33、T34 的阈值电压),误动作检测电路 22b 对各单元电路 21 的错误端子 ERR 施加高电平 (VDD-Vth) 的检测信号 DET。另外,在误动作检测电路 22b 中,当单元电路 SRg、SRh 误动作时,通常对晶体管 T35 的栅极端子施加 VSS,因此,可靠地输出高电平的检测信号 DET。

[0169] <2.4 第 4 变形例>

[0170] 图 11 的 (B) 是第 2 变形例的误动作检测电路 23b 的电路图。图 11 的 (B) 示出的误动作检测电路 23b 是将误动作检测部 23c 和初始化部 23d 组合的电路。误动作检测部 23c 是与第 2 实施方式的误动作检测电路 20b 相同的结构,因此,对与误动作检测电路 20b 的结构要素相同的结构要素附上相同的参照符号且省略其说明。

[0171] 初始化部 23d 包括 1 个 N 沟道晶体管 T41,其漏极端子被施加电源电压 VDD,源极端子连接到晶体管 T22 的源极端子和电阻元件 R21 的连接点。

[0172] 当基本移位寄存器 20a 误动作时,如上所述误动作检测部 23c 对各单元电路 21 施加高电平 (VDD-Vth) (此处,Vth 是晶体管 T21、T22 的阈值电压) 的检测信号 DET。

[0173] 另外,当从外部对晶体管 T41 的栅极端子施加高电平 (VDD) 的初始化信号 INIT 时,晶体管 T41 成为导通状态,晶体管 T41 的源极端子和电阻元件 R21 的连接点的电位成为 (VDD-Vth) (此处,Vth 是晶体管 T41 的阈值电压)。其结果是:对各单元电路 21 的错误端子 ERR 施加高电平 (VDD-Vth) 的初始化信号 INIT,因此,各单元电路 21 被初始化。

[0174] 这样,误动作检测电路 23b 对各单元电路 21 的错误端子 ERR 一起施加来自误动作检测部 23c 的检测信号 DET 和来自初始化部 23d 的初始化信号 INIT。其结果是:不仅对各单元电路 21 内的复原执行电路 19 施加检测信号 DET,由此单元电路 21 从误动作瞬间复原,而且还对复原执行电路 19 施加初始化信号 INIT,由此单元电路 21 被初始化。另外,复原执行电路 19 不仅用于使各单元电路 21 从误动作复原的情况,还用于将其初始化的情况。因此,与在单元电路 21 中内置初始化电路的情况相比,能够将单元电路 21 的电路量的增加抑制到最小限度。

[0175] <2.5 第 5 变形例>

[0176] 图 12 的 (A) 是示出第 3 变形例的误动作检测电路 24b 的电路图。图 12 的 (A) 示出的误动作检测电路 24b 是将误动作检测部 24c 和初始化部 24d 组合的电路。误动作检测部 24c 是与第 1 变形例的误动作检测电路 22b 相同的结构,初始化部 24d 是与第 2 变形例

的初始化部 23d 相同的结构。因此,对与各自的结构要素相同的结构要素附上相同的参照符号且省略其说明。

[0177] 当基本移位寄存器 20a 误动作时,如上所述从单元电路 SRg、SRh 对误动作检测部 24c 的晶体管 T31 ~ T34 的栅极端子分别施加高电平 (VDD) 的输出信号 SROUTg、SROUTh。其结果是:误动作检测部 24c 与误动作检测电路 22b 一样对各单元电路 21 的错误端子 ERR 施加高电平 (VDD-Vth) (此处, Vth 是晶体管 T33、T34 的阈值电压) 的检测信号 DET。

[0178] 另外,当从外部对初始化部 24d 的晶体管 T41 的栅极端子施加高电平 (VDD) 的初始化信号 INIT 时,如上所述,初始化部 24d 对各单元电路 21 的错误端子 ERR 施加高电平 (VDD-Vth) (此处, Vth 是晶体管 T41 的阈值电压) 的初始化信号 INIT。

[0179] 因此,误动作检测电路 24b 具有与第 2 变形例的误动作检测电路 23b 相同的效果。另外,误动作检测电路 24b 的误动作检测部 24c 是与第 1 变形例的误动作检测电路 22b 相同的结构,因此,误动作检测电路 24b 能够可靠地输出高电平的检测信号 DET。

[0180] <2.6 第 6 变形例>

[0181] 图 12 的 (B) 是第 4 变形例的误动作检测电路 25b 的电路图。图 12 的 (B) 示出的误动作检测电路 25b 是将误动作检测部 25c 和初始化部 25d 组合的电路。误动作检测部 25c 包括 2 个 N 沟道晶体管 T51、T52,晶体管 T51 的漏极端子被施加电源电压 VDD,源极端子连接到晶体管 T52 的漏极端子。晶体管 T52 的源极端子连接到电阻元件 R52 的一端,并且连接到各单元电路 21 的错误端子 ERR。另外,晶体管 T51 和 T52 的栅极端子分别连接到单元电路 SRg 和 SRh 的输出端子 OUTg、OUTh。

[0182] 初始化部 25d 包括 1 个 N 沟道晶体管 T53 和 1 个电阻元件 R51,晶体管 T53 的源极端子接地,漏极端子通过电阻元件 R51 被施加电源电压 VDD。另外,栅极端子被施加初始化信号 INITB (INIT 的非)。电阻元件 R51 和晶体管 T53 的漏极端子的连接点连接到电阻元件 R52 的另一端。

[0183] 当移位寄存器 20 误动作,从单元电路 SRg、SRh 对误动作检测部 25c 的晶体管 T51、T52 的栅极端子分别施加的输出信号 SROUTg、SROUTh 都是高电平 (VDD) 时,晶体管 T51、T52 都成为导通状态。因此,晶体管 T52 和电阻元件 R52 的连接点的电位成为 (VDD-Vth) (此处, Vth 是晶体管 T51、T52 的阈值电压),误动作检测部 25c 对各单元电路 21 的错误端子 ERR 施加高电平的检测信号 DET。

[0184] 另外,如果对晶体管 T53 的栅极端子施加低电平的初始化信号 INITB,则晶体管 T53 成为截止状态,因此,晶体管 T53 的漏极端子和电阻元件 R52 的连接点的电位成为 VDD。因此,初始化部 25d 对各单元电路 21 的错误端子 ERR 施加高电平 (VDD) 的检测信号 DET。在这种情况下也具有与第 2 变形例的误动作检测电路 23b 相同的效果。

[0185] <3. 第 3 实施方式>

[0186] 图 13 是示出本发明的第 3 实施方式的移位寄存器 30 的结构框图。移位寄存器 30 具备将单元电路 31 级联连接的基本移位寄存器 30a 和根据从基本移位寄存器 30a 输出的输出信号来检测出基本移位寄存器 30a 是否进行误动作的误动作检测电路 30b。基本移位寄存器 30a 与第 2 实施方式的情况同样是将单元电路 31 级联连接的电路,另外,单元电路 31 与在第 2 实施方式中所用的单元电路 21 相同。因此,省略这些说明。

[0187] 说明误动作检测电路 30b。在误动作检测电路 30b 中设置与 n 个单元电路 SR1 ~

SR<sub>n</sub> 对应的 n 个 N 沟道晶体管 T611 ~ T61n。晶体管 T611 ~ T61n 的源极端子分别接地,漏极端子连接到电阻元件 R61 的一端,使各晶体管 T611 ~ T61n 并联地连接。对电阻元件 R61 的另一端施加电源电压 VDD。另外,通过电阻元件 R62,对晶体管 T62 的漏极端子施加电源电压 VDD,晶体管 T62 的源极端子接地。

[0188] 晶体管 T62 的栅极端子连接到电阻元件 R61 和晶体管 T611 ~ T61n 的漏极端子的连接点,电阻元件 R62 和晶体管 T62 的栅极端子的连接点连接到各单元电路 31 的错误端子 ERR。此外,预先调整电阻元件 R61 的电阻值,使得当晶体管 T611 ~ T61n 中的导通状态的晶体管是 1 个时,即晶体管的导通电阻是 1 个晶体管的量时,晶体管 T62 成为截止状态,当导通状态的晶体管是 2 个以上时,即晶体管的导通电阻是 2 个以上的量时,晶体管 T62 成为导通状态。这样,晶体管 T62 具有检测出单元电路 31 的误动作的检测晶体管的功能。

[0189] 下面说明误动作检测电路 30b 的动作。首先,说明移位寄存器 30 进行通常动作的情况。在这种情况下,总是从任一单元电路 SR<sub>x</sub> (x 是 1 以上 n 以下的整数) 输出高电平的输出信号 SROUT<sub>x</sub>, 该输出信号 SROUT<sub>x</sub> 被施加到所对应的晶体管 T61x 的栅极端子。因此,仅晶体管 T61x 成为导通状态。

[0190] 在这种情况下,在误动作检测电路 30b 中,电阻元件 R61 和晶体管 T61x 的导通电阻成为串联连接的状态,对晶体管 T62 的栅极端子施加电阻元件 R61 和晶体管 T61x 的漏极端子的连接点的电位。预先调整电阻元件 R61 的电阻值,使得仅在晶体管 T611 ~ T61n 中的导通状态的晶体管是 1 个的情况下,如上所述,晶体管 T62 成为导通状态。因此,在仅晶体管 T61x 成为导通状态的情况下,晶体管 T62 成为导通状态,因此,晶体管 T62 的漏极端子和电阻元件 R62 的连接点的电位成为 VSS。因此,对各单元电路 31 的错误端子 ERR 施加低电平的检测信号 DET。

[0191] 下面,说明如下情况:由于基本移位寄存器 30a 误动作,从单元电路 31 中的 2 个单元电路 SR<sub>x</sub>、SR<sub>y</sub> (y 是 1 以上 n 以下的整数) 对对应的晶体管 T61x、T61y 的栅极端子分别施加的输出信号 SROUT<sub>x</sub>、SROUT<sub>y</sub> 同时成为高电平。在这种情况下,仅栅极端子被施加高电平的输出信号 SROUT<sub>x</sub>、SROUT<sub>y</sub> 的 2 个晶体管 T61x、T61y 成为导通状态。因此,2 个晶体管 T61x、T61y 的导通电阻并联连接所得的电阻成为串联连接到电阻元件 R61 的状态。在这种情况下,与 1 个晶体管 T61x 的导通电阻串联连接到电阻元件 R61 时相比,导通电阻的电阻值变小。因此,电阻元件 R61 和晶体管 T61x、T61y 的漏极端子的连接点的电位变得比 1 个晶体管 T61x 是导通状态时的电位小。

[0192] 另一方面,如上所述,电阻元件 R62 的电阻值被调整成在 2 个晶体管 T61x、T61y 成为导通状态的情况下晶体管 T62 成为截止状态。因此,晶体管 T62 成为截止状态,电阻元件 R62 和晶体管 T62 的连接点的电位成为 VDD。因此,对各单元电路 31 的错误端子 ERR 施加高电平 (VDD) 的检测信号 DET。

[0193] 同样,当 3 个以上的单元电路 31 的输出信号同时成为高电平时,导通状态的晶体管的导通电阻并联连接,因此,其电阻值变得更低。因此,晶体管 T62 成为截止状态,电阻元件 R62 和晶体管 T62 的连接点的电位成为 VDD。因此,对单元电路 31 的错误端子 ERR 施加高电平 (VDD) 的检测信号 DET。

[0194] 此外,单元电路 31 与图 8 示出的第 2 实施方式的单元电路 21 的电路相同。因此,当在单元电路 31 中对错误端子 ERR 施加高电平检测信号 DET 时,如已经说明的那样,单元

电路 31 强制下拉输出信号,并且,使节点 N1 放电而使电容 C1 所蓄积的电荷放电,从误动作瞬间复原到通常动作。

[0195] 说明本实施方式的移位寄存器 30 的效果。当从所有单元电路 31 的输出端子输出的输出信号 SROUT1 ~ SROUTn 中的至少 2 个以上的单元电路 31 同时输出高电平的输出信号时,晶体管 T611 ~ T61n 中的栅极端子被施加高电平的输出信号的晶体管成为导通状态。因此,电阻 R61 和晶体管 T611 ~ T61n 的漏极端子的连接点的电位变低。其结果是:晶体管 T62 成为截止状态,对各单元电路 31 的错误端子 ERR 施加高电平的检测信号 DET,因此,各单元电路 31 能够瞬间复原到通常动作。此外,调整电阻 R61 的电阻值,由此能够改变为了输出高电平的检测信号 DET 所需的导通状态的晶体管的个数。另外,误动作检测电路 30b 还可以应用于由 P 沟道晶体管形成的情况,在该情况下,电阻 R61 和晶体管 T611 ~ T61n 的漏极端子的连接点的电位变高。

[0196] <4. 其它>

[0197] 上述的第 1 实施方式~第 3 实施方式以及其变形例所包括的电路使用 N 沟道晶体管构成,但也可以使用 P 沟道晶体管构成。作为其一个例子,在图 14 中,示出了用 P 沟道晶体管构成单元电路 51 的电路。另外,图 15 是用 P 沟道晶体管构成单元电路 51 所包括的误动作复原电路 57、58 的电路。单元电路 51 以及误动作复原电路 57、58 的构成和动作与单元电路 11 以及误动作复原电路 17、18 一样,因此在此省略说明。

[0198] 另外,在上述的第 1 实施方式~第 3 实施方式以及其变形例中,说明了根据 2 相的时钟信号进行动作的移位寄存器。但是,没有限定于用 2 相的时钟信号进行动作的移位寄存器,根据多相的时钟信号进行动作的移位寄存器也与 2 相的时钟信号的情况一样地动作且产生一样的效果。

[0199] 工业上的可利用性

[0200] 本发明应用于当级联连接的多个单元电路同时导通而进行输出高电平的输出信号的误动作时,使所有单元电路瞬间复原到通常动作的移位寄存器,特别应用于显示装置、摄像装置的驱动电路等。

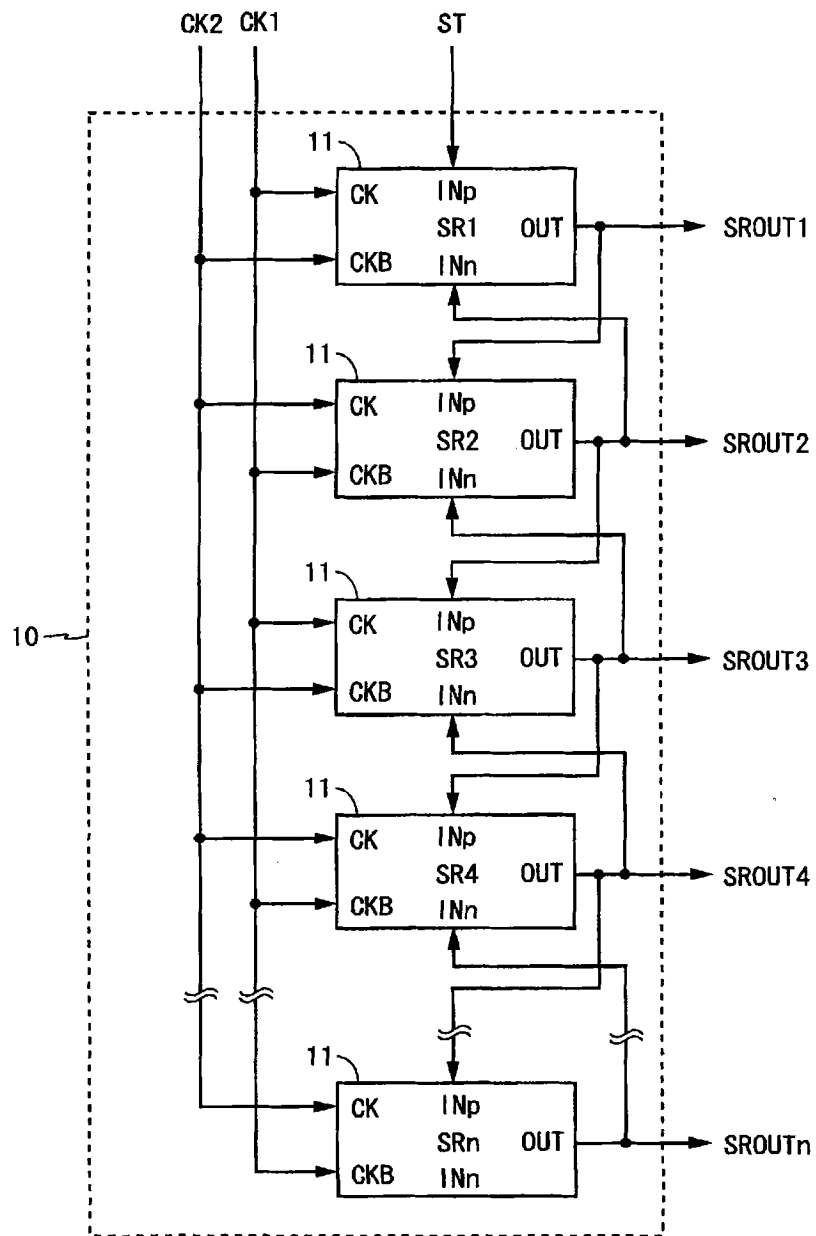


图 1

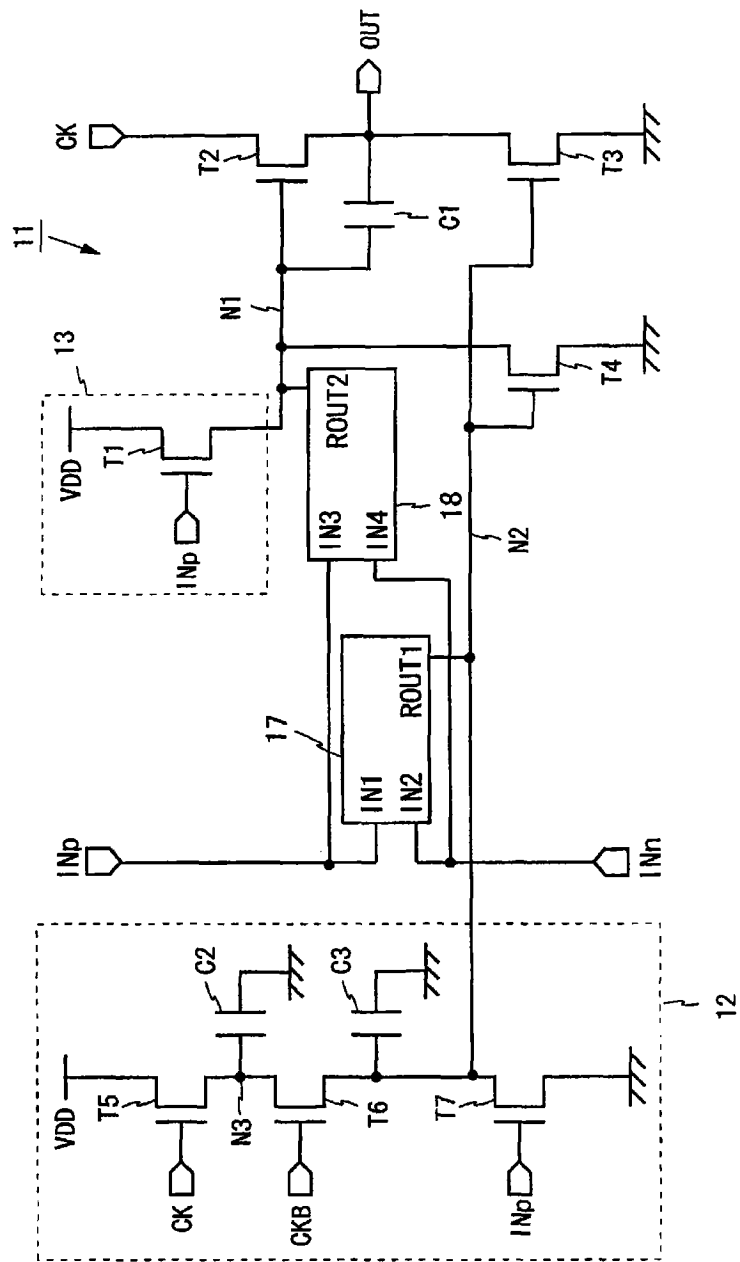
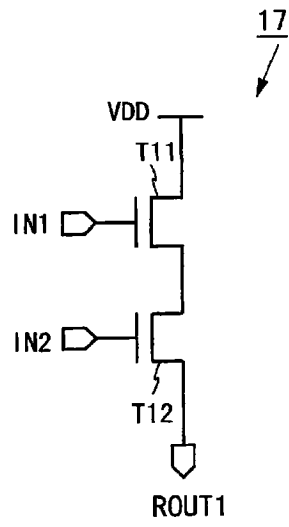


图 2



(A)



(B)

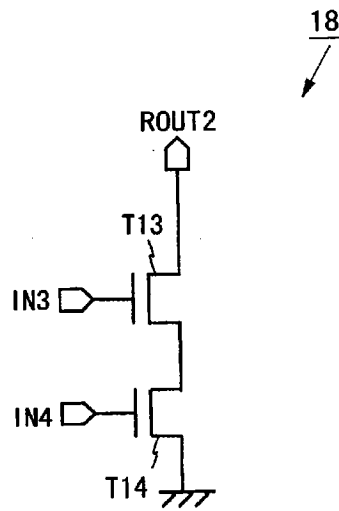


图 3

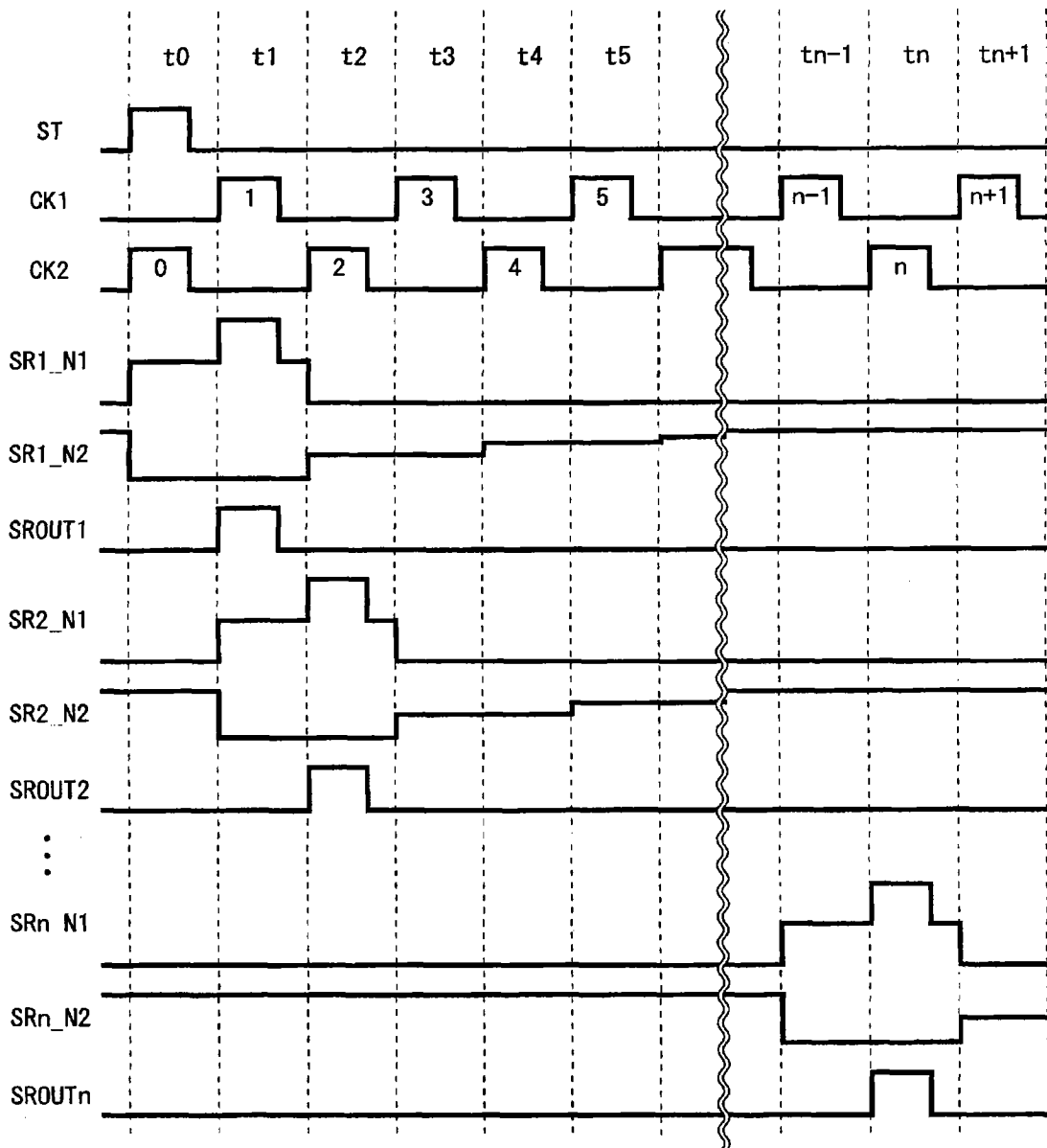


图 4

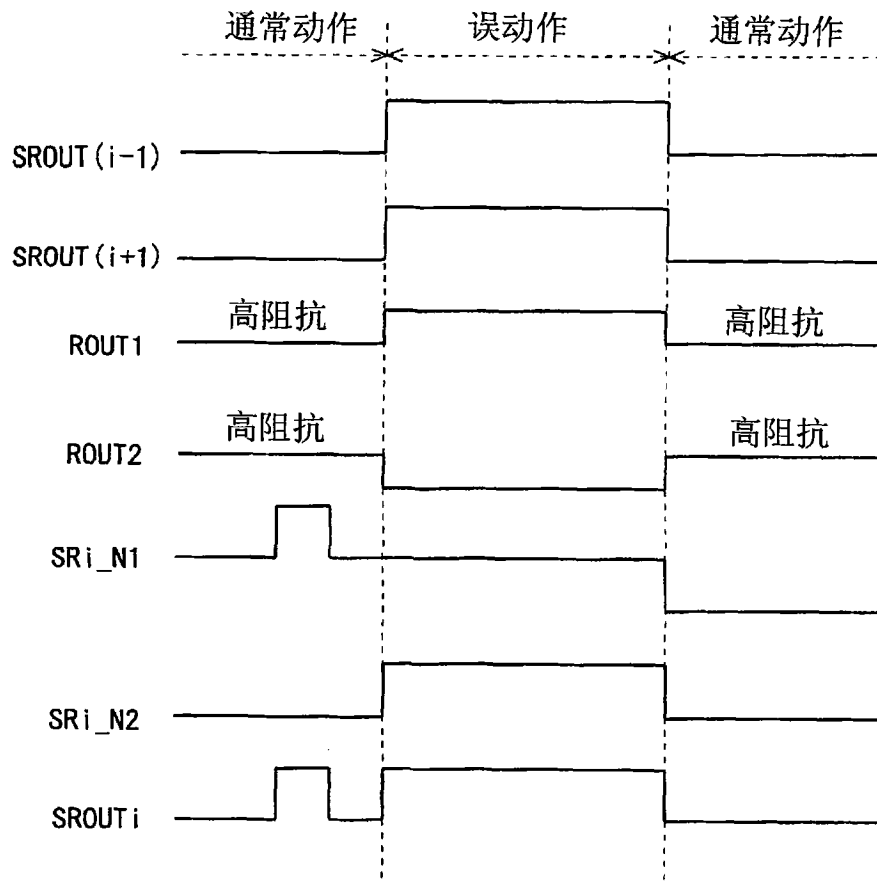


图 5

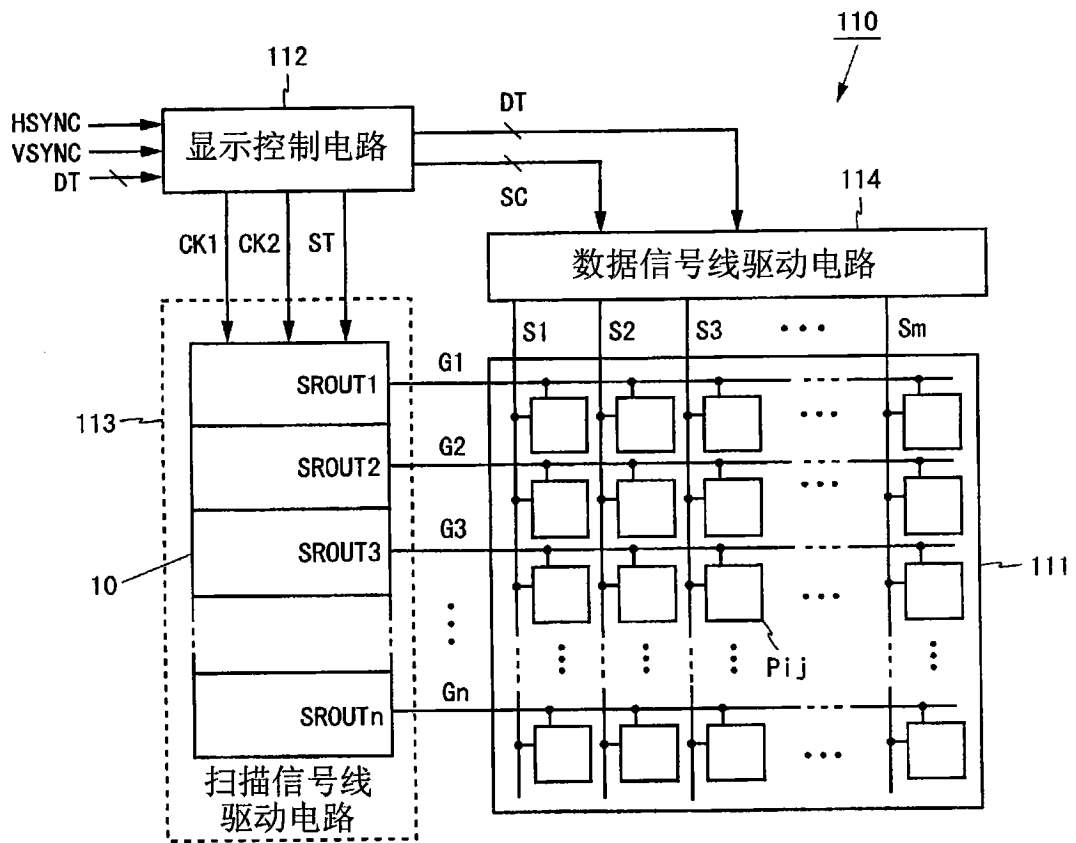


图 6

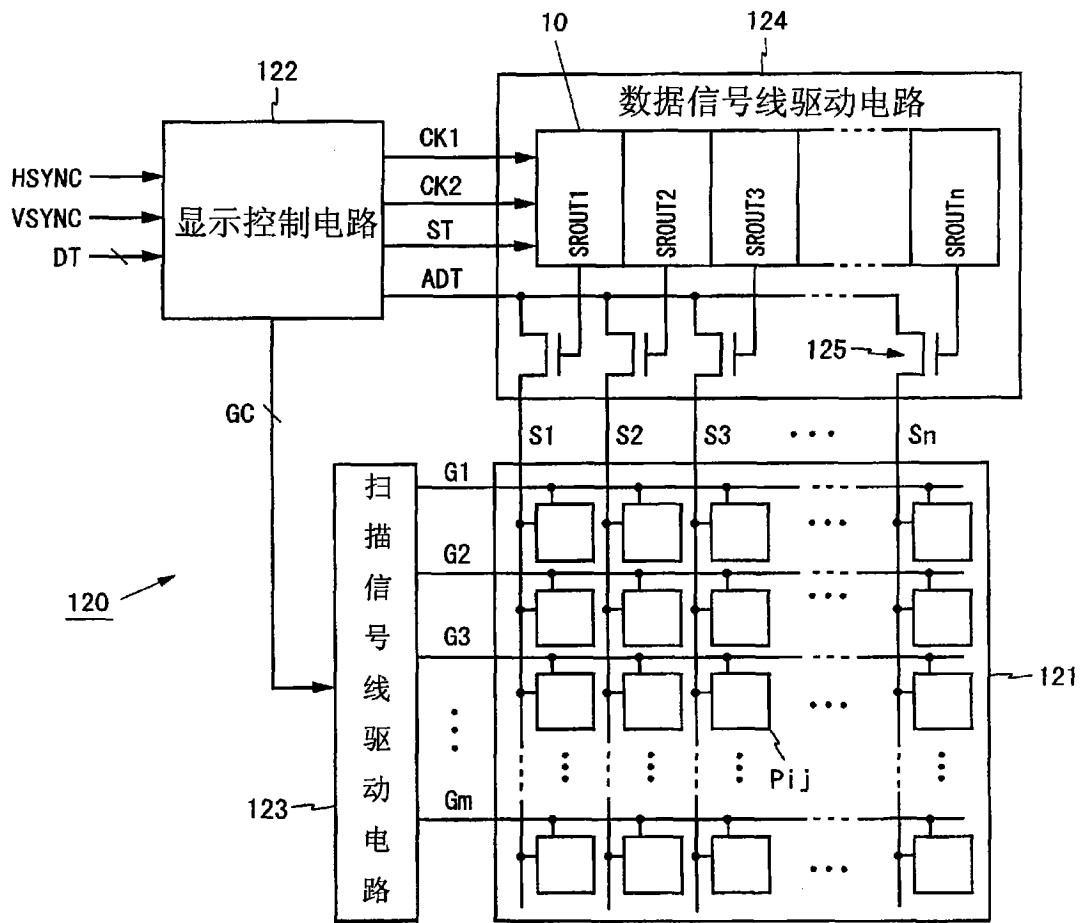


图 7

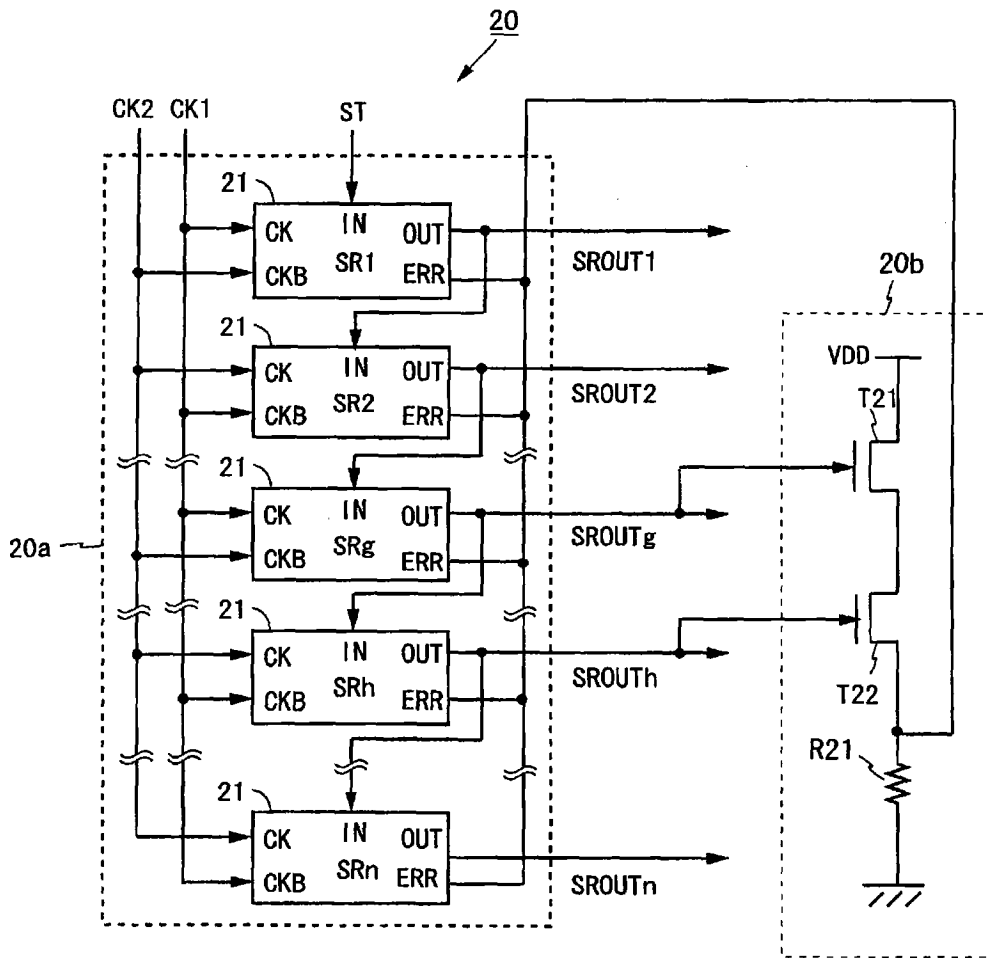


图 8

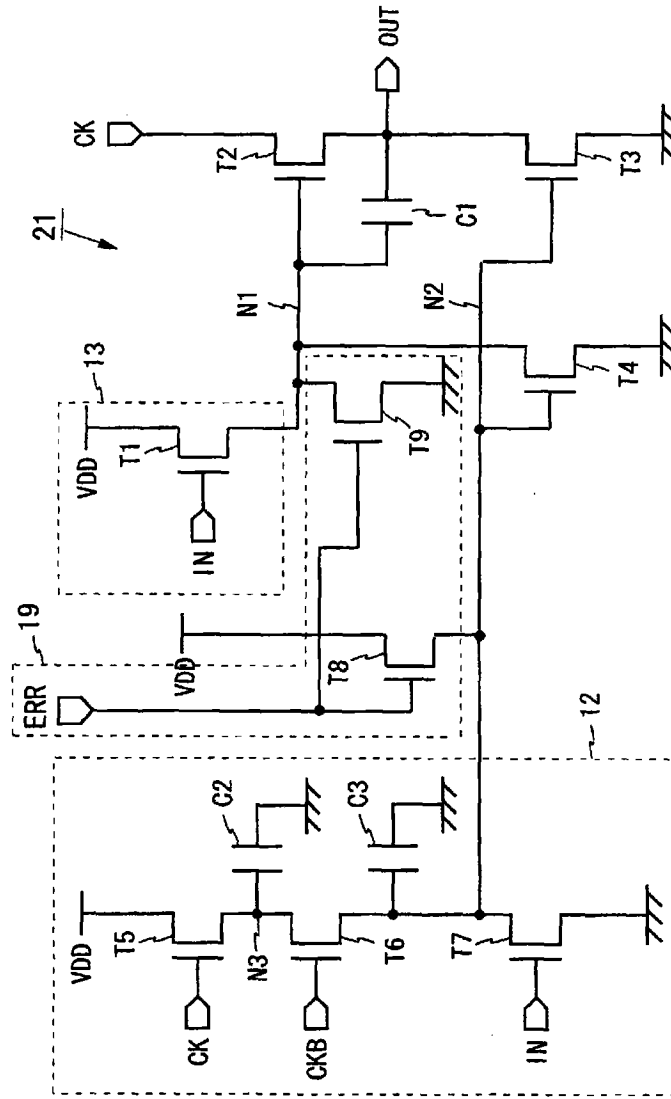


图 9

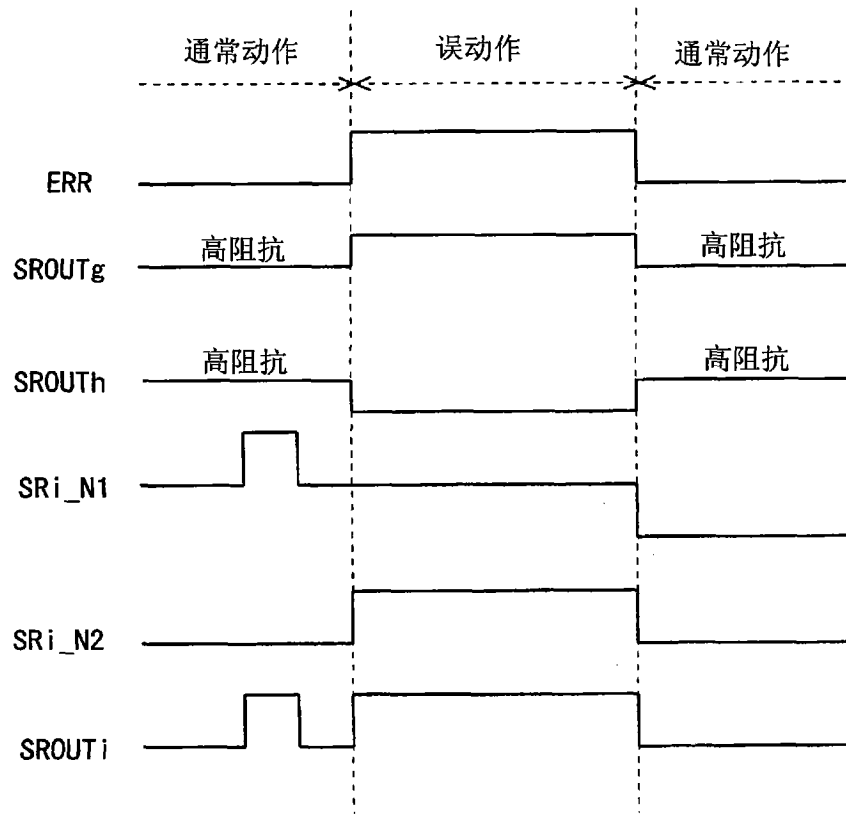
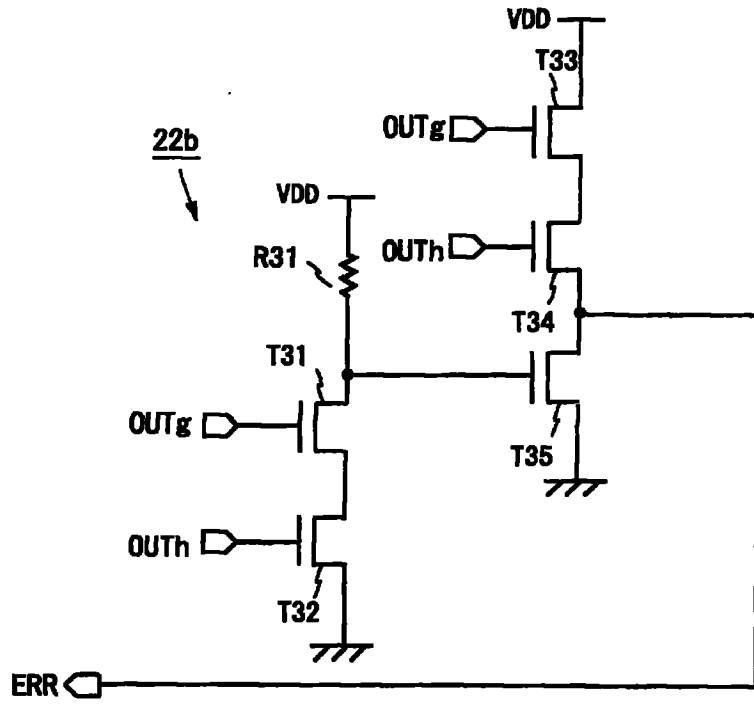


图 10



(A)



(B)

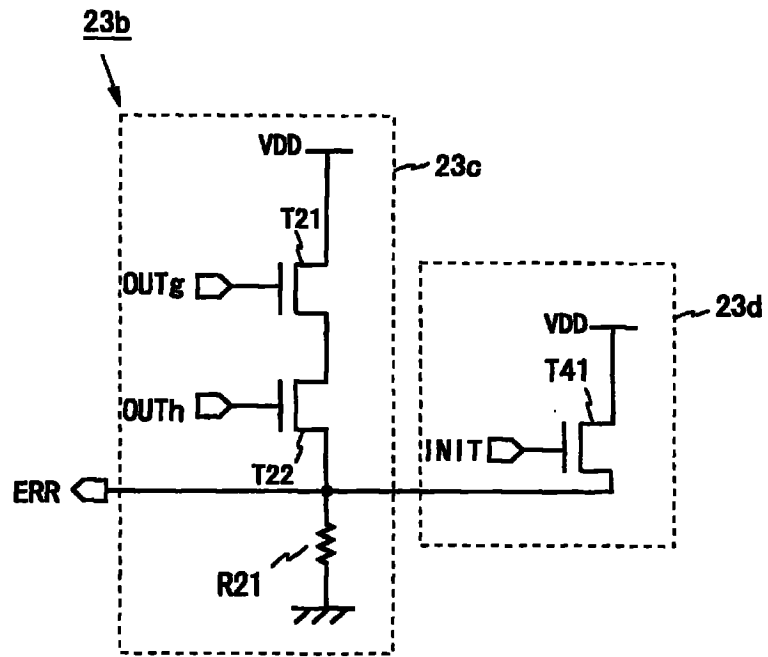
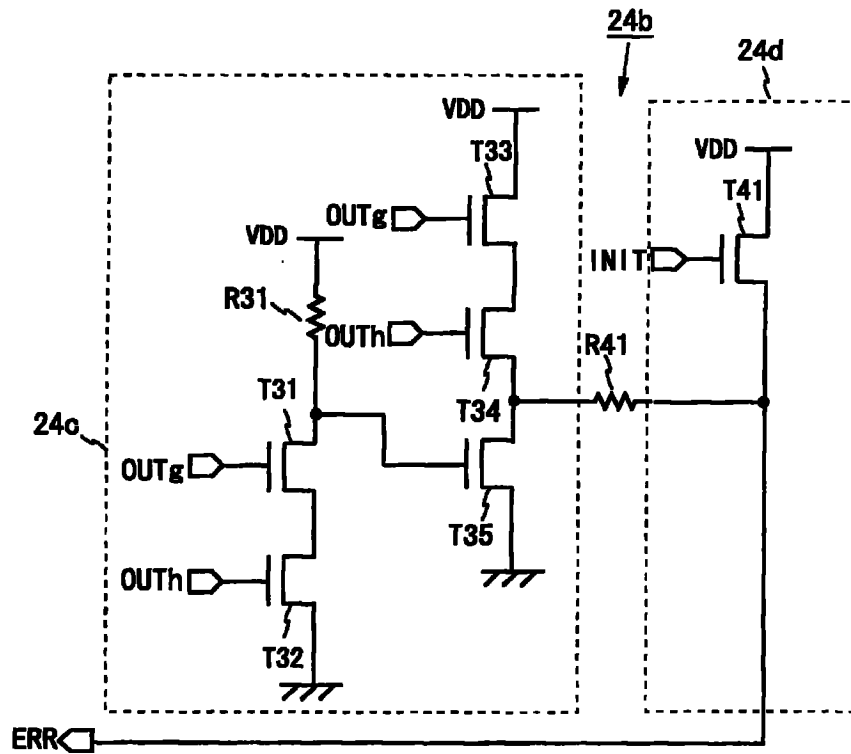


图 11

(A)



(B)

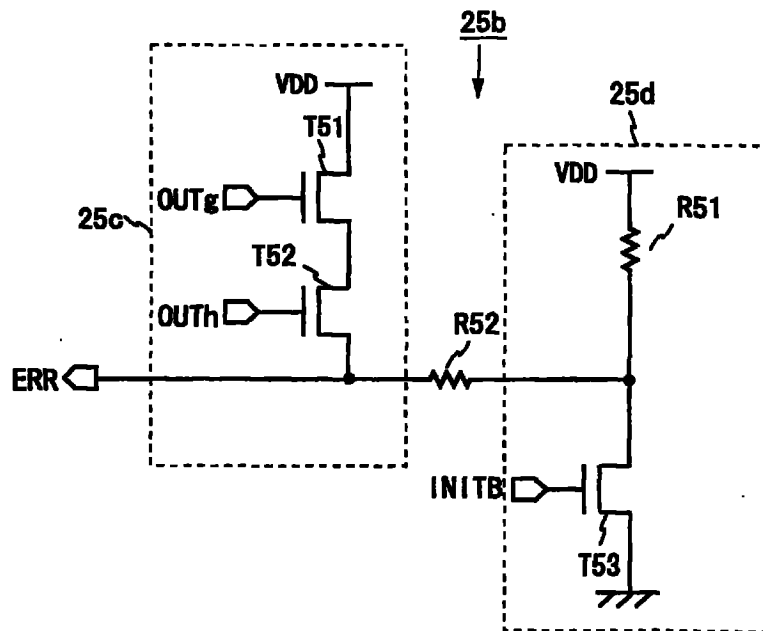


图 12

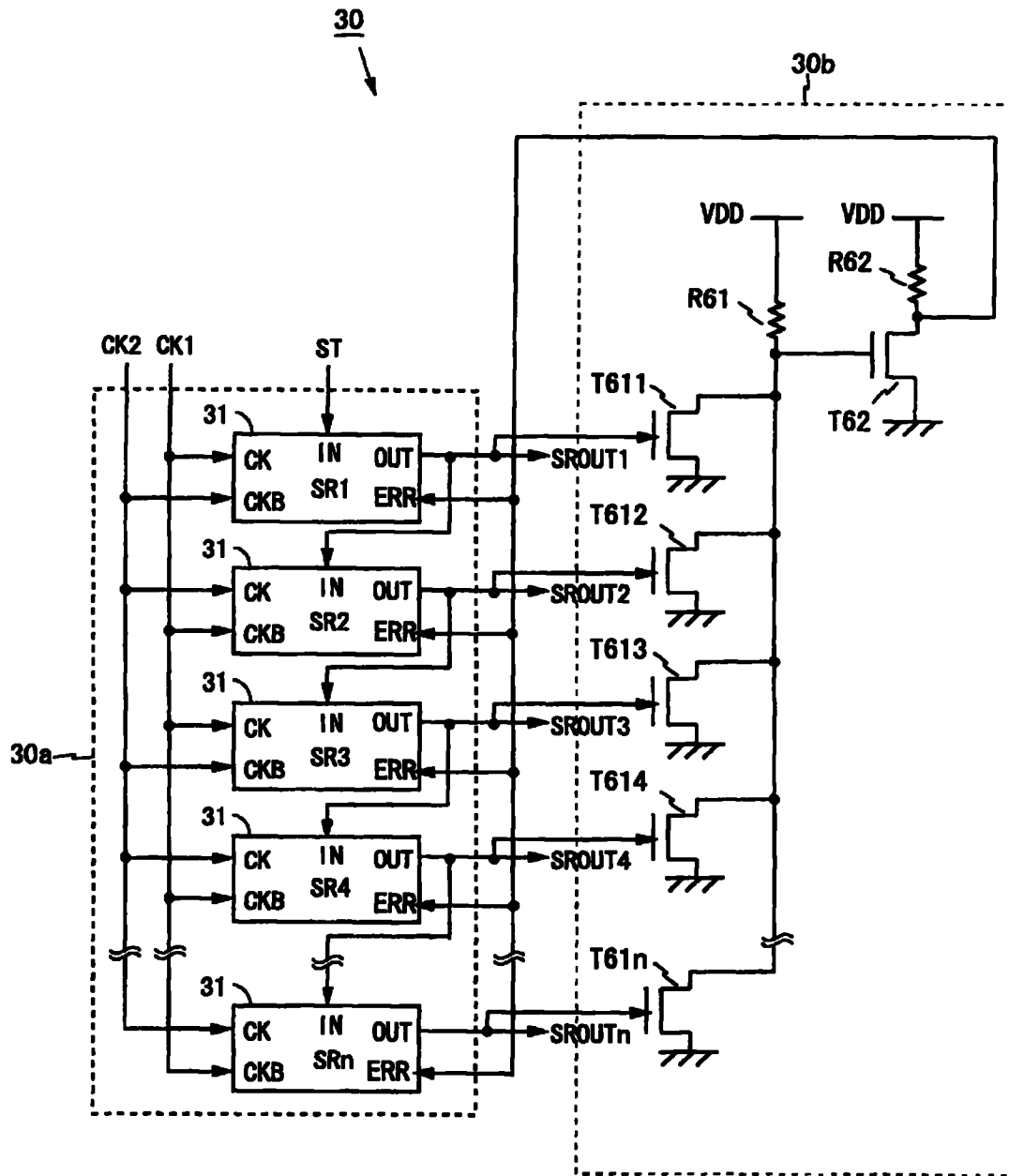


图 13

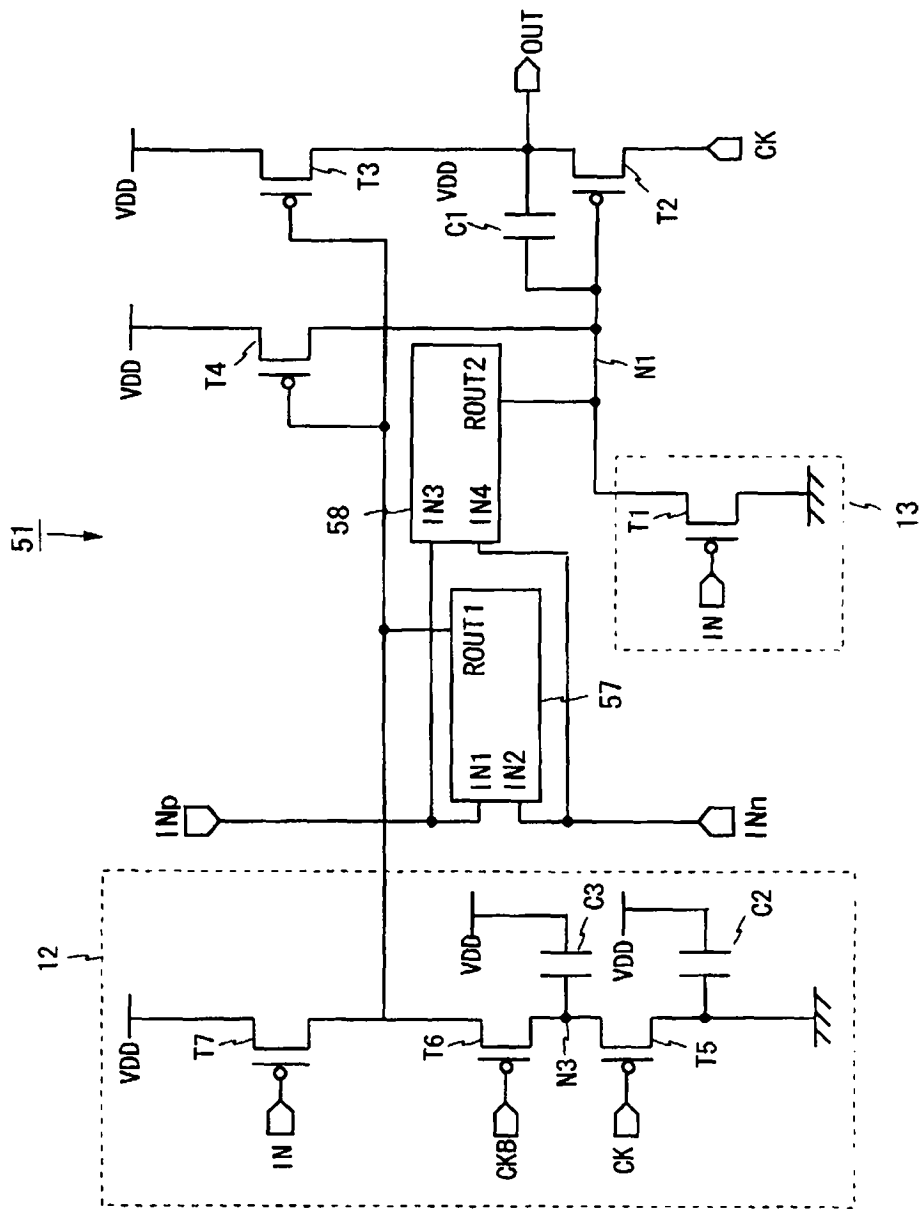


图 14

(A)

57

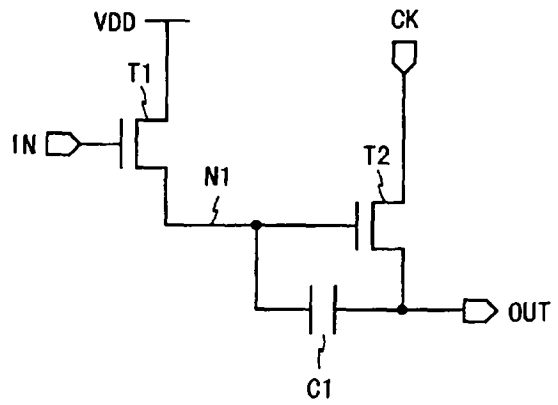
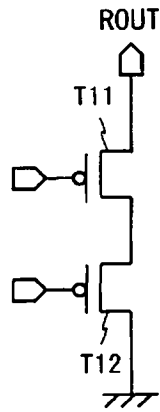


图 16

(B)

58

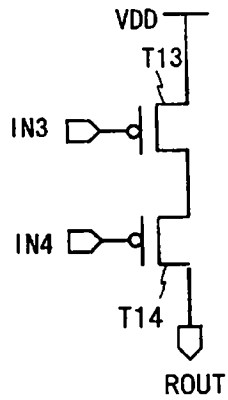


图 15

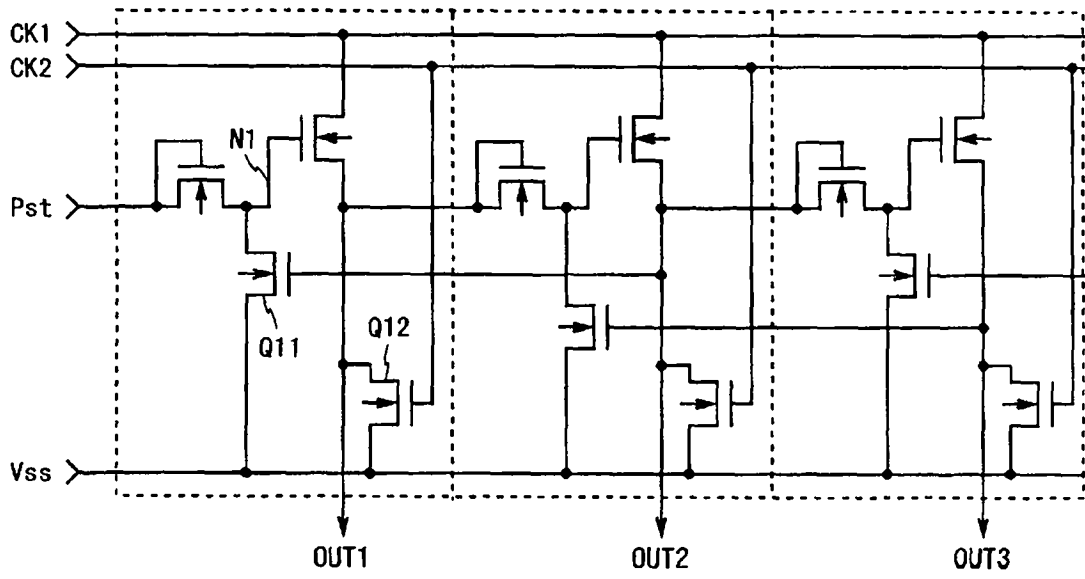


图 17

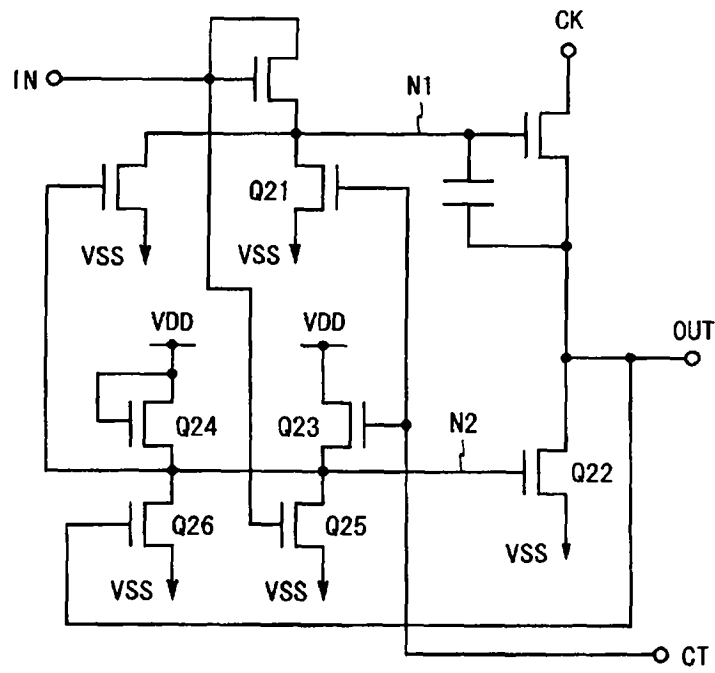


图 18