

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H02M 5/45	(45) 공고일자 1999년09월 15일	(11) 등록번호 10-0220653
	(24) 등록일자 1999년06월23일	
(21) 출원번호 10-1991-0022578	(65) 공개번호 특1992-0013914	(43) 공개일자 1992년07월30일
(22) 출원일자 1991년12월 10일	(30) 우선권주장 90123736.2 1990년12월 10일 EP0(EP)	(73) 특허권자 아세아 브라운 보베리 아게 에르네스트 클라인
(72) 발명자 스위스연방국 시에치-5401 바덴 하셀슈트라세 16 허베르트 쉬테올러 스위스연방 5416 키르히도르프 아호른베크 16 페터 쉬타이머 스위스연방 8165 쉴라이니콘 호프비스 6 비외른 오데가르트 스위스연방 5300 투르기 노이매틀리스트라세 21	(74) 대리인 박해선, 이준구	

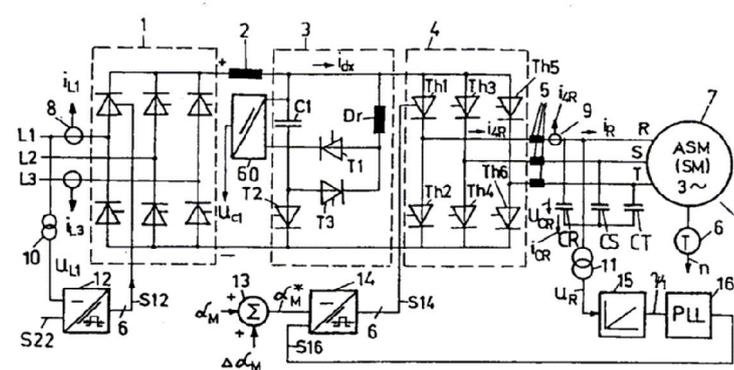
심사관 : 김남정

(54) 고조파 및/또는 공진진동을 제거 또는 저감하는 방법 및 장치

요약

d.c. 중간회로를 구비한 컨버터(1~4)에 의해서 공급된 캐패시터 뱅크(CR, CS, CT)에 병렬접속된 a.c. 기(7)는 컨버터의 인버터(4)의 구형전류에 의해서 여자되는 공진시스템을 형성한다. 이 경우, 공진점의 주파수를 구비한 부가 고조파의 머신전압과 머신전류에서의 기준 및 정상 고조파는 포개어 진다. a.c. 기(7)의 저속범위에서, 이 여자는 전류 갭의 최적 작동순서에 의해서 제거되고, 퀸칭 회로(3)에 의해서 전류블록의 내측에 생성된다. 전류 갭은 제11과 제13고조파의 감쇠를 위하여 각각의 전류블록의 시작과 끝에 생기고, 제7고조파의 감쇠를 위하여 전류블록의 중심에 생긴다. 턴-온 각 기준치 신호(α_M)는 제5고조파의 감쇠를 위하여 턴-온 각 미분신호($\Delta\alpha_M$)에 의해서 수정되고, 특히 여자 혹은 이용 가능한 고조파는 0 혹은 0의 주변에서 제어된다.

대표도



명세서

[발명의 명칭]
고조파 및/ 또는 공진진동을 제거 또는 저감하는 방법 및 장치

[도면의 간단한 설명]
제1도는 3상 교류 기기에 신호를 공급하는 컨버터내에 인버터용 d.c. 중간회로 및 퀸칭회로(quenching circuit)를 구비하는 컨버터의 블록도.
제2도는 제1도에 따른 컨버터용 제1제어회로의 블록도.
제3도는 컨버터내의 인버터용 제3제어회로의 블록도.
제4도는 제1도에 따른 컨버터용 제2제어회로의 블록도.

을 한다. 동일한 방법(도시하지 않음)으로 2개의 다른 위상 도체(L2,L3)의 교류전압을 검출한다.

전압 컨버터(10)의 출력측은 상기 변환기(12)의 출력 측에서 6개의 턴온 펄스(S12)를 정류기(1)의 사이리스터에 전달하는 정류기 턴온 펄스 변환기(12)에 접속된다. 또한 정류기(1)는 12 펄스 설계일 수 있다.

d.c.측이 인버터(4)에 병렬로 접속된 권칭 회로(3)는, 권칭 회로 커패시터(C1)와, 캐소드측의 음(-)공급 단자에 접속된 사이리스터(T2)로 이루어진 제1직렬회로를 갖는다. 유도성 리액턴스 혹은 링-어라운드 인덕터(Dr)와, 캐소드 측이 사이리스터(T2)의 애노드에 접속된 제어가능한 전자 밸브 혹은 사이리스터(T1)의 직렬회로는 권칭 회로 커패시터(C1)와 병렬회로로 제공된다. 사이리스터(T3)는 사이리스터(T1)와 역으로 병렬 접속된다. 특히 낮은 중간 회로 전압의 경우에, 사이리스터(T2) 대신에 다이오드(도시하지 않음)를 대체할 수 있다.

부호 60은, 권칭 회로 커패시터(C1)에서, 권칭 회로(3)를 제어하는 제어장치(도시하지 않음)에 공급되는 직류전압(U_{c1})을 정류하는 d.c.검출기를 나타낸다.

본 발명의 컨버터는, 예를 들면 2.4kV의 중간 회로 전압과 840A의 중간 회로 전류(i_{dk})용으로 설계된다. 권칭 회로 커패시터(C1)의 용량은 133μF이고, 링-어라운드 인덕터(Dr)의 인덕턴스는 0.1mH이다.

EP-B1-0,161,738에 개시된 종래의 콰터 턴-오프장치와 비교하면, 여기에 특징된 콰터 권칭 회로(3)는 사이리스터(Th1-Th6)의 턴-오프동안 가변설정할 수 있는 잇점이 있다. 링-어라운드 인덕터(Dr)는, 콰터 권칭 회로가 작은 공간을 갖도록 치수를 비교적 작게 할 수 있다.

또한, 사이리스터(T3)를 사이리스터(T1)와 역-병렬접속하는 대신에, 사이리스터(T2)와 함께 병렬회로로 사이리스터(T1)에 접속할 수 있으며, 사이리스터(T2)의 캐소드는 사이리스터(T3)(도시하지 않음)의 애노드에 접속된다.

인버터(4)는, 인버터 턴온 펄스 변환기(14)로부터 턴온 펄스(S14)를 수신하는 6 사이리스터(Th1-Th6)를 가지며, 명확화를 위해 사이리스터(Th1)하나에만 접속한 것을 나타낸다.

가산기(13)는 입력측에 도달하는 턴온 각 기준치 신호(αM)와 턴온 각 미분신호(ΔαM)를 가산하여 출력측에 턴온 각 신호(αM*)를 출력하며, 그 출력된 신호는 인버터 턴온 펄스 변환기(14)에 공급된다.

인버터(4)는 출력측에 인버터 전류(i_{4R})를 전달하며, 그 전달된 전류는 a.c.위상(R)과 관련하여 커패시터(CR)를 통과하는 커패시터 전류(i_{CR})와 부하를 통과하는 부하전류(i_R)로 재분배되며, 2개의 다른 위상(S,T)에서도 동일하게 이루어진다. 인버터 전류(i_{4R})는 변류기(9)에 의해서 검출되고, 부하전압(U_R)은 변압기(11)에 의해서 검출된다.

부하전압(U_R)에 비례하는 신호는 적분기(15)를 통해 위상 상호 연결 피이드백 루우프 혹은 위상 고정 루우프(16)에 공급되고, 그의 출력신호(S16)는 인버터 턴온 펄스 변환기(14)에 공급된다. 적분기(15)의 출력신호는 고정자 자속 쇄교수(stator flux linkage)(ψ₁)에 대응하며, 부수결과는 a.c. 위상(S,T)에 대하여도 동일하다.

부호 6은 3상 교류 기기(7)에 연결된 회전계용 발생기(tachometer generator)를 나타내며, 그의 출력측에서 속도신호(n)가 출력된다.

제2도는 제1턴온 각 제어 프로세스에 관한 회로를 나타낸다. 이 경우, 속도신호(n)는 램프 발생기(23) 및 가산기(18)의 음(-)입력측에 공급된다. 램프 발생기(23)의 출력측에서는 소정치 전압신호((U_w)를 가산기(24)의 양(+)입력측에 전달하며, 가산기(24)의 음(-) 입력측에는 3부하전압(U_R, U_S, U_T)의 최대치의 절대치 신호(|U_x|)가 입력된다. 가산기(24)의 출력측에는, 양 방향성 리미터(bilateral limiter)(25)를 구비한 비례-적분, 혹은 PI 제어기(25)가 제공되며, 제어기의 출력측에서는 전류성분 신호(i_d)를 좌표 변환기(20)에 전달한다. 또한 규정 가능 소정치 속도 신호(n_w)는 램프발생기(17), 가산기(18) 및 양 방향성 리미터를 구비한 PI 제어기(19)를 경유하여 전류 성분 신호(i_q)로 좌표 변환기에 공급되며, 전류 성분 신호(i_q)는 좌표 변환기(20)에서 번역되어 전류 성분 신호(i_d)와 직교가 된다. 램프 발생기(17)의 출력측은 가산기(18)의 양(+)입력측에 연결되어 있다.

좌표 변환기(20)의 절대치 전류신호(|i|)는 중간 회로 소정치 전류 신호(i_{dw})로 출력되어 가산기(21)의 양(+)입력측에 공급되고, 중간 회로 전류 비례 신호(i_{dk})는 가산기(21)의 음(-)입력측에 공급된다. 가산기(21)의 출력측에는 양 방향성 리미터를 구비한 PI 제어기(22)에 연결되며, 제어기의 출력신호(SW2)는 정류기의 턴온 펄스변환기(12)에 공급된다.

가산기(26)의 양(+) 입력측에는 좌표 변환기(20)의 각 출력(ψ)이 공급되고, 또 다른 양(+) 입력측에 180° 신호가 공급되어 가산되며, 그 가산된 신호는 턴온 각 기준치 신호(αM)로 출력된다.

제5고조파에 대한 턴온 각 미분신호(ΔαM)가 공진 감쇠 소자(27)에서 생성된다. 이 공진 감쇠 소자(27)는 스택 컨버터 전류의 제5고조파를 0으로 제어한다. 소자(27)는 3상/2상 좌표 변환기(31)를 가지며, 변환기의 3상 입력에는 인버터 전류(i_{4R}, i_{4S}, i_{4T})에 비례하는 전류신호가 공급된다. 3상/2상 좌표 변환기(31)의 2상 출력(d)은, 2차 로우 패스 필터(32), 가산기(34) 및 PI 제어기(36)를 경유해서 2상/3상 좌표 변환기(30)의 2상 입력(d)에 연결된다.

로우 패스 필터(32)의 출력측은 가산기(34)의 양(+)입력측에 연결된다. 가산기(34)의 또 다른 양(+) 입력측에는 0신호가 소정치로 공급된다. 또한 3상/2상 좌표 변환기(31)의 다른 2상 출력은, 2차 로우 패스

필터(33), 가산기(35) 및 PI 제어기(37)를 경유해서 2상/3상 좌표 변환기(30)의 제2상 입력(9)에 연결된다. 로우 패스 필터(33)의 출력측은 가산기(35)의 음(-) 입력측에 연결되며, 가산기(35)의 양(+) 입력측에는 0신호가 소정치로 공급된다.

위상 동기 루프(phase-locked loop)(28)의 입력측에는 인버터 전류신호(i_{4R} , i_{4S} , i_{4T})가 공급되고, 그의 출력측에서는 사인 신호 $\sin(\omega_1 \cdot t)$ 및 코사인 신호 $\cos(\omega_1 \cdot t)$ 를 고니오 미터 기능용 함수 발생기(29)에 전달한다. 상기 발생기의 출력측에서는 사인 신호 $\sin(2 \cdot \omega_1 \cdot t)$ 및 코사인 신호 $\cos(2 \cdot \omega_1 \cdot t)$ 를 위상 이동 장치(phase-shifting device)혹은 위상 회전자(59)에 전달하고, 회전각(ψ)에 대응하는 위상신호, 바람직하게는 -90° 가 부가 공급된다. 이 배열에서, 부호 ω_1 는 3상 교류 기기(7)의 고정자 각주파수를 나타내고, t 는 시간을 나타낸다. 위상 회전자(59)의 출력측에는, 2상/3상 좌표 변환기(30)의 입력 $\sin \epsilon$ 및 $\cos \epsilon$ 에 연결되며, 부호 ϵ 는 좌표계 사이의 각을 나타낸다. 함수 발생기(29)의 다른 출력측에서는 함수 $-\sin(5 \cdot \omega_1 \cdot t)$ 및 $\cos(5 \cdot \omega_1 \cdot t)$ 의 신호가 출력가능하며, 3상/2상 좌표 변환기(31)의 $\sin \epsilon$ 및 $\cos \epsilon$ 에 입력 공급된다.

또한 함수 발생기(29)에 의해서 규정된 이외의 다른 고니오 메트릭 함수(goniometric function)를 발생시킬 수 있는 것은 말할 나위도 없다. 또, 이들을 턴온 각 기준치 신호(α_M)를 수정하는 데에도 동일하게 사용할 수 있다.

3상/2상 좌표 변환기(31)는, R,S 및 T 값을 직각 α, β 좌표계로 변환하고, 그후 직각 d,q 좌표계로 변환하며, 다음의 변환 방정식에 따라 각 (ϵ)에 의해서 회전된다.

$$\alpha = 2 \cdot R/3 - S/3 - T/3,$$

$$\beta = (1/3) \cdot (S - T),$$

$$d = \alpha \cdot \cos \epsilon + \beta \cdot \sin \epsilon,$$

$$q = -\alpha \cdot \sin \epsilon + \beta \cdot \cos \epsilon.$$

2상/3상 좌표 변환기(30)는 직각 d,q좌표를 각(ϵ)에 의한 회전을 통하여 직각 α, β 좌표계로 변환하고, 그후 변환 방정식에 따라 3상 R, S, T좌표로 변환된다.

$$\alpha = d \cdot \cos \epsilon - q \cdot \sin \epsilon,$$

$$\beta = d \cdot \sin \epsilon + q \cdot \cos \epsilon,$$

$$R = \alpha,$$

$$S = -0.5 \cdot \alpha + 0.5 \cdot \sqrt{3 \cdot \beta},$$

$$T = -0.5 \cdot \alpha - 0.5 \cdot \sqrt{3 \cdot \beta}.$$

또한, 제2도에 도시한 공진 감쇠 프로세스는, 특히 다른 보다 복잡한 제어, 예를 들면 벡터제어로도 가능하며, 턴온 각(α_M)을 통하여 인버터(4)에서 작동한다. 제1도에서 도시한 턴온 각(α_M)의 부호는 기기 전압(U_r, s, t)일 수 있다. 그러나 원칙적으로는 예에서의 다른 부호는 고정자 자속 쇄교수 혹은 턴온 각(α_M)에서 부호로서 사용된 대응 e.m.f일 수 있다.

제4도는 제2턴온 각 제어 프로세스에 대한 회로를 도시한다.

이 경우에, 규정 가능한 소정치 속도 신호(n_w)는 램프 발생기(48)를 통하여 가산기(50)의 양(+) 입력측에 공급된다. 이 가산기(50)의 음(-) 입력측에는 속도신호(n)가 공급된다. 이 가산기(50)의 출력측은 양 방향성 리미터(52)를 구비한 PI 제어기 및 곱셈기(multiplier)(54)를 통해 가산기(56)의 양 입력에 연결된다. 또한 가산기(56)의 다른 양 입력에는 속도신호(n)가 입력된다. 곱셈기(54)는 관련계기 파라미터, 즉 토크 슬립 주파수를 나타내는 규정가능한 인자(K)에 의해서 양 방향성 리미터를 구비한 PI 제어기의 출력신호치를 곱한다. 곱셈기(54)의 출력신호는 3상 교류 기기 (7)의 회전자 주파수(f_2)에 대응하고, 가산기(56)의 출력신호는 고정자 주파수(f_1)에 대응한다. 이 출력신호는 가산기(58)의 양 입력 및 곱셈기(47)에 공급된다.

제2도에 따른 공진 감쇠 소자(27)의 출력신호는 제2도에 따른 가산기(13)에 일치하는 가산기(58)의 다른 양 입력에 공급되며, 이 출력신호는 미분 주파수 신호(Δf_1)에 대응하며 더 이상 턴온 각 미분신호($\Delta \alpha_M$)에 대응하지 않는다.

다른 인자신호로서 소정의 고정자 자속 쇄교수치(ψ_{1w})는 곱셈기에 공급된다. 곱셈기(47)의 출력측에서

나타난 소정의 전압치 신호(U_w)는 가산기(49)의 양(+) 입력에 공급된다.

부하전압(U_x)의 절대치 신호는 가산기(49)의 음(-) 입력에 공급된다. 가산기(49)의 출력측은 양 방향성 리미터를 구비한 PI 제어기(51) 및 절대치 컴퓨터(53)를 통해 제2도에 따른 가산기(21)의 음(-)입력에 연결된다. 이 가산기(21)의 양(+) 입력에는 중간 회로 전류 신호(i_{dx})가 공급된다.

가산기(21)의 출력측은 양방향성 리미터를 구비한 PI 제어기(22)를 통해 정류기 턴온 펄스 변환기(12)에 연결된다. 또한 PI 제어기(52)의 출력측은 절대치 컴퓨터(53)의 입력측에 더 연결되며, 상기 컴퓨터(5)

는 입력신호(x, y)의 직교성분으로부터 형성된 벡터의 절대치, $\sqrt{x^2 + y^2}$ 에 따라 계산한다.

또한 제4도에 나타낸 이 공진 감쇠 프로세스는 Δf1를 매개로 다른 모든 프로세스, 예를 들면 벡터 제어를 사용할 수 있는데, 주파수 신호(f1)를 경유하여 인버터(4)에서 작동한다.

제3턴은 펄스 제어 프로세스는 제3도와 관련하여 설명한다.

a.c. 위상(R, S, T)과 관련한 부하전압신호(U_R, U_S, U_T)는 간단히 (U_R, U_S, U_T)로 나타내며, 로우-패스 필터(38) 및 턴온 각 기준치 신호(αM)에 의해서 입력신호를 회전시키는 위상 회전자(40)를 통해서 180°의 동작동안 출력측이 SR 트리거 소자(45)의 세트입력에 연결된 디지털 소자(42)에 공급된다.

이 디지털 소자(42)는 턴온 윈도우(window)를 개방한다. 제2도 및 제4도를 참조하여 상기 제어프로세스중 하나를 이용하여 턴온 각 기준치 신호(αM)를 얻을 수 있다.

부하전류신호(i_R, i_S, i_T)는 간단히 (i_R, i_S, i_T)로 나타내며 밴드 패스 필터(39) 및 위상 회전자(41)를 통해 출력측이 AND 소자(46)의 입력에 연결된 턴온 펄스 발생기(43)에 공급된다. 위상 회전자(41)는 회전 각(φ1), 바람직하게는 90°를 공급한다. 동작동안 발생기(42)에 의해서 발생된 턴온 윈도우 내측에 있어서, 턴온 펄스 발생기(42)는 공진 진동의 포지티브-고잉 제로 크로싱(positive-going zero crossing)의 경우에 과도 턴온 펄스를 발생한다. 결과적으로, 사이리스터(Th1-Th6)를 제어하는 턴온 펄스는, 일시적으로 턴온 각 변조에 대응하는 턴온 각 기준치 신호(αM)에 관련하여 대체된다.

AND소자(46)의 제2입력은 SR트리거 소자(45)의 Q출력에 연결된다. AND소자(46)의 출력측은 SR 트리거 소자(45)의 리셋 입력 및 사이리스터(Th1)의 제어입력에 연결된다.

SR 트리거소자(45) 및 AND소자(46)는, 출력신호가 S4로 표시되며 제1도에 따른 턴온 펄스 신호(S14)에 대응하는 턴온 펄스 로직 회로(44)의 사이리스터(Th1)에 부여된 부품이다. 사이리스터(Th2-Th6)를 턴온시키기 위하여, 턴온 펄스 로직 회로(44)는 사이리스터(Th1)에 의한 대응 회로를 포함한다.

밴드 패스 필터(39)의 입력측에는 부하전류신호(i_R, i_S, i_T)대신에 (i_{CR}, i_{CS}, i_{CT})에 대응하는 커패시터 전류신호(i_{CR}, i_{CS}, i_{CT}) 혹은 (U_R, U_S, U_T)에 대응하는 부하전압신호(U_R, U_S, U_T)를 공급할 수 있다.

이들 3개의 제어 프로세스의 공통점은, 인버터(4)에 대한 턴온 각 기준치 신호(αM)의 턴온 각 변조를 통해 감쇠 고조파, 바람직하게는 제5고조파를 감쇠시킨다는데 있다. 우선 2개의 제어프로세스에서는 턴온 각 기준치 신호(αM) 혹은 주파수 신호(f1)에, 제1도 및 제4도와 관련하여 일반적으로 다음과 같이 규정된 미분신호(ΔαM) 혹은 (Δf1)를 가한다.

$$\Delta \alpha_M = \sum_{k=1}^n a_k \cdot \sin (k \cdot \omega_1 \cdot t + \gamma_k)$$

$$\Delta f_1 = \sum_{k=1}^n f_k \cdot \sin (k \cdot \omega_1 \cdot t + \gamma_k),$$

여기서, a_k 및 f_k는 상수, k는 변수, k1은 10이상인 상수, w1는 라인측 및/또는 부하측 공진 회로의 각 주파수, t는 시간 및 γ_k는 위상각을 나타낸다. 바람직하게는, 변조신호 sin(k·ω1·t)는 인버터 전류(i_{4R}, i_{4S}, i_{4T})로 위상 동기화 되어야 한다. 또한, γ_k를 적절히 선택하여, 각 경우에 인버터(4)의 6개의 턴온 순간중 2개의 턴온순간이 턴온 각 미분치(ΔαM)에 의해 영향을 받지 않도록 본 변조 신호가 인가되는 것이 가능하다. 뿐만 아니라 경계조건과 관련하여, 예를 들면 인버터 출력전류(i_{4R}, ...)에 있어서의 제5고조파를 0으로 제어하는 것이 가능하다.

특히,

$$\Delta \alpha_M = a_2 \cdot \sin (2 \cdot \omega_1 \cdot t + \gamma_2) \text{ 또는}$$

$$\Delta f_1 = f_2 \cdot \sin (2 \cdot \omega_1 \cdot t + \gamma_2)$$

과 관련하여, 제18도와 관련한 스택 컨버터 전류에 있어서 고조파 직류계 또는 다른 고조파를 생성하지 않으면서 6개의 턴온 순간 대신에 4개의 턴온 순간(t5, t6, t8, t9)만으로 대체하여 제5고조파를 제거시키는 것이 가능하다. 턴온 순간(t4, t7)의 경우에는 대체하지 않는다.

제5도는 3상 교류 기기(7)의 정격토크의 약1/4에 대응하는 정격속도 40%의 경우에 제5고조파에 대한 공

진정에서의 시간(t)의 함수로서 턴은 각 신호(αM^*)를 라디안으로 나타낸다.

다음의 제6, 8, 10도 및 제12도는 제5고조파가 감소되지 않은 3상 교류 기기(7)의 전기 토크(M), 인버터 전류(i_{4R}), 부하전류(i_R) 및 부하전압(U_R)을 각각 나타낸 것이고, 인접한 제7, 9, 11도 및 제13도는 제5고조파를 감소시킨 동일한 물리적인 변수를 나타낸 것이다.

표시된 시의존성 커브는 컴퓨터 시뮬레이션에 의해서 얻어지며, a.c. 위상(R)의 예를 통하여 감소효과를 명확히 보여준다.

d.c. 중간회로(2,3)를 구비한 컨버터(1-4)는 그의 출력단자에 접속된 시스템에 인가전류를 공급하고, 이 인가된 구형파 전류는 라인측상 또는 기기측상에 접속된 시스템에 존재하는 공진점을 여자시킬 수 있다. 또한, 이 여자는 특히 전류에 포함된 고조파에 의해 생성될 수 있으며, 이러한 시스템은 고조파를 매우 크게 증폭시킬 수 있다. 특히, 대응하는 고조파의 주파수가 공진 주파수와 정확하게 대응하는 경우, 오믹 손실(ohmic loss)에 의해서 진폭만 제한되는 링잉 진동이 고품질 공진 회로의 경우에 생성된다. 위에서 언급한 소위 I 컨버터의 경우에, 이러한 공진 시스템은 부하 커패시터(CR, CS, CT)를 구비한 커패시터 뱅크 및 3상 교류 기기(7)의 누설 인덕턴스에 의해서 형성된다.

L_7 에 의한 3상 교류 기기(7)의 누설 인덕턴스와 C에 의한 커패시터 뱅크를 함께 표시하면, 공진 각 주파수는 다음의 식으로 계산된다.

$$\omega_{Res} = 1/\sqrt{L_7 \cdot C}$$

예로서 50Hz 3상 교류 기기(7)의 경우에 있어서의 공진 주파수는 $f_{Res} \approx 100\text{Hz}$ 이다. 소정의 속도에서, 인버터(4)의 교류 고조파는 공진 주파수와 정확히 정합하나. m번째 고조파에 대한 공진 주파수와의 정합은 출력 주파수 $f_1 = f_{Res} / m$ 에서 발생한다.

$\Delta \alpha_M = a_2 \cdot \sin(2 \cdot \omega_1 \cdot t)$ 인 턴은 각 변조에 있어서, 최적의 a_2 치는 다음의 푸우리 급수에 의해서 결정된다. ($n_{rated} =$ 정격주파수) :

제5고조파 $a_2 = 0.43 \quad n = 0.4 n_{rated}$,

제7고조파 $a_2 = 0.78 \quad n = 0.286 n_{rated}$,

제11고조파 $a_2 = 0.19 \quad n = 0.19 n_{rated}$,

제13고조파 $a_2 = 0.32 \quad n = 0.154 n_{rated}$.

예를 들면 $a_4 \cdot \sin(4 \cdot \omega_1 \cdot t)$ 의 부가 변조 신호를 이용하면 상기 고조파를 약간 낮게 유지될 수 있다.

저속 구동 범위에 있어서, 이 공진여자는 적절히 선택된 동작순서에 의해서 아주 간단히 제거될 수 있다. 이 경우에 제15도에서 볼 수 있는 전류 갭 기간(gap duration)(D)은 $D=1/6(6 \cdot f_{Res})$ 에 따라 공진 주파수(f_{Res}) 자체에 의해서 정의 된다.

이 전류 갭 존속기간(D)은 순간속도의 독립된 상수이다. 전류갭은 자기 정류 I 컨버터 또는 GT0의 밸브 변경에 의해서 또는 기기 측 인버터(4)의 콤먼 퀘칭 회로(3)에 의해서 생성될 수 있다.

콤먼 퀘칭 회로(3)의 경우에 있어서, 이 전류 갭은 모든 스택 컨버터 전류에서 동시에 발견된다.

제14도는 공진 시스템의 여자를 예를 들면 전동기 전류(i_R)로, 구형파 전류 펄스를 통하여, 예를 들면 부하전류(i_R)를 정선으로 나타낸다.

제15도는 낮은 속도 범위에서의 인버터 전류(i_{4R})의 전류 갭 기간(D)에 대한 최적 전류 갭을 나타낸다. 이 경우 제14도에서와 같이, 전류(i)는 세로축, 시간(t)은 가로 축에 나타내며, 진동이 강하게 감소된 것을 부하전류(i_R)의 변동을 보면 알 수 있다. 원칙적으로 제11과 제13고조파는 구형파 전류 펄스의 시작과 끝으로부터 전류 갭 기간(D)의 거리의 갭을 이용하여 효과적으로 감소시킬 수 있다.

제17(b)도 내지 제17(d)도는 a.c. 위상(R, S, T)에 관련한 시간(t) 함수로써 인버터 전류신호(i_{4R} , i_{4S} , i_{4T})를 나타내며, 전류 갭 기간(D)을 갖는 전류 갭은 전류블록의 내측에 해칭으로 나타낸다. 콤먼 퀘칭 회로(3)에 의해서 전류 갭을 생성한다.

콤먼 퀘칭 회로(3)의 사이리스터(T1) 혹은 (T3)를 턴온시키는 턴은 신호의 임시 시퀀스, 즉 인버터(4)의 사이리스터 (Th1-Th6)를 퀘칭시키는 것을 제17(a)도에 나타낸다. 3상 교류기기(7)의 낮은 속도 범위에서의 제11 및 제13 고조파는, 각 전류 블록의 시작과 끝으로부터 전류 갭 기간(D)의 거리에 전류 갭 기간(D)의 전류 갭에 의해서 각 경우에 감소된다. 필수적으로 부가적으로 발생된 각 전류 블록의 중간에서 3개의 전류 갭은 이 경우에는 바라지 않은 것이나 문제가 되지는 않는다.

또한 3상 교류 기기(7)의 작동동안 제7고조파는 스택 컨버터 출력 주파수, $f_1 = f_{Res} / 7 (= 0.286)$ 에서 간섭을 일으킨다. 제7고조파는 제16(a)도 내지 제16(c)도와 관련하여 각 전류 블록의 중간에 전류 갭 기간(D)을 갖는 전류 갭에 의해서 감소되며, 인버터 전류신호(i_{4R} , i_{4S} , i_{4T})를 시간(t)의 함수로써 나타낸다. 해칭에 의해서 나타난 이 전류 갭은 콤먼 퀘칭 회로(3)에 의해서 생성된다. 제16(c)도에 관련하여 인버터 전류(i_{4T})는 콤먼 퀘칭 회로(3)에 의해서 제16(a)도와 관련하여 순간(t1)에서 턴 오프된다.

결과로서 전류 갭은 제16(b)도에 관련하여 인버터 전류(i_{4S})의 경우에 있어서이 전류블록의 중간에 자동적으로 생성된다. 전류 갭 기간 (D)으로 세트된다. 인버터 전류(i_{4S})는 콤먼 권칭 회로(3)에 의해서 다음의 순간(t_2)에서 턴 오프된다. 결과 전류 갭은 인버터 전류(i_{4R})의 전류 블록의 중간에 자동적으로 생긴다. 인버터 전류(i_{4R})가 순간 (t_3)에서 턴 오프될 경우, 전류 갭은 인버터 전류(i_{4T})등의 전류 블록의 중간에 생긴다.

특히 확실히 기술된 성분(C1) 및 (Dr)의 경우 뿐만 아니라 제1도에 도시된 콤먼 권칭 회로(3)는 전류 갭이 존속기간을 사이리스터(T2)의 제어에 의해서 적절히 변화시킨 후 최적으로 세트시킬 수 있다.

제5고조파가 공진 점($f_1 = f_{Res} / 5 = 0.4$)에 일치하는 범위에 있어서, 부가되는 공진진동의 진폭은 인버터(4)의 최적 턴온 순간의 선택에 의해서 낮게 유지된다. 이 프로세스에서, 인버터 전류(i_{4R}, \dots)에서의 제5고조파는 0에서 제어되어야 하거나, 혹은 공진진동은 전압에서 혹은 기기측 전류에서 혹은 커패시터 전류(i_{CR})에서 검출 및 계산되어야 한다. 모든 이들 변조 프로세스는 기본 주파수 타이밍과 관련하여 수행된다. 이것은 특히 간단하고, 슬로우 및 고듀티 사이리스터와 관련한 강력한 구동에 고효율 가능하게 한다.

본 발명에서 많은 수정과 변형이 상기 기술의 관점에서 가능하다. 따라서, 본 발명은 여기에 특정하게 기술된 것 이외에도 실시될 수 있으며, 이는 첨부된 청구항의 범주내에 있는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1

10이상의 라인측, 부하측 또는 라인측 및 부하측 공진회로 혹은 10이상의 반응부하(CR, CS, CT ; 7)에 동작가능하게 연결되거나, 라인측, 부하측 또는 라인측 및 부하측 공진 회로의 공진 진동을 제거 혹은 저감시키는, 스택 컨버터(1-4)의 하나 이상의 고조파를 제거 혹은 저감시키는 방법에 있어서, a)스태틱 컨버터(1-4)의 제어 가능치(Th1-Th6)의 10이상의 제어순간 또는 턴온 각 기준치 신호(α_M)또는 주파수 신호(f_1)를 가변시켜, 교류 혹은 부하 전류(i_R, i_S, i_T)의 10이상의 공진 주파수 영역의 이동함수로서 위상 변위를 감지하여 턴온 순간을 일시적으로 이동시키고, b), 상기 제어순간 혹은 턴온 각 기준치 신호(α_M) 또는 주파수 신호(f_1)는, 다음의 고니오 메트릭스함수 :

$$\Delta \alpha_M = \sum_{k=1}^{k1} a_k \cdot \sin (k \cdot \omega_1 \cdot t + \gamma_k)$$

$$\Delta f_1 = \sum_{k=1}^{k1} f_k \cdot \sin (k \cdot \omega_1 \cdot t + \gamma_k)$$

(여기서, a_k 및 f_k 는 상수, k 는 변수, k_1 는 10이상인 상수, ω_1 는 라인측 및 / 또는 부하측 공진 회로의 각 주파수, t 는 시간 및 γ_k 는 위상각을 나타냄)에 따른 턴온 각 미분신호($\Delta \alpha_M$)혹은 미분 주파수 신호(Δf_1)에 의해서 가변되는 것을 특징으로 하는 10이상의 스택 컨버터(1-4)의 고조파, 공진진동 또는 고조파 및 공진진동을 제거 혹은 저감시키는 방법.

청구항 2

제1항에 있어서, 신호 $\sin(k \cdot \omega_1 \cdot t)$ 는 스택 컨버터 전류(i_{4R}, i_{4S}, i_{4T})에 관련하여 위상 동기되어 선택되는 것을 특징으로 하는 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 턴온 각 미분신호($\Delta \alpha_M$)혹은 미분 주파수 신호(Δf_1)는 제거 혹은 저감될 고조파의 주파수에 거의 일치하는 회전 주파수가 회전하는 좌표 변환기(31), 다음 로우 패스 필터링(32,33), 그 다음 비례 적분 제어(36,37)에 의해서, 그 다음 특히 상호 직교 좌표에서 규정 가능 주파수를 가지고 회전하는 좌표 변환기(30)에 의해서, 전류신호 혹은 스택 컨버터 전류 신호(i_{4R}, i_{4S}, i_{4T}), 또는 부하 전류 신호(i_R, i_S, i_T) 또는 커패시터 전류신호(i_{CR}, i_{CS}, i_{CT}) 또는 전압신호 혹은 부하전압 신호(U_R, U_S, U_T)로부터 생성되는 것을 특징으로 하는 방법.

청구항 4

제1항 또는 제2항에 있어서, 특히 제7고조파를 감소시키기 위하여, 규정 가능 전류 갭 기간(D)을 갖는 전류 갭이 스택 컨버터 전류의 전류 블록의 중간에 생성되는 것을 특징으로 하는 방법.

청구항 5

제4항에 있어서, a)전류 블록의 전류 갭의 기간 또는 전류 갭 기간 (D)은 $D=1/(6 \cdot f_{Res})$ 이며, 여기서 f_{Res} = 공진회로의 기본 주파수이고, b)특히, 상기 전류 갭 기간(D)을 갖는 전류 갭은 상기 스택 컨버터(1-4)의 모든 제어 가능치에 공통인 콤먼 권칭 펄스, 혹은 콤먼 권칭 회로 혹은 권칭 회로(3)의 권칭 펄스

에 의해서 또는 스택 컨버터(1-4)의 강제 단락 회로에 의해서 생성되는 것을 특징으로 하는 방법.

청구항 6

제1항에 있어서, 상기 10이상의 제어 가능치(Th1-Th6)에 대한 턴온 순간의 이동은 필터 신호의 라이징 제로 크로싱(rising zero crossing)의 연속 검출(41)과 함께 밴드 패스 필터링(39)에 의해서, 전류 신호 혹은 부하 전류신호(i_R, i_S, i_T) 또는 커패시터 전류신호(i_{CR}, i_{CS}, i_{CT}) 또는 전압신호 혹은 부하전압신호(U_R, U_S, U_T)의 함수로서 생성되는 것을 특징으로 하는 방법.

청구항 7

10이상의 라인측, 부하측 또는 라인측 및 부하측 공진회로 혹은 10이상의 반응부하(CR, CS, CT ; 7)에 동작 가능하게 연결되거나, 라인측 혹은, 부하측 공진 회로의 공진 진동을 제거 혹은 감소시키는, 10이상의 스택 컨버터(1-4)의 고조파를 제거 또는 저감시키는 장치에 있어서 a)스택 컨버터는 브리지 아암에 사이리스터(Th1-Th6)를 구비한 브리지 접속 인버터이고, 그의 제어입력이 인버터 턴온 펄스 컨버터(14)에 동작 가능하게 연결되고, b)가산기(13)의 입력측에는 턴온 각 기준치 신호(α_M) 및 턴온 각 미분신호($\Delta \alpha_M$)가 공급되고, 출력측은 제어목적에 위하여 인버터 턴온 펄스 변환기(14)에 연결되고, c) 턴온 각 조절기로서 공진감쇠소자(27)가, 특히 공진 회로의 제5고조파를 위해 제공되며, 그의 입력측에는 감쇠될 고조파를 포함하는 전류신호 혹은 스택 컨버터 전류 신호(i_{4R}, i_{4S}, i_{4T}), 또는 부하 전류 신호(i_R, i_S, i_T) 또는 커패시터 전류신호(i_{CR}, i_{CS}, i_{CT}) 또는 전압신호 혹은 부하전압신호(U_R, U_S, U_T)가 공급되고, 그의 출력측은 가산기(13)에 동작 가능하게 연결되고, d)공진감쇠소자(27)의 출력측에는 3상/2상 좌표 변환기(31)가 구비되며, 직선성분으로서 제거 혹은 저감되어야 할 고조파의 2개의 상호 직교 성분을 포함하는 상기 3상/2상 좌표 변환기(31)의 2상 출력은 로우 패스 필터(32,33)에 각각 동작 가능하게 연결되고, PI 제어기(36,37)를 각각 통하여 2상/3상 좌표 변환기(30)의 2상 입력에 연결되며, 턴온 각 미분신호($\Delta \alpha_M$)가 출력측에 출력되고, e)상기 3상/2상 좌표 변환기(31)의 좌표 각 입력은 고니오 메트릭 함수용 함수 발생기(29)를 통해 위상 동기 루우프(phase-locked loop : PLL)(28)에 작동 가능하게 연결되고, 또한 상기 3상/2상 좌표 변환기(31)의 입력측에는 공진감쇠소자(27)의 입력신호가 공급되고, f)상기 고니오 메트릭 함수용 함수 발생기(29)의 출력측은 규정 가능한 회전 각(ψ)을 갖는 위상 회전자(59)를 통해 2상/3상 좌표 변환기(30)의 좌표 각 입력에 동작 가능하게 연결되는 것을 특징으로 하는, 고조파, 공진진동 또는 고조파 및 공진 진동을 제거 또는 저감하는 장치.

청구항 8

10이상의 라인측, 부하측 또는 라인측 및 부하측 공진회로 혹은 10이상의 반응부하(CR, CS, CT ; 7)에 동작 가능하게 연결되고, 라인측 혹은, 부하측 공진 회로의 공진 진동을 제거 혹은 저감시키는 스택 컨버터(1-4)의 10이상의 고조파를 제거 또는 저감시키는 장치에 있어서, a)스택 컨버터는 브리지 아암에 사이리스터(Th1-Th6)를 구비한 브리지 접속 인버터이고, 그의 제어입력이 인버터 턴온 펄스 컨버터(14)에 동작 가능하게 연결되고, b)가산기(13)의 입력측에는 주파수신호(f_1) 및 미분주파수신호(Δf_1)가 공급되고, 출력측은 제어목적에 위하여 인버터 턴온 펄스 변환기(14)에 연결되고, c)턴온 각 조절기로서 공진감쇠소자(27)가, 특히 공진 회로의 제5고조파를 위해 제공되며, 그의 입력측에는 감쇠될 고조파를 포함하는 전류신호 혹은 스택 컨버터 전류 신호(i_{4R}, i_{4S}, i_{4T}) 또는 부하 전류 신호(i_R, i_S, i_T) 또는 커패시터 전류신호(i_{CR}, i_{CS}, i_{CT}) 또는 전압신호 혹은 부하전압신호(U_R, U_S, U_T)가 공급되고, 그의 출력측은 가산기(13)에 동작 가능하게 연결되고, d)공진감쇠소자(27)의 출력측에는 3상/2상 좌표 변환기(31)가 구비하며, 직선성분으로서 제거 혹은 저감되어야 할 고조파의 2개의 상호 직교 성분을 포함하는 상기 3상/2상 좌표 변환기(31)의 2상 출력은 로우 패스 필터(32,33)에 각각 동작 가능하게 연결되고, PI 제어기(36,37)를 각각 통하여 2상/3상 좌표 변환기(30)의 2상 입력에 연결되며, 미분 주파수 신호(Δf_1)가 출력측에 출력되고, e)상기 3상/2상 좌표 변환기(31)의 좌표 각 입력은 고니오 메트릭 함수용 함수 발생기(28)를 통해 위상 동기 루우프(phase-locked loop : PLL)(28)에 작동 가능하게 연결되고, 또한 상기 3상/2상 좌표 변환기(31)의 입력측에는 공진감쇠소자(27)의 입력신호가 공급되고, f)고니오 메트릭 함수용 함수 발생기(29)의 출력측은 규정 가능한 회전 각(ψ)을 갖는 위상 회전자(59)를 통해 2상/3상 좌표 변환기(30)의 좌표 각 입력에 동작 가능하게 연결되는 것을 특징으로 하는, 고조파, 공진진동 또는 고조파 및 공진 진동을 제거 또는 저감하는 장치.

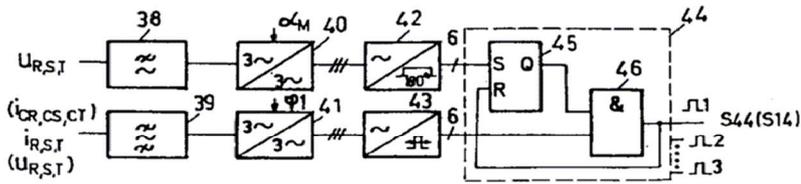
청구항 9

스택 컨버터(1-4)는 브리지 아암에 사이리스터(Th1-Th6)를 갖는 브리지 접속 인버터이고, 그의 제어입력이 인버터 턴온 펄스 변환기(43)에 작동 가능하게 연결되는, 청구항 1에 기재된 방법을 수행하는 장치에 있어서, 턴온 각 조절기로서 위상 회전자(41)가 제공되며, 입력측은 밴드 패스 필터(39)에 작동 가능하게 연결되고, 출력측은 턴온 펄스 발생기(43)에 연결되며, 감쇠되어야 하는 고조파를 포함하는 전류신호 또는 스택 컨버터 전류 신호(i_{4R}, i_{4S}, i_{4T}), 또는 부하 전류 신호(i_R, i_S, i_T) 또는 커패시터 전류신호(i_{CR}, i_{CS}, i_{CT}) 또는 전압신호 혹은 부하전압신호(U_R, U_S, U_T)가 밴드 패스필터(39)의 입력측으로 공급되는 것을 특징으로 하는 장치.

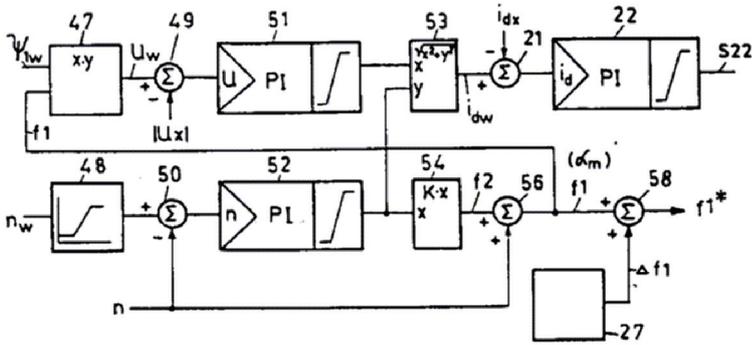
청구항 10

제7항에 있어서, a)인버터(4)가 콰터 브릿지 회로(3)에 병렬 연결되고, b)10이상의 쿼터 커패시터(C1) 또는 10이상의 제1전기 밸브(T2)의 제1직렬회로를 갖고, 상기 제1직렬회로가 양 공급단자(+)와 음 공급단자(-)에 동작 가능하게 연결되며, c)음(-) 전위측이 쿼터 커패시터(C1)에 동작 가능하게 접속된 제어가능한 제2전기밸브(T1)와 10이상의 유도성 리액턴스(Dr)의 제2직렬회로가 10이상의 쿼터 커패시터(C1)에 병렬회로로 제공되고, d)제어가능한 제3전기 밸브(T3)가 병렬 회로로 제2전기 밸브(T1)에 제공되며, 제3전기 밸브(T3)의 전류 흐름의 방향이 상기 제2전기 밸브(T1)의 전류 흐름 방향과 반대인 것을 특징으로 하는

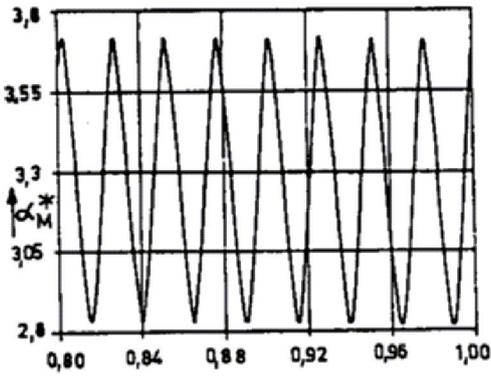
도면3



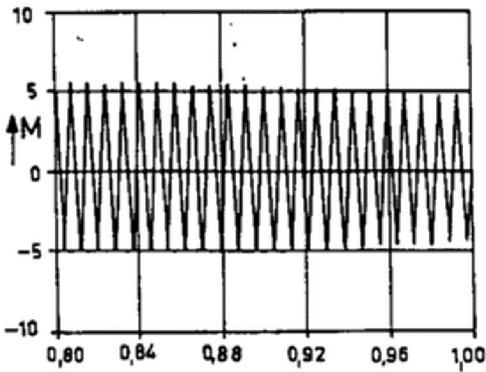
도면4



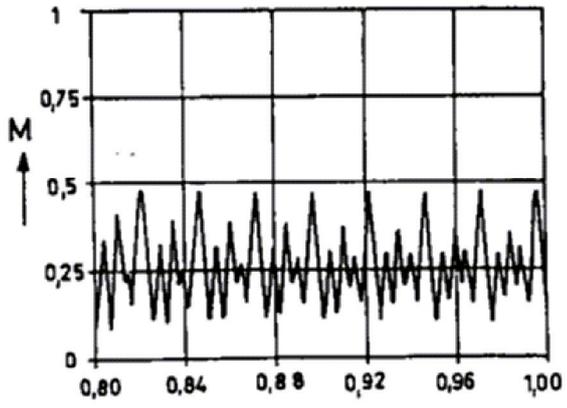
도면5



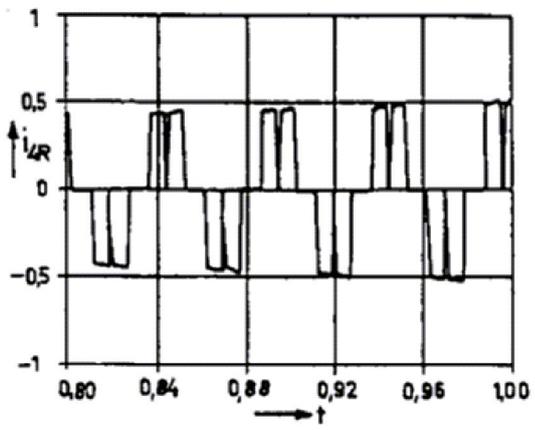
도면6



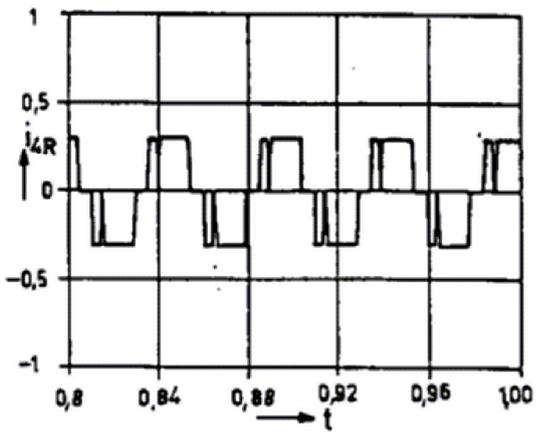
도면7



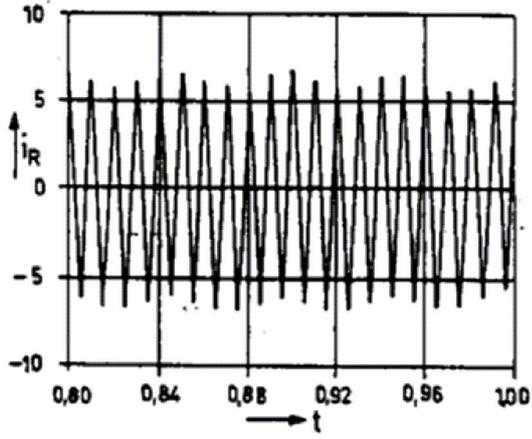
도면8



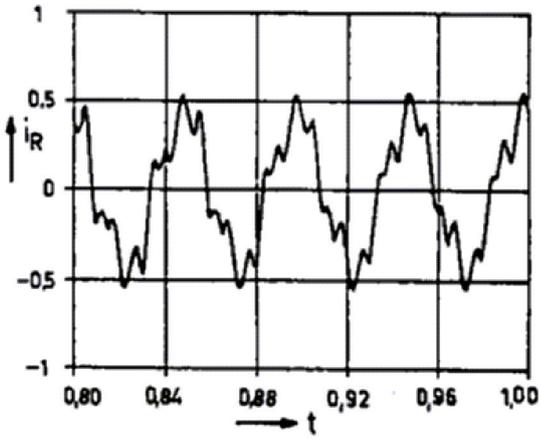
도면9



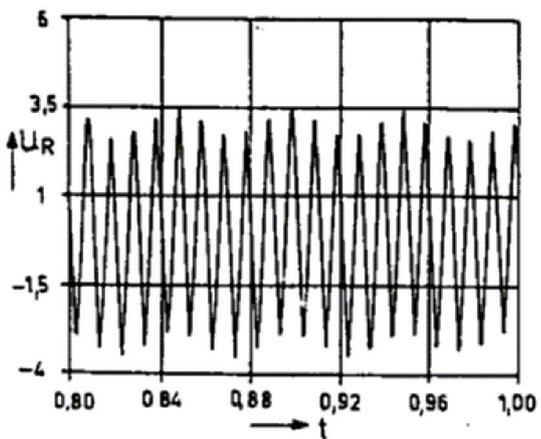
도면 10



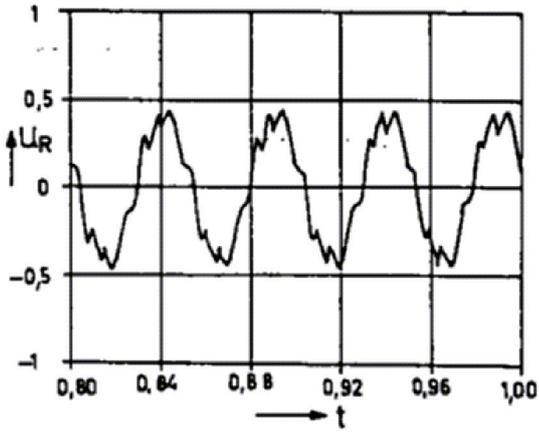
도면 11



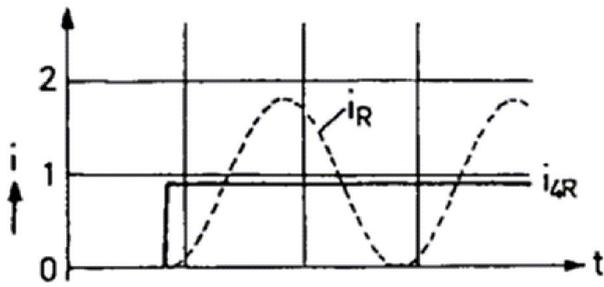
도면 12



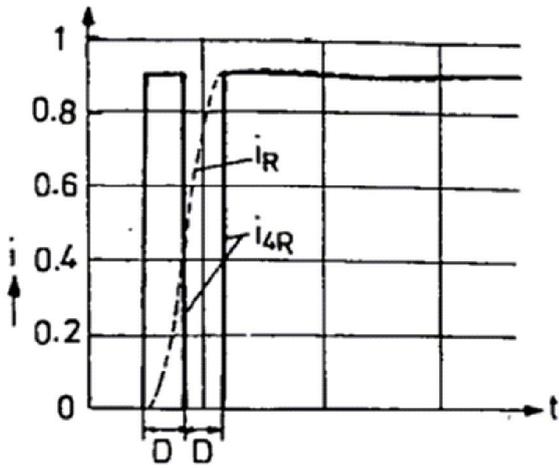
도면13



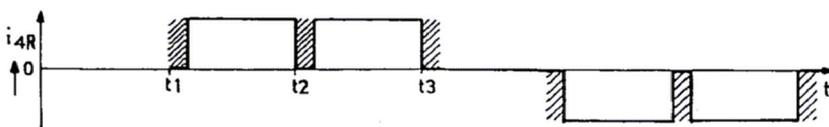
도면14



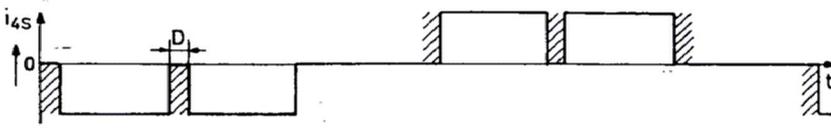
도면15



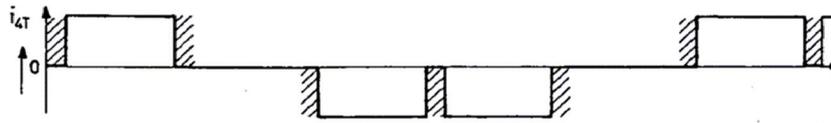
도면16a



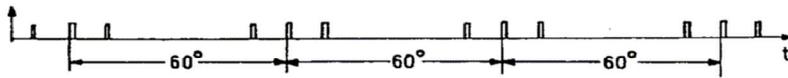
도면 16b



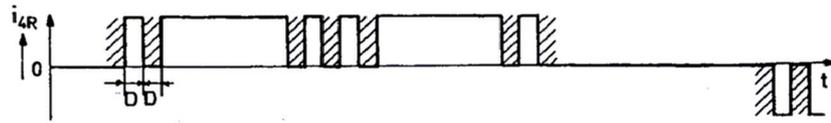
도면 16c



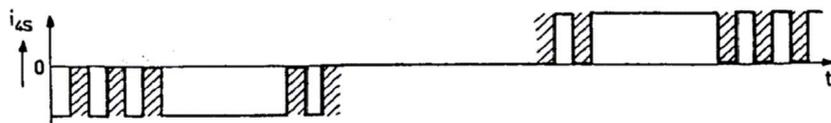
도면 17a



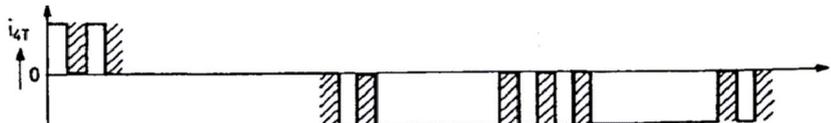
도면 17b



도면 17c



도면 17d



도면 18

