

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5321022号
(P5321022)

(45) 発行日 平成25年10月23日 (2013. 10. 23)

(24) 登録日 平成25年7月26日 (2013. 7. 26)

| | | |
|---------------------------|--------------|---------|
| (51) Int. Cl. | F I | |
| HO 1 L 21/8234 (2006. 01) | HO 1 L 27/08 | 1 O 2 A |
| HO 1 L 27/088 (2006. 01) | HO 1 L 29/58 | G |
| HO 1 L 29/423 (2006. 01) | HO 1 L 21/90 | C |
| HO 1 L 29/49 (2006. 01) | HO 1 L 21/90 | A |
| HO 1 L 21/768 (2006. 01) | HO 1 L 27/10 | 3 8 1 |
| 請求項の数 19 (全 24 頁) 最終頁に続く | | |

(21) 出願番号 特願2008-309660 (P2008-309660)
 (22) 出願日 平成20年12月4日 (2008. 12. 4)
 (65) 公開番号 特開2010-135546 (P2010-135546A)
 (43) 公開日 平成22年6月17日 (2010. 6. 17)
 審査請求日 平成23年11月11日 (2011. 11. 11)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 黒田 英明
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 井上 弘亘

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板と絶縁層とシリコン層が積層されてなるSOI基板の該シリコン層の表面側にトランジスタを形成する工程と、

前記SOI基板上に、前記トランジスタを被覆する第1絶縁膜と、前記トランジスタに電氣的に接続される部分を含む配線部とを形成する工程と、

前記配線部を通じて前記トランジスタのしきい値電圧を測定する工程と、

前記第1絶縁膜表面に第2絶縁膜を介して支持基板を形成する工程と、

前記SOI基板の裏面側の前記基板と前記絶縁層の少なくとも一部を除去する工程と、

前記測定されたしきい値電圧に基づいて前記トランジスタのしきい値電圧を調整する工程を有し、

前記トランジスタの閾値電圧を調整する工程は、

しきい値を調整する前記トランジスタが形成されている位置における前記シリコン層の裏面側に、前記トランジスタのしきい値を調整する調整用絶縁膜を形成する

半導体装置の製造方法。

【請求項2】

基板と絶縁層とシリコン層が積層されてなるSOI基板の該シリコン層の表面側にトランジスタを形成する工程と、

前記SOI基板上に、前記トランジスタを被覆する第1絶縁膜と配線部を形成するとともに、前記配線部を形成する際に前記トランジスタに接続するプロービング用電極を形成

する工程と、

前記第 1 絶縁膜表面に第 2 絶縁膜を介して支持基板を形成する工程と、

前記 SOI 基板の裏面側の前記基板と前記絶縁層の少なくとも一部を除去する工程と、

前記シリコン層の裏面側から前記シリコン層および前記第 1 絶縁膜に前記プロービング用電極を露出させる開口部を形成する工程と、

前記プロービング用電極を通じて前記トランジスタのしきい値電圧を測定する工程と、

前記測定されたしきい値電圧に基づいて前記トランジスタのしきい値電圧を調整する工程を順に行う

半導体装置の製造方法。

【請求項 3】

10

前記トランジスタのしきい値電圧を調整する工程は、

前記シリコン層の裏面側から前記トランジスタのチャネル部に 13 族もしくは 15 族の元素をイオン注入して行う

請求項 1 もしくは請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記トランジスタのチャネル部に 13 族もしくは 15 族の元素をイオン注入する工程は、前記シリコン層の裏面に前記トランジスタのチャネル部を開口したレジストマスクを形成して行う

請求項 3 記載の半導体装置の製造方法。

【請求項 5】

20

前記トランジスタのしきい値電圧を調整する工程は、

前記トランジスタのチャネル部に中性子を注入して行う

請求項 1 もしくは請求項 2 記載の半導体装置の製造方法。

【請求項 6】

前記トランジスタのしきい値電圧を調整する工程は、

前記シリコン層の裏面側から前記トランジスタにレーザー光を照射して行う

請求項 1 もしくは請求項 2 記載の半導体装置の製造方法。

【請求項 7】

前記トランジスタにレーザー光を照射する工程は、前記シリコン層の裏面に前記トランジスタに対応させた開口部を形成した前記レーザー光を反射する反射膜をマスクにして行う

30

請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記トランジスタのしきい値電圧を調整する工程は、

しきい値を調整する前記トランジスタが形成されている位置における前記シリコン層の裏面側に、前記トランジスタのしきい値を調整する調整用絶縁膜を形成する

請求項 2 記載の半導体装置の製造方法。

【請求項 9】

前記トランジスタを形成する工程は、半導体装置を構成する複数の回路ブロックの複数のトランジスタを形成する工程であり、

前記トランジスタのしきい値電圧を測定する工程で、前記トランジスタのしきい値電圧を測定して前記半導体装置の性能を律束している回路ブロックを検出し、

40

前記測定されたしきい値電圧に基づいて前記検出した回路ブロックごとに前記調整用絶縁膜を形成する

請求項 1 又は請求項 8 記載の半導体装置の製造方法。

【請求項 10】

前記調整用絶縁膜は、13 族もしくは 15 族の元素を含む酸化シリコン膜からなる

請求項 8 または請求項 9 記載の半導体装置の製造方法。

【請求項 11】

前記 13 族もしくは 15 族の元素を含む酸化シリコン膜を形成する工程は、

13 族もしくは 15 族の元素を分子内に含むガスとシラン系ガスと酸素との混合ガス中

50

で、イオンビーム、電子線もしくはレーザー光を前記トランジスタのチャネル部に照射して、前記 13 族もしくは 15 族の元素を含む薄膜を前記トランジスタのチャネル部表面に形成する

請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記調整用絶縁膜は、応力を有する絶縁膜からなる

請求項 8 または請求項 9 に記載の半導体装置の製造方法。

【請求項 13】

前記調整用絶縁膜は、固定電荷を有する絶縁膜からなる

請求項 8 または請求項 9 に記載の半導体装置の製造方法。

10

【請求項 14】

前記トランジスタのしきい値電圧を測定する工程と、前記トランジスタのしきい値電圧を調整する工程を in-Situ で行う

請求項 2 に記載の半導体装置の製造方法。

【請求項 15】

シリコン層の表面側に形成されたトランジスタと、

前記シリコン層の表面上に形成されていて前記トランジスタを被覆する第 1 絶縁膜と、

前記第 1 絶縁膜中に形成されていて前記トランジスタに電氣的に接続される配線部と、

前記第 1 絶縁膜表面に第 2 絶縁膜を介して形成された支持基板と、

前記シリコン層の裏面側に形成された前記トランジスタのしきい値電圧を調整する調整用絶縁膜を有する

20

半導体装置。

【請求項 16】

前記調整用絶縁膜は、13 族もしくは 15 族の元素を含む酸化シリコン膜からなる

請求項 15 に記載の半導体装置。

【請求項 17】

前記調整用絶縁膜は、応力を有する絶縁膜からなる

請求項 15 に記載の半導体装置。

【請求項 18】

前記調整用絶縁膜は、固定電荷を有する絶縁膜からなる

請求項 15 に記載の半導体装置。

30

【請求項 19】

シリコン層の表面側に形成されたトランジスタと、

前記シリコン層の表面上に形成されていて前記トランジスタを被覆する第 1 絶縁膜と、

前記第 1 絶縁膜中に形成されていて前記トランジスタに電氣的に接続される配線部と、

前記トランジスタに電氣的に接続されるプロービング用電極と、

前記第 1 絶縁膜表面に第 2 絶縁膜を介して形成された支持基板と、

前記シリコン層の裏面側から前記シリコン層および前記第 1 絶縁膜に形成されていて前記プロービング用電極を露出させた開口部を有する

半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法および半導体装置に関するものである。

【背景技術】

【0002】

CPU や、CPU コアを含むロジックデバイスは、主に各種論理ゲートで構成されている論理回路部と、シフトレジスタ、キャッシュメモリー等のメモリ回路部で構成されている。このメモリ回路部は、例えば SRAM で構成されている。

論理ゲートや SRAM の性能はこれを構成する MOS トランジスタの性能で決まる。

50

M O S トランジスタの性能は、下記のドレイン - ソース間電流を表す (1) 式および、しきい値電圧のばらつき V_t を表す (2) 式 (タウア・ニン著「最新 V L S I の基礎」p . 279 参照。) で与えられる。

【 0 0 0 3 】

$$I_{ds} = (V_{gs} - V_t)^2 / 2 \dots (1)$$

【 0 0 0 4 】

$$V_t = q (N_a \cdot W_{dm0} / (3 L W)) / C_{ox} \dots (2)$$

【 0 0 0 5 】

ただし、上記 (1) 式、 (2) 式中、 $\beta = \mu \cdot W / L$ 、 μ は移動度、 L はトランジスタのゲート長、 W はトランジスタのゲート幅、 N_a はチャネル不純物濃度、 W_{dm0} はチャネル空乏層幅である。また、 C_{ox} はゲート容量である。

10

【 0 0 0 6 】

しきい値電圧 V_t は、一般にリーク電流の制約から大規模デバイスで 0 . 2 V 程度以下には設定できないため、スケールリング則によって V_{gs} が 1 . 0 V を切り、トランジスタサイズ ($L \cdot W$) が小さくなると I_{ds} (性能) のばらつきが急激に大きくなる。

そこで、デバイス設計上は大きくなったばらつきを反映させて動作マージンを大きく設定して対応することになる。

【 0 0 0 7 】

S R A M セルの動作マージンを示す指標としては、図 9 に示すスタティックノイズマージン (以下、S N M という) がある。

20

また、図 1 0 に示すように、6 個のトランジスタで構成される S R A M セルの S N M と S N M のばらつき S N M は、4 つのトランジスタ M_{nL} 、 M_{nR} 、 M_{pL} 、 M_{pR} によって決定される。ここでトランジスタ M_{nL} 、 M_{nR} は N チャネルトランジスタであり、トランジスタ M_{pL} 、 M_{pR} は P チャネルトランジスタである。すなわち、以下の (3) 式で表される。

【 0 0 0 8 】

$$S N M = V_{th} \{ (S N M_{nR} / V_{tnR})^2 + (S N M_{nL} / V_{tnL})^2 + (S N M_{pR} / V_{tpR})^2 + (S N M_{pL} / V_{tpL})^2 \} \dots (3)$$

【 0 0 0 9 】

ここで、平方根の各項は 4 つの各トランジスタの V_t 変動に対する S N M の感度を示している (例えば、平成 1 6 年度 I T R S , P I D S W G 報告書参照。) 。なお、4 つのトランジスタ M_{nL} 、 M_{nR} 、 M_{pL} 、 M_{pR} の S N M は、それぞれ、 $S N M_{nL}$ 、 $S N M_{nR}$ 、 $S N M_{pL}$ 、 $S N M_{pR}$ とした。なお、 V_t 、 V_{th} はしきい値電圧を示し、ここでは、引用文献の記載に準じて V_t または V_{th} と記載している。

30

【 0 0 1 0 】

スケールリングによって V_{th} が大きくなると S N M が大きくなり、S N M が小さくなって S R A M の不良率が急激に増加することがわかる。

その対策としては以下の 4 項目になる。(a) 電圧を下げない (特に V_{dd} を下げない。) 。(b) ゲート酸化膜の薄膜化する (C_{ox} が大きくなるので V_{th} は小さくなる。) 。(c) 完全空乏型トランジスタを S R A M トランジスタに採用する (N_a を低減する。) 。(d) 不良 S R A M セルに対して冗長アレイを用意して、これに切り替えることで歩留りを確保する。

40

上記 (a) 項は、図 1 0 に示すように、 V_{dd} は下げないで、ワード線 $W L$ 、ビット線 $B L$ の電圧だけを下げると、S N M を低下させないで、低消費電力動作が可能になる。また、上記 (b) 項は、ゲート絶縁膜に、有機金属化学気相成長 (M O C V D : metal-organic chemical vapor deposition) 法、もしくは原子層蒸着 (A L D : Atomic Layer Deposition) 法で形成された以下の薄膜を用いている。すなわち、酸化ハフニウム ($H f O_2$)、酸窒化ケイ化ハフニウム ($H f S i O N$)、酸化ジルコニウム ($Z r O_2$)、酸窒化ケイ化ジルコニウム ($Z r S i O N$) を用いている。また、ゲート電極には、窒化チタン ($T i N$)、炭化タンタル ($T a C$)、タングステン (W) 等を用いている。このような

50

方法が提案されている。さらに、上記(c)項としては、図11(1)に示すようなFinFET型のトランジスタや、図11(2)に示すようなSi層の薄い完全空乏型SOIトランジスタをSRAMトランジスタに使用することが提案されている(例えば、非特許文献1参照。)

【0011】

スケールが進むとトランジスタのチャンネルに含まれる不純物総数が少なくなり、不純物ばらつきによるしきい値電圧のばらつきが大きくなるのは不可避である。

しかしながら、論理回路において、ばらつきを考慮した広い動作マージンを設定するのは動作速度の低下をもたらす、それをカバーするために電源電圧V_{dd}を増加させるのは消費電力の増加を招くことになる。

また、前述のようにしきい値電圧のばらつきが増大することによってSRAMのSNMばらつきも比例して増加し、SRAM不良率も増加する。このため、これを冗長セルと冗長回路で救済する場合は、スケールに伴い冗長アレイの比率が大きくなって、SRAM全体の面積が増加することになる。また、サイズのみをスケールし、電源電圧を下げないと、電界の上昇、リーク電流の増大、消費電力の増大を招く。さらに、高誘電率(High-k)膜、金属ゲートを用いてゲート酸化膜を薄膜化するのは、理論的にSNMばらつき低減し、低電圧化を可能にするが、スケールに伴い、Naが増加するので、いずれ、SNMばらつきの増大を招く。

一方、完全空乏型トランジスタは、Naを極端に小さくでき、しきい値電圧、SNMのばらつきを大幅に低減する可能性がある。しかしながら、FinFETはトランジスタ構造が縦型であるため、微細なゲート電極加工、イオン注入、拡散層形成、サイドウォールスペーサ形成、サリサイド形成が難しい。またコンタクトが細いSi端でのみ接続するのでコンタクト抵抗が大きいという問題がある。さらに、薄いSOIトランジスタ(UTSOI)は寄生抵抗が大きく、またシリコン膜厚のばらつきに起因するしきい値電圧のばらつきが増加する。

【0012】

【非特許文献1】[http://www.cadence.com/company/cadence_labs/zradu_ISLPED_2005_FinFET.pdf#search='SRAM FinFET'](http://www.cadence.com/company/cadence_labs/zradu_ISLPED_2005_FinFET.pdf#search='SRAM%20FinFET')、平成20年10月28日検索

【発明の開示】

【発明が解決しようとする課題】

【0013】

解決しようとする問題点は、スケールが進むとトランジスタのチャンネルに含まれる不純物総数が少なくなり、不純物ばらつきによるしきい値電圧のばらつきが大きくなる点である。

【0014】

本発明は、しきい値電圧のばらつきが大きいトランジスタのしきい値電圧を調整して、しきい値電圧のばらつきを低減することを可能にする。

【課題を解決するための手段】

【0015】

本発明の半導体装置の製造方法(第1製造方法)は、基板と絶縁層とシリコン層が積層されてなるSOI基板の該シリコン層の表面側にトランジスタを形成する工程と、前記SOI基板上に、前記トランジスタを被覆する第1絶縁膜と、前記トランジスタに電気的に接続される部分を含む配線部とを形成する工程と、前記配線部を通じて前記トランジスタのしきい値電圧を測定する工程と、前記第1絶縁膜表面に第2絶縁膜を介して支持基板を形成する工程と、前記SOI基板の裏面側の前記基板と前記絶縁層の少なくとも一部を除去する工程と、前記測定されたしきい値電圧に基づいて前記トランジスタのしきい値電圧を調整する工程を有する。

【0016】

本発明の第1製造方法では、個々のトランジスタのしきい値電圧を測定して、しきい値電圧の基準から外れたトランジスタのしきい値電圧が調整されるので、しきい値電圧のば

10

20

30

40

50

らつきが低減される。

【0017】

本発明の半導体装置の製造方法（第2製造方法）は、基板と絶縁層とシリコン層が積層されてなるSOI基板の該シリコン層の表面側にトランジスタを形成する工程と、前記SOI基板上に、前記トランジスタを被覆する第1絶縁膜と配線部を形成するとともに、前記配線部を形成する際に前記トランジスタに接続するプロービング用電極を形成する工程と、前記第1絶縁膜表面に第2絶縁膜を介して支持基板を形成する工程と、前記SOI基板の裏面側の前記基板と前記絶縁層の少なくとも一部を除去する工程と、前記シリコン層の裏面側から前記シリコン層および前記第1絶縁膜に前記プロービング用電極を露出させる開口部を形成する工程と、前記プロービング用電極を通じて前記トランジスタのしきい値電圧を測定する工程と、前記測定されたしきい値電圧に基づいて前記トランジスタのしきい値電圧を調整する工程を順に行う。

10

【0018】

本発明の第2製造方法では、個々のトランジスタのしきい値電圧を測定して、しきい値電圧の基準から外れたトランジスタのしきい値電圧が調整されるので、しきい値電圧のばらつきが低減される。

【0019】

本発明の半導体装置（第1半導体装置）は、シリコン層の表面側に形成されたトランジスタと、前記シリコン層の表面上に形成されていて前記トランジスタを被覆する第1絶縁膜と、前記第1絶縁膜中に形成されていて前記トランジスタに電氣的に接続される配線部と、前記第1絶縁膜表面に第2絶縁膜を介して形成された支持基板と、前記シリコン層の裏面側に形成されていて前記トランジスタのしきい値電圧を調整する調整用絶縁膜を有する。

20

【0020】

本発明の第1半導体装置では、シリコン層の裏面側にトランジスタのしきい値電圧を調整する調整用絶縁膜を有することによって、トランジスタのしきい値電圧が所望の値に調整される。

【0021】

本発明の半導体装置（第2半導体装置）は、シリコン層の表面側に形成されたトランジスタと、前記シリコン層の表面上に形成されていて前記トランジスタを被覆する第1絶縁膜と、前記第1絶縁膜中に形成されていて前記トランジスタに電氣的に接続される配線部と、前記トランジスタに電氣的に接続されるプロービング用電極と、前記第1絶縁膜表面に第2絶縁膜を介して形成された支持基板と、前記シリコン層の裏面側から前記シリコン層および前記第1絶縁膜に形成されていて前記プロービング用電極を露出させた開口部を有する。

30

【0022】

本発明の第2半導体装置では、トランジスタに接続するプロービング用電極を露出させた開口部を有することによって、開口部よりトランジスタのしきい値電圧の測定が容易に行える。その結果、トランジスタの解析的評価を行うことが可能になり、論理回路のスピード不足、電圧マージン不足の原因となっている回路ブロックもしくはトランジスタが検出される。そして、検出したトランジスタのしきい値電圧をウエハプロセス完成後に、もしくは解析的評価を行いながら補正することが可能になる。

40

【発明の効果】

【0023】

本発明の半導体装置の第1、第2製造方法は、しきい値電圧の基準から外れたトランジスタのしきい値電圧が調整できるため、しきい値電圧のばらつきが低減できるので、トランジスタ回路の高速化、低電圧動作化、低消費電力化が可能になるという利点がある。

【0024】

本発明の第1、第2半導体装置は、しきい値電圧の基準から外れたトランジスタのしきい値電圧が調整できるため、しきい値電圧のばらつきが低減できるので、トランジスタ回

50

路の高速化、低電圧動作化、低消費電力化が可能になるという利点がある。

【発明を実施するための最良の形態】

【0025】

< 1 . 第 1 の実施の形態 >

[半導体装置の製造方法の第 1 例]

本発明の第 1 実施の形態に係る半導体装置の製造方法の第 1 例を、図 1 ~ 図 4 の製造工程断面図によって説明する。図 1 ~ 図 4 では、一例として、論理回路部とメモリ回路部として S R A M セル部の N チャネルトランジスタを示した。

【0026】

[トランジスタの形成]

図 1 に示すように、基板 1 1 と絶縁層 1 2 とシリコン層 1 3 が積層されてなる S O I 基板 1 0 を用意する。上記基板 1 1 は、例えば導電性を有する半導体基板として、例えばシリコン基板で形成されている。上記絶縁層 1 2 は、例えば酸化シリコン膜で形成されている。

【0027】

まず、上記シリコン層 1 3 に、論理回路部とメモリ回路部等を分離する素子分離領域 1 4 を形成する。上記素子分離領域 1 4 は、例えば、上記シリコン層 1 3 中に溝を形成し、その溝内に絶縁膜を埋め込むことで形成されている。その絶縁膜としては、例えば酸化シリコン（例えば $S i O_2$ ）膜、窒化シリコン（例えば $S i N$ ）膜、酸窒化シリコン（例えば $S i O N$ ）膜等がある。すなわち、上記素子分離領域 1 4 は、いわゆる S T I (Shallow Trench Isolation) 構造に形成されている。

【0028】

次に、上記シリコン層 1 3 の表面側にトランジスタ 2 0 を形成する。

まず、上記シリコン層 1 3 の表面に、ゲート絶縁膜 2 1 を形成する。このゲート絶縁膜 2 1 は、例えば、酸化ハフニウム（例えば $H f O_2$ ）、酸窒化ケイ化ハフニウム、酸化ジルコニウム（例えば $Z r O_2$ ）、酸窒化ケイ化ジルコニウム等のいわゆる高誘電率（High-k）膜で形成される。もしくは熱酸化窒化膜と上記高誘電率膜との複合膜で形成される。上記高誘電率膜は、例えば、MOCVD（有機金属化学気相成長法：metal-organic chemical vapor deposition）、原子層蒸着（ALD：Atomic Layer Deposition）法で形成される。また、上記熱酸化窒化膜は、熱酸化、プラズマ酸化、プラズマ窒化法で形成されている。さらに、上記ゲート絶縁膜 2 1 上ゲート電極 2 2 を形成する。このゲート電極 2 2 は、例えば、窒化チタン、炭化タンタル、タングステン、ポリシリコン等で形成される。

【0029】

次に、上記ゲート電極 2 2 の側壁にサイドウォールスペーサ 2 3 を形成する。

次いで、ゲート電極 2 2、サイドウォールスペーサ 2 3、素子分離領域 1 4 をマスクにして、上記シリコン層 1 3 にソース・ドレイン領域 2 4、2 5 を形成する。このとき、上記サイドウォールスペーサ 2 3 を形成する前に上記シリコン層 1 3 に L D D (Lightly Doped Drain) 層（図示せず）を形成し、その後サイドウォールスペーサ 2 3 を形成する。そして上記ソース・ドレイン領域 2 4、2 5 を形成することで、L D D 構造としてもよい。よって上記ゲート電極 2 2 直下の上記シリコン層 1 3 がチャンネル部 2 6 となる。

このようにして、トランジスタ 2 0 が形成される。

【0030】

次に、上記 S O I 基板 1 0 上に、第 1 絶縁膜 3 0 と前記トランジスタ 2 0 に電氣的に接続される配線を含む配線部 4 0 を形成する。図面に示した構成では、4 層の配線部 4 1 ~ 4 4（配線 5 1 ~ 5 4 とプラグ 6 1 ~ 6 4）と、8 層の第 1 絶縁膜 3 1 ~ 3 8 が形成される。上記配線部 4 0 の層数は、適宜選択して決定される。したがって、5 層以上となる場合もある。通常、7 層程度、積層して形成される。

そのとき、最下層の第 1 絶縁膜 3 1 は、例えば数百 nm の厚さで、上記ゲート電極 2 2 を完全に被覆する状態に形成され、その表面は、例えば化学的機械研磨（CMP）によ

10

20

30

40

50

て平坦化されていることが好ましい。また、最上層の第1絶縁膜38表面は、例えば化学的機械研磨(CMP)等によって平坦化され、最上層の配線54が露出される。

【0031】

具体的には、上記配線部40の形成は以下のようにして行う。

例えば、上記第1絶縁膜31を形成した後、この第1絶縁膜31にトランジスタ20の所定の位置(例えば、ソース・ドレイン領域、ゲート電極等)に達する接続孔を形成し、接続孔の内面に密着層、バリア層を介して導電性材料を埋め込んで、プラグ61を形成する。例えば、密着層にチタン、バリア層に窒化チタン、導電性材料にタングステンを用いる、もしくは、密着層にタンタル、バリア層に窒化タンタル、導電性材料に銅を用いる。なお、第1絶縁膜31上に形成された余剰な密着層、バリア層、導電性材料は、例えば化学的機械研磨によって除去される。

10

【0032】

次いで、上記第1絶縁膜31上に第2層目の第1絶縁膜32を、例えば窒化炭化シリコンで形成する。この第2層目の第1絶縁膜32に、配線溝を形成し、例えば、配線溝の内面に密着層、バリア層を介して導電性材料を埋め込んで、上記プラグ61に接続する配線51を形成する。例えば、密着層にチタンもしくはタンタル、バリア層に窒化チタンもしくは窒化タンタル、導電性材料に銅を用いる。なお、第1絶縁膜32上に形成された余剰な密着層、バリア層、導電性材料は、例えば化学的機械研磨によって除去される。

【0033】

次いで、上記第2層目の第1絶縁膜32上に第3層目の第1絶縁膜33を形成する。この第3層目の第1絶縁膜33は、例えば水素(H)を含む酸化炭化シリコン(SiOCH)、炭化酸化シリコン(SiOC)、ポーラス炭化酸化シリコン等で形成される。

20

そして、上記同様に、上記第1絶縁膜33に接続孔を形成し、接続孔の内面に密着層、バリア層を介して導電性材料を埋め込んで、上記配線51に接続するプラグ62を形成する。例えば、密着層にチタンもしくはタンタル、バリア層に窒化チタンもしくは窒化タンタル、導電性材料に銅を用いる。なお、第1絶縁膜33上に形成された余剰な密着層、バリア層、導電性材料は、例えば化学的機械研磨によって除去される。

以下、上記同様にして、第n-1層目の第1絶縁膜30に接続孔を形成してプラグを形成し、第n層の第1絶縁膜30に配線溝を形成して配線を形成する。ここで、nは第1絶縁膜30の総層数であり、図面に示した場合では、n=8となる。

30

また、上記プラグと配線は、いわゆるデュアルダマシンプロセスによって同時形成することもできる。

このようにして、半導体装置1を形成する。

【0034】

[しきい値電圧の測定]

次に、図2に示すように、上記最上層の配線54を通じて、論理回路部、メモリ回路部(SRAM部)の性能確認テストを行う。例えば、論理回路部に関しては、論理回路部に設けられたBIST(Built In Self Test)回路を通してテストパターンに発生させ、上記半導体装置1の性能を律束する、性能が低い回路ブロックや、トランジスタを検出する。またSRAM部に関してもLSI内部に設けられたBISTを通して各SRAMセルのSNMを表すバタフライカーブ(前記図9参照)等を測定し、SNMの小さいSRAMセルを検出し、その原因となるトランジスタを特定する。

40

具体的には、例えば、測定用のプローブ101を上記最上層の配線54に接触させて、上記トランジスタ20のしきい値電圧を測定する。測定は、好ましくは、全てのトランジスタ20について行う。

【0035】

[支持基板の形成]

上記測定が終了した後、図3に示すように、最上層に形成された上記第1絶縁膜30(38)の表面に第2絶縁膜71を介して支持基板72を形成する。上記第2絶縁膜71は、例えば酸化シリコン(SiO₂)膜で形成される。上記支持基板72には、例えばシリ

50

コン基板、樹脂基板、ガラス基板等を用いることができる。

【 0 0 3 6 】

次いで、上記 S O I 基板 1 0 の裏面側の上記基板 1 1 (前記図 1 参照) と上記絶縁層 1 2 (前記図 1 参照) の少なくとも一部を除去して上記シリコン層 1 3 の裏面を露出させる。ここでは、基板 1 1 および絶縁層 1 2 を全面にわたって除去した。または、上記絶縁層 1 2 はそのまま残す、もしくは全面に薄く残してもよい。また、上記絶縁層 1 2 を完全に除去した後、上記シリコン層 1 3 の全面に酸化膜、例えば酸化シリコン膜を形成してもよい。

【 0 0 3 7 】

[しきい値電圧の調整]

その後、上記測定されたしきい値電圧に基づいて、しきい値電圧の基準から外れた上記トランジスタ 2 0 のしきい値電圧を調整する工程を行う。

【 0 0 3 8 】

[イオン注入によるしきい値電圧の調整]

しきい値電圧の基準から外れた上記トランジスタ 2 0 のしきい値電圧を調整する工程は、上記シリコン層 1 3 の裏面側から、しきい値電圧を調整する上記トランジスタ 2 0 のチャネル部 2 6 に、1 3 族もしくは 1 5 族の元素をイオン注入して行う。上記 1 3 族元素としては、ホウ素 (B)、アルミニウム (A l)、ガリウム (G a)、インジウム (I n) 等が挙げられるが、より好ましくはホウ素 (B) が挙げられる。また上記 1 5 族元素としては、窒素 (N)、リン (P)、ヒ素 (A s)、アンチモン (S b) 等が挙げられるが、より好ましくはリン (P) が挙げられる。上記しきい値電圧の基準は、例えば 0 . 3 V 以下とする。

上記 1 3 族元素をトランジスタ 2 0 のチャネル部 2 6 にイオン注入することによって、トランジスタ 2 0 のしきい値電圧が調整される。例えば、トランジスタ 2 0 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇し、トランジスタ 2 0 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

また、上記 1 5 族元素をトランジスタ 2 0 のチャネル部 2 6 にイオン注入することによって、トランジスタ 2 0 のしきい値電圧が調整される。例えば、トランジスタ 2 0 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下し、トランジスタ 2 0 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇する。

したがって、しきい値電圧が高い F E T の場合、しきい値電圧を下げるように調整する。また、しきい値電圧が低すぎる F E T の場合、しきい値電圧を上げるように調整する。

上記イオン注入では、1 個もしくは数個のイオンを注入して、しきい値電圧の調整を行うことができる。イオンを 1 個ずつイオン注入する技術はシングルイオン注入法といわれている。シングルイオン注入法は、インターネット検索 : { HYPERLINK "http://www.nanonet.go.jp/japanese/2003/046a.html" , http://www.nanonet.go.jp/japanese/2003/046a.html } 2 0 0 8 年 1 1 月 1 0 日検索の「 J a p a n N a n o n e t B u l l e t i n 第 4 6 号 (2 0 0 3 年 1 2 月 1 6 日) 。) に開示されている。

【 0 0 3 9 】

また、上記イオン注入を行うときに、イオン注入されるチャネル部 2 6 の部分を開口させたレジストマスク (図示せず) を、上記シリコン層 1 3 の裏面に形成してもよい。このようにレジストマスクを形成することによって、所望のトランジスタ 2 0 のチャネル部 2 6 のみに 1 3 族元素もしくは 1 5 族元素をイオン注入することが可能になる。イオン注入後、上記レジストマスクを除去する。

【 0 0 4 0 】

[中性子注入によるしきい値電圧の調整]

また、しきい値電圧の基準から外れた上記トランジスタ 2 0 のしきい値電圧を調整する工程は、上記トランジスタ 2 0 のチャネル部 2 6 に中性子を注入して行ってもよい。中性子がトランジスタ 2 0 のチャネル部 2 6 に注入されることによって、チャネル部 2 6 の不純物分布が変調され、トランジスタ 2 0 のしきい値電圧が調整される。すなわち、中性子

10

20

30

40

50

がシリコン層 13 に注入されることによって、そのシリコン層 13 のシリコン (Si) がリン (P) に変わるので、実質的にリン (P) が増加することになる。したがって、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。一方、トランジスタ 20 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇する。

したがって、しきい値電圧が高い F E T の場合、しきい値電圧を下げるように調整する。また、しきい値電圧が低すぎる F E T の場合、しきい値電圧を上げるように調整する。

【 0 0 4 1 】

なお、中性子の注入にはその飛程を浅くすることが困難な場合には、上記基板 11 および上記絶縁層 12 を除去する前に行う、もしくは上記基板 11 を除去した後に行う、もしくは上記絶縁層 12 を除去する途中で行ってもよい。また、中性子の場合、全面に注入されるので、全体のトランジスタのしきい値電圧をみて、全体のトランジスタのしきい値電圧の平均が下がるように、中性子を注入することが好ましい。

【 0 0 4 2 】

[レーザ光照射によるしきい値電圧の調整]

また、しきい値電圧の基準から外れた上記トランジスタ 20 のしきい値電圧を調整する工程は、上記シリコン層 13 の裏面側から上記トランジスタ 20 のチャンネル部 26 にレーザー光を、例えばスポット的に照射して行ってもよい。レーザー光がトランジスタ 20 のチャンネル部 26 に照射されることによって、チャンネル部 26 の不純物を活性化されて不純物分布が変調され、トランジスタ 20 のしきい値電圧が調整される。例えば、トランジスタ 20 が N F E T の場合も P F E T の場合も、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

【 0 0 4 3 】

また、上記レーザー光照射を行うときに、レーザー光が照射されるチャンネル部 26 の部分を開口させた遮光マスク (図示せず) を、上記シリコン層 13 の裏面に形成してもよい。このように遮光マスクを形成することによって、所望のトランジスタ 20 のチャンネル部 26 のみに、正確にレーザー光を照射することが可能になる。また、遮光マスクを用いた場合、全面にレーザー光を照射しても差し支えない。レーザー光を照射した後、上記遮光マスクを除去する。

上記遮光マスクは、レーザー光を遮光するものであって、シリコン層 13 を汚染させるものでなければ、如何なる材料であってもよい。例えば、酸化シリコン膜を介して上記シリコン層 13 の裏面に形成したアルミニウム膜、タングステン膜等の金属膜を用いることができる。

【 0 0 4 4 】

上記説明したように、上記第 1 製造方法では、個々のトランジスタ 20 のしきい値電圧を測定して、しきい値電圧の基準から外れたトランジスタ 20 のしきい値電圧が調整することができる。したがって、トランジスタ 20 のしきい値電圧のばらつきが低減される。

【 0 0 4 5 】

[回路ブロックごとのしきい値電圧の調整]

また、論理回路部を構成する多数のトランジスタのうち、論理回路部の性能を律束するトランジスタを特定することは通常困難である。しかしながら、論理回路部を構成する回路ブロック (あるトランジスタ群) ごとに、性能を律束する回路ブロックを特定することはできる。そこで、回路ブロックごとにトランジスタのしきい値電圧を調整することで、半導体装置全体の性能向上を図ることができる。

例えば、図 4 に示すように、上記トランジスタ 20 のしきい値電圧を調整する工程は、しきい値を調整するトランジスタ 20 が形成されている位置における上記シリコン層 13 の裏面側に、上記トランジスタ 20 のしきい値を調整する調整用絶縁膜 81 を形成する。

以下、具体的に説明する。

【 0 0 4 6 】

例えば、前記図 1 によって説明したのと同様にして、半導体装置 1 を構成する論理回路

10

20

30

40

50

部とメモリ回路部を形成する。そのうち論理回路部は、複数の回路ブロックで構成し、各回路ブロックに複数のトランジスタを有している。

まず、上記トランジスタのしきい値電圧を測定する工程で、上記トランジスタ20のしきい値電圧を測定して、上記半導体装置1の性能を律束している回路ブロックを検出する。そして上記測定されたしきい値電圧に基づいて、上記検出した回路ブロックごとに上記調整用絶縁膜81を形成する。

【0047】

[不純物を含む絶縁膜によるしきい値電圧の調整]

上記調整用絶縁膜81は、13族もしくは15族の元素を含む酸化シリコン膜で形成される。上記13族元素としては、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)等が挙げられるが、より好ましくはホウ素(B)が挙げられる。また上記15族元素としては、窒素(N)、リン(P)、ヒ素(As)、アンチモン(Sb)等が挙げられるが、より好ましくはリン(P)が挙げられる。

そして、13族元素を含む酸化シリコン膜中の13族元素をトランジスタ20のチャンネル部26に拡散させることによって、トランジスタ20のしきい値電圧を調整する。例えば、トランジスタ20がNFEETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が上昇し、トランジスタ20がPFETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が低下する。

また、15族元素を含む酸化シリコン膜中の15族元素をトランジスタ20のチャンネル部26に拡散させることによって、トランジスタ20のしきい値電圧を調整する。例えば、トランジスタ20がNFEETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が低下し、トランジスタ20がPFETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が上昇する。

したがって、しきい値電圧が高いFEETの場合、しきい値電圧を下げるように調整する。また、しきい値電圧が低すぎるFEETの場合、しきい値電圧を上げるように調整する。

【0048】

上記13族もしくは15族の元素を含む酸化シリコン膜を形成する工程は、以下のように行う。

例えば、13族もしくは15族の元素を分子内に含むガスとシラン系ガスと酸素との混合ガス中で、イオンビーム、電子線もしくはレーザー光を、上記トランジスタ20のチャンネル部26が形成されるシリコン層13の裏面に照射する。そして、上記13族もしくは15族の元素を含む薄膜を上記トランジスタ20のチャンネル部26が形成されるシリコン層13の裏面に形成する。イオンビーム、電子線もしくはレーザー光のようなエネルギー線をアシストに用いた成膜では、局所的、かつ選択的に成膜が可能になる。例えば、1個のトランジスタ20のチャンネル部26が形成されるシリコン層13の裏面に形成することができる。もしくは複数個のトランジスタ20が形成されたシリコン層13の裏面に形成することができる。また、1個ないし数個の13族もしくは15族の元素がチャンネル部26に導入されればよいので、上記調整用絶縁膜81の膜厚は数原子層もしくは数nm(例えば5nm)程度あればよい。

【0049】

上記13族元素を分子内に含むガスには、例えばジボラン(B_2H_6)が挙げられる。もちろん、ホウ素(B)以外の13族元素を含むガスを用いることもできる。また上記15族元素を分子内に含むガスには、例えばホスフィン(PH_3)が挙げられる。もちろん、リン(P)以外の13族元素を含むガスを用いることもできる。また、シラン系ガスには、モノシラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)等が挙げられる。

【0050】

[応力を有する絶縁膜によるしきい値電圧の調整]

また、上記調整用絶縁膜81は、応力を有する絶縁膜で形成される。例えば、窒化シリコン膜で形成される。すなわち、窒化シリコン膜に内在するストレスをトランジスタ20

10

20

30

40

50

のチャネル部 26 に印加することにより、トランジスタ 20 のしきい値電圧を調整する。

【0051】

例えば、トランジスタ 20 が P F E T の場合、上記窒化シリコン膜の応力が圧縮応力であれば、P F E T のしきい値電圧を低下させることができる。また、上記トランジスタ 20 が N F E T の場合、上記窒化シリコン膜の応力が引張応力であれば、N F E T のしきい値電圧を低下させることができる。

また、上記窒化シリコン膜は、例えば、窒化シリコン膜中に炭素を含ませることにより圧縮応力膜とすることができ、水素 (H) を含ませることにより引張応力膜とすることができる。

したがって、しきい値電圧が高い F E T の場合、しきい値電圧を下げるように調整する。また、しきい値電圧が低すぎる F E T の場合、しきい値電圧を上げるように調整する。

10

【0052】

[固定電荷を有する絶縁膜によるしきい値電圧の調整]

また、上記調整用絶縁膜 81 は、固定電荷を有する絶縁膜で形成される。例えば、固定電荷を有する絶縁膜は、目的に応じて、負の固定電荷を有する絶縁膜と正の固定電荷を有する絶縁膜とで使い分ける。上記負の固定電荷を有する絶縁膜には、例えば、酸化ハフニウム (H f O₂) 膜がある。また、正の固定電荷を有する絶縁膜には、例えば、酸窒化シリコン (S i O N) 膜がある。

上記負の固定電荷を有する絶縁膜の場合、例えば酸化ハフニウム膜中の負の固定電荷によって、トランジスタ 20 のチャネル部 26 に電荷 (電子) を与えることで、トランジスタ 20 のしきい値電圧を調整する。例えば、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇し、トランジスタ 20 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

20

また、上記正の固定電荷を有する絶縁膜の場合、例えば酸窒化シリコン膜中の正の固定電荷によって、トランジスタ 20 のチャネル部 26 に電荷 (正孔) を与えることで、トランジスタのしきい値電圧を調整する。例えば、トランジスタ 20 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇し、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

したがって、しきい値電圧が高い F E T の場合、しきい値電圧を下げるように調整する。また、しきい値電圧が低すぎる F E T の場合、しきい値電圧を上げるように調整する。

30

【0053】

[イオン注入によるしきい値電圧の調整]

上記回路ブロックごとのしきい値電圧の調整は、前記図 3 によって説明したレジストマスクを用いたイオン注入によっても行うことができる。例えば、しきい値電圧を調整する回路ブロック上に開口部を設けたレジストマスク (図示せず) を上記シリコン層 13 の裏面に形成して、前記説明したのと同様なイオン注入を行えばよい。

【0054】

すなわち、上記シリコン層 13 の裏面側からしきい値電圧を調整する上記回路ブロックのトランジスタ 20 群の各チャネル部 26 に、13 族もしくは 15 族の元素をイオン注入して行う。上記 13 族元素としては、ホウ素 (B)、アルミニウム (A l)、ガリウム (G a)、インジウム (I n) 等が挙げられるが、より好ましくはホウ素 (B) が挙げられる。また上記 15 族元素としては、窒素 (N)、リン (P)、ヒ素 (A s)、アンチモン (S b) 等が挙げられるが、より好ましくはリン (P) が挙げられる。

40

上記 13 族元素をトランジスタ 20 のチャネル部 26 にイオン注入することによって、トランジスタ 20 のしきい値電圧が調整される。例えば、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇し、トランジスタ 20 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

また、上記 15 族元素をトランジスタ 20 のチャネル部 26 にイオン注入することによって、トランジスタ 20 のしきい値電圧が調整される。例えば、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下し、トランジスタ 2

50

0 が P F E T の場合、しきい値電圧（ただし、しきい値電圧の絶対値）が上昇する。

【 0 0 5 5 】

このように、同一イオン注入では、N F E T と P F E T では、反対の方向にしきい値電圧が移行する。よって、回路ブロックは、N F E T もしくは P F E T ごとに設定してもよい。

【 0 0 5 6 】

[回路ブロックごとのしきい値電圧の調整]

また、回路ブロック内に N F E T と P F E T が混載されている場合には、回路ブロック内において、回路ブロックとしての性能が向上する方向に、トランジスタのしきい値電圧を調整する。したがって、場合によっては、あるトランジスタにおいて、しきい値電圧が高くなる方向に調整される場合もある。しかし、調整される一つの回路ブロック全体として性能が向上されるのであれば、回路ブロック内にしきい値電圧が高くなる方向に調整されるトランジスタがあってもよい。

【 0 0 5 7 】

また、上記調整用絶縁膜 8 1 を形成した後、もしくは上記イオン注入後、レーザー光を照射して、不純物注入領域をアニールしてもよい。

【 0 0 5 8 】

[しきい値電圧の調整方法の他例]

また、上記説明したように、個々のトランジスタに対してしきい値電圧を調整する場合、トランジスタのしきい値電圧を調整する前に、測定したトランジスタのアドレス情報と、測定したしきい値電圧の情報とを対応させて記憶させておく。

この方法は、回路ブロックごとにトランジスタのしきい値電圧を調整する場合も同様であり、測定した回路ブロックのトランジスタのアドレス情報と、測定したしきい値電圧の情報とを対応させて記憶させておく。

そして、トランジスタのアドレス情報と、対応するトランジスタのしきい値電圧の情報に基づいて、しきい値電圧を調整するトランジスタのアドレスを検索する。続いて、検索したアドレスのトランジスタのしきい値電圧の情報に対応して、トランジスタのしきい値電圧を調整する。

【 0 0 5 9 】

また、上記トランジスタもしくは回路ブロックの性能評価と、トランジスタのしきい値電圧の調整は、ウエハ状態で行っても、チップ状態で行ってもよい。

【 0 0 6 0 】

上記第 1 製造方法では、個々のトランジスタ 2 0 のしきい値電圧を測定して、しきい値電圧の基準から外れたトランジスタ 2 0 のしきい値電圧が調整されるので、しきい値電圧のばらつきが低減される。

よって、しきい値電圧のばらつきが低減できるので、トランジスタ回路の高速化、低電圧動作化、低消費電力化が可能になるという利点がある。すなわち、論理回路部の高速化、低電圧動作、消費電力削減が可能になる。また、メモリ回路部、例えば S R A M の S N M ばらつきを低減することができ、歩留り向上、S R A M の低電圧動作化、低消費電力化が可能となる。

【 0 0 6 1 】

< 2 . 第 2 の実施の形態 >

[半導体装置の製造方法の第 2 例]

本発明の第 2 実施の形態に係る半導体装置の製造方法の第 2 例を、図 5 ~ 図 6 の製造工程断面図によって説明する。図 5 ~ 図 6 では、一例として、論理回路部やメモリ回路部に搭載される N チャネルトランジスタを示した。

【 0 0 6 2 】

図 5 に示すように、基板 1 1 と絶縁層 1 2 とシリコン層 1 3 が積層されてなる S O I 基板 1 0 を用意する。上記基板 1 1 は、例えば導電性を有する半導体基板として、例えばシリコン基板で形成されている。上記絶縁層 1 2 は、例えば酸化シリコン膜で形成されてい

10

20

30

40

50

る。

【0063】

まず、上記シリコン層13に、素子間を分離する素子分離領域14を形成する。上記素子分離領域14は、例えば、上記シリコン層13中に溝を形成し、その溝内に絶縁膜を埋め込むことで形成されている。その絶縁膜としては、例えば酸化シリコン（例えばSiO₂）膜、窒化シリコン（例えばSiN）膜、酸窒化シリコン（例えばSiON）膜等がある。すなわち、上記素子分離領域14は、いわゆるSTI（Shallow Trench Isolation）構造に形成されている。

【0064】

次に、上記シリコン層13の表面側にトランジスタ20を形成する。

10

まず、上記シリコン層13の表面に、ゲート絶縁膜21を形成する。このゲート絶縁膜21は、例えば、酸化ハフニウム（例えばHfO₂）、酸窒化ケイ化ハフニウム、酸化ジルコニウム（例えばZrO₂）、酸窒化ケイ化ジルコニウム等のいわゆる高誘電率（High-k）膜で形成される。もしくは熱酸化窒化膜と上記高誘電率膜との複合膜で形成される。上記高誘電率膜は、例えば、有機金属化学気相成長法、原子層蒸着法で形成される。また、上記熱酸化窒化膜は、熱酸化、プラズマ酸化、プラズマ窒化法で形成されている。さらに、上記ゲート絶縁膜21上ゲート電極22を形成する。このゲート電極22は、例えば、窒化チタン、炭化タンタル、タングステン、ポリシリコン等で形成される。

【0065】

次に、上記ゲート電極22の側壁にサイドウォールスペーサ23を形成する。

20

次いで、ゲート電極22、サイドウォールスペーサ23、素子分離領域14をマスクにして、上記シリコン層13にソース・ドレイン領域24、25を形成する。このとき、上記サイドウォールスペーサ23を形成する前に上記シリコン層13にLDD（Lightly Doped Drain）層（図示せず）を形成し、その後サイドウォールスペーサ23を形成する。そして上記ソース・ドレイン領域24、25を形成して、LDD構造を有してもよい。よって上記ゲート電極22直下の上記シリコン層13がチャンネル部26となる。

このようにして、トランジスタ20が形成される。

【0066】

次に、上記SOI基板10上に、第1絶縁膜30と前記トランジスタ20に電氣的に接続される配線を含む配線部40を形成する。図面に示した構成では、4層の配線部41～44（配線51～54とプラグ61～64）と、8層の第1絶縁膜31～38が形成される。上記配線部40の層数は、適宜選択して決定される。したがって、5層以上となる場合もある。通常、7層程度、積層して形成される。

30

そのとき、最下層の第1絶縁膜31は、例えば数百nmの厚さで、上記ゲート電極22を完全に被覆する状態に形成され、その表面は、例えば化学的機械研磨（CMP）によって平坦化されていることが好ましい。また、最上層の第1絶縁膜38表面は、例えば化学的機械研磨（CMP）等によって平坦化され、最上層の配線54が露出される。

【0067】

また、上記配線部40の形成は以下のようにして行う。

例えば、上記第1絶縁膜31に接続孔を形成し、接続孔の内面に密着層、バリア層を介して導電性材料を埋め込んで、プラグ61を形成する。例えば、密着層にチタン、バリア層に窒化チタン、導電性材料にタングステンをを用いる、もしくは、密着層にタンタル、バリア層に窒化タンタル、導電性材料に銅を用いる。なお、第1絶縁膜31上に形成された余剰な密着層、バリア層、導電性材料は、例えば化学的機械研磨によって除去される。

40

【0068】

次いで、上記第1絶縁膜31上に第2層目の第1絶縁膜32を、例えば窒化炭化シリコンで形成する。この第2層目の第1絶縁膜32に、配線溝を形成し、例えば、配線溝の内面に密着層、バリア層を介して導電性材料を埋め込んで、上記プラグ61に接続する配線51を形成する。この配線51と同時に、形成しようとしているトランジスタ、例えばソース・ドレイン領域24、25等に接続するプロービング用電極91を形成する。図示は

50

していないが、ゲート電極 22 に接続するプロービング用電極も形成しておく。

上記密着層には例えばチタンもしくはタンタル、上記バリア層には例えば窒化チタンもしくは窒化タンタル、上記導電性材料には例えば銅を用いる。

なお、第 1 絶縁膜 32 上に形成された余剰な密着層、バリア層、導電性材料は、例えば化学的機械研磨によって除去される。

【0069】

次いで、上記第 2 層目の第 1 絶縁膜 32 上に第 3 層目の第 1 絶縁膜 33 を形成する。この第 3 層目の第 1 絶縁膜 33 は、例えば水素 (H) を含む酸化炭化シリコン (SiOCH)、炭化酸化シリコン (SiOC)、ポーラス炭化酸化シリコン等で形成される。

そして、上記同様に、上記第 1 絶縁膜 33 に接続孔を形成し、接続孔の内面に密着層、バリア層を介して導電性材料を埋め込んで、上記配線 51 に接続するプラグ 62 を形成する。例えば、密着層にチタンもしくはタンタル、バリア層に窒化チタンもしくは窒化タンタル、導電性材料に銅を用いる。

なお、第 1 絶縁膜 33 上に形成された余剰な密着層、バリア層、導電性材料は、例えば化学的機械研磨によって除去される。

以下、上記同様にして、第 n - 1 層目の第 1 絶縁膜 30 に接続孔を形成してプラグを形成し、第 n 層の第 1 絶縁膜 30 に配線溝を形成して配線を形成する。ここで、n は第 1 絶縁膜 30 の総層数であり、図面に示した場合では、n = 8 となる。

このようにして、半導体装置 2 を形成する。

【0070】

[支持基板の形成]

次に、最上層に形成された上記第 1 絶縁膜 30 (38) の表面に第 2 絶縁膜 71 を介して支持基板 72 を形成する。上記第 2 絶縁膜 71 は、例えば酸化シリコン (SiO₂) 膜で形成される。上記支持基板 72 には、例えばシリコン基板、樹脂基板、ガラス基板等を用いることができる。

【0071】

次いで、図 6 に示すように、上記 SOI 基板 10 の裏面側の上記基板 11 (前記図 5 参照) と上記絶縁層 12 (前記図 5 参照) の少なくとも一部を除去して上記シリコン層 13 の裏面を露出させる。ここでは、基板 11 および絶縁層 12 を全面にわたって除去した。

または、上記絶縁層 12 はそのまま残す、もしくは全面に薄く残してもよい。また、上記絶縁層 12 を完全に除去した後、上記シリコン層 13 の全面に酸化膜、例えば酸化シリコン膜を形成してもよい。

【0072】

次に、上記シリコン層 13 の裏面側から上記シリコン層 13 (素子分離領域 14) および第 1 絶縁層 30 (31) に上記プロービング用電極 91 を露出させる開口部 92 を形成する。

【0073】

[しきい値電圧の測定]

次に、この状態で、しきい値電圧を測定するプローブ 101 を上記プロービング用電極 91 に接触させて、上記トランジスタ 20 のしきい値電圧を測定する。

【0074】

すなわち、上記プロービング用電極 91 を通じて、論理回路部、メモリ回路部 (SRAM 部) の性能確認テストを行う。

例えば、論理回路部に関しては、論理回路部に設けられた BIST (Built In Self Test) 回路を通してテストパターンに発生させ、上記半導体装置 2 の性能を律束する、性能が低い回路ブロックや、トランジスタを検出する。また SRAM 部に関しても LSI 内部に設けられた BIST を通じて各 SRAM セルのパタフライカーブ (Fig. b) 等を測定し、SNM の小さい SRAM セルを検出し、その原因となるトランジスタを特定する。

具体的には、例えば、測定用のプローブ 101 を上記プロービング用電極 91 に接触させて、上記トランジスタ 20 のしきい値電圧を測定する。測定は、好ましくは、全てのト

10

20

30

40

50

ランジスタ 20 について行う。

【 0 0 7 5 】

[しきい値電圧の調整]

その後、上記測定されたしきい値電圧に基づいて、しきい値電圧の基準から外れた上記トランジスタ 20 のしきい値電圧を調整する。上記しきい値電圧の調整は、前述したシングルイオン注入法、レーザー光のスポット照射法等により行う。また、シングルイオン注入法の後、レーザー光照射によるアニールを行ってもよい。

【 0 0 7 6 】

[イオン注入によるしきい値電圧の調整]

上記シングルイオン注入法では、上記シリコン層 13 の裏面側から、しきい値電圧を調整する上記トランジスタ 20 のチャンネル部 26 に、13 族もしくは 15 族の元素をイオン注入して行う。上記 13 族元素としては、ホウ素 (B)、アルミニウム (A l)、ガリウム (G a)、インジウム (I n) 等が挙げられるが、より好ましくはホウ素 (B) が挙げられる。また上記 15 族元素としては、窒素 (N)、リン (P)、ヒ素 (A s)、アンチモン (S b) 等が挙げられるが、より好ましくはリン (P) が挙げられる。

上記 13 族元素をトランジスタ 20 のチャンネル部 26 にイオン注入することによって、トランジスタ 20 のしきい値電圧が調整される。例えば、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇し、トランジスタ 20 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

また、上記 15 族元素をトランジスタ 20 のチャンネル部 26 にイオン注入することによって、トランジスタ 20 のしきい値電圧が調整される。例えば、トランジスタ 20 が N F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下し、トランジスタ 20 が P F E T の場合、しきい値電圧 (ただし、しきい値電圧の絶対値) が上昇する。

したがって、しきい値電圧が高い F E T の場合、しきい値電圧を下げるように調整する。また、しきい値電圧が低すぎる F E T の場合、しきい値電圧を上げるように調整する。

【 0 0 7 7 】

[アニール処理]

また、上記イオン注入後、イオン注入した領域にレーザー光をスポット的に照射して、アニール処理を行ってもよい。この場合、シリコン層 13 の照射面側に浅くレーザー光が吸収されるように、レーザー光には短波長レーザー光として、例えば紫外線レーザー光を用いる。例えば、X e C l レーザ光 (波長 3 0 8 n m)、X e F レーザ光 (波長 3 5 1 n m)、K r F レーザ光 (波長 2 4 8 n m) 等を用いることができる。

【 0 0 7 8 】

[レーザ光照射によるしきい値電圧の調整]

また、しきい値電圧の基準から外れた上記トランジスタ 20 のしきい値電圧を調整する工程は、上記シリコン層 13 の裏面側から上記トランジスタ 20 のチャンネル部 26 にレーザー光をスポット的に照射して行う。

レーザー光がトランジスタ 20 のチャンネル部 26 に、スポット的に照射されることによって、チャンネル部 26 の不純物を活性化されて不純物分布が変調され、トランジスタ 20 のしきい値電圧が調整される。例えば、トランジスタ 20 が N F E T の場合も P F E T の場合も、しきい値電圧 (ただし、しきい値電圧の絶対値) が低下する。

【 0 0 7 9 】

また、論理回路部を構成する多数のトランジスタのうち、論理回路部の性能を律束するトランジスタを特定することは通常困難である。しかしながら、論理回路部を構成する回路ブロック (あるトランジスタ群) ごとに、性能を律束する回路ブロックを特定することはできる。そこで、第 2 製造方法においても、回路ブロックごとにトランジスタのしきい値電圧を調整することで、半導体装置全体の性能向上を図ることができる。

【 0 0 8 0 】

そして、上記しきい値電圧の調整を行った後、再度、測定用のプローブ 101 を上記最上層の配線 54 に接触させて、上記トランジスタ 20 のしきい値電圧を測定して、トラン

10

20

30

40

50

ジスタ 20 もしくは回路ブロックの性能の確認を行う。ここで、性能が基準に満たない場合には、再度、上記説明したトランジスタのしきい値電圧の調整を行う。

【0081】

また、上記第2製造方法では、上記トランジスタのしきい値電圧を測定する工程と、上記トランジスタのしきい値電圧の調整する工程をIn-Situで行える。例えばイオン注入装置もしくはレーザーアニール装置内に設置された測定用のプローブでトランジスタもしくは回路ブロックの性能の解析的評価を行いながら、シングルイオン注入もしくはスポットレーザー照射によりしきい値電圧を調整する。

【0082】

また、上記第2製造方法では、シリコン層13の裏面側にプロービング用の開口部92を形成することによって、プロービング後、直ぐに、上記シリコン層13の裏面側から上記トランジスタ20のしきい値電圧を調整する工程を行うことができる。すなわち、支持基板72の形成工程、基板11や絶縁層12の除去工程を経ることがないので、プロービング結果に変動をきたすことなく、しきい値電圧の調整が行えるので、正確な調整が行える。

【0083】

さらに、上記第2製造方法では、個々のトランジスタ20のしきい値電圧を測定して、しきい値電圧の基準から外れたトランジスタ20のしきい値電圧が調整されるので、しきい値電圧のばらつきが低減される。

よって、しきい値電圧のばらつきが低減できるので、トランジスタ回路の高速化、低電圧動作化、低消費電力化が可能になるという利点がある。すなわち、論理回路部の高速化、低電圧動作、消費電力削減が可能になる。また、メモリ回路部、例えばSRAMのSNMばらつきを低減することができ、歩留り向上、SRAMの低電圧動作化、低消費電力化が可能となる。

【0084】

< 3 . 第3の実施の形態 >

[半導体装置の構成の第1例]

本発明の第2実施の形態に係る半導体装置の第1例を、図7の製造工程断面図によって説明する。

【0085】

図7に示すように、シリコン層13の表面側には、素子分離領域14に分離されて、トランジスタ20が形成されている。上記素子分離領域14は、例えば、例えば酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜等からなるSTI構造に形成されている。

【0086】

上記トランジスタ20は以下のように構成されている。

上記シリコン層13の表面にゲート絶縁膜21を介して、ゲート電極22が形成されている。このゲート絶縁膜21は、例えば、酸化ハフニウム、酸窒化ケイ化ハフニウム、酸化ジルコニウム、酸窒化ケイ化ジルコニウム等のいわゆる高誘電率膜で形成されている。もしくは熱酸化窒化膜と上記高誘電率膜との複合膜で形成されている。上記ゲート電極22は、例えば、窒化チタン、炭化タンタル、タングステン、ポリシリコン等で形成されている。また、上記ゲート電極22の側壁にはサイドウォールスペーサ23が形成されている。

【0087】

さらに、ゲート電極22の両側の上記シリコン層13には、ソース・ドレイン領域24、25が形成されている。図面では、一部のトランジスタ20のソース・ドレイン領域24、25が共通化されている。また、図示はしていないが、上記ソース・ドレイン領域24、25は、LDD (Lightly Doped Drain) 構造を有してもよい。このように形成された上記ゲート電極22直下の上記シリコン層13がチャンネル部26となる。

上記の如く、トランジスタ20が構成されている。

【0088】

10

20

30

40

50

上記シリコン層13の表面上には、上記トランジスタ20を被覆する第1絶縁膜30が形成されている。また、上記第1絶縁膜30中には、上記トランジスタ20に電氣的に接続される配線部40が複数層に形成されている。図面に示した構成では、4層の配線部41~44(配線51~54とプラグ61~64)と、8層の第1絶縁膜31~38が形成されている。上記配線部40の層数は、適宜選択して決定される。したがって、5層以上となる場合もある。通常、7層程度、積層して形成される。

【0089】

さらに、上記第1絶縁膜30表面には、第2絶縁膜71を介して支持基板72が形成されている。上記第2絶縁膜71は、例えば酸化シリコン膜で形成される。上記支持基板72には、例えばシリコン基板、樹脂基板、ガラス基板等を用いることができる。

10

【0090】

また、上記シリコン層13の裏面側には、上記トランジスタ20のしきい値電圧を調整する調整用絶縁膜81が形成されている。

【0091】

上記調整用絶縁膜81は、13族もしくは15族の元素を含む酸化シリコン膜で形成されている。

上記13族元素としては、ホウ素、アルミニウム、ガリウム、インジウム等が挙げられるが、より好ましくはホウ素が挙げられる。13族元素を含む酸化シリコン膜が形成されていることによって、トランジスタ20がNFEETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が上昇し、トランジスタ20がPFETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が低下する。

20

【0092】

また上記15族元素としては、窒素、リン、ヒ素、アンチモン等が挙げられるが、より好ましくはリンが挙げられる。15族元素を含む酸化シリコン膜が形成されていることによって、トランジスタ20がNFEETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が低下し、トランジスタ20がPFETの場合、しきい値電圧(ただし、しきい値電圧の絶対値)が上昇する。

したがって、しきい値電圧が高いFEETの場合、しきい値電圧を下げるように調整でき、しきい値電圧が低すぎるFEETの場合、しきい値電圧を上げるように調整できる。

【0093】

30

また、上記調整用絶縁膜81は、応力を有する絶縁膜、例えば窒化シリコン膜で形成されている。すなわち、窒化シリコン膜に内在するストレスをトランジスタ20のチャンネル部26に印加することにより、トランジスタ20のしきい値電圧が調整される。

例えば、トランジスタ20がPFETの場合、上記窒化シリコン膜の応力が圧縮応力であれば、PFETのしきい値電圧を低下させることができ、上記トランジスタ20がNFEETの場合、上記窒化シリコン膜の応力が引張応力であれば、NFEETのしきい値電圧を低下させることができる。

また、上記窒化シリコン膜は、窒化シリコン膜中に炭素を含ませることにより圧縮応力膜とすることができ、水素(H)を含ませることにより引張応力膜とすることができる。

したがって、しきい値電圧が高いFEETの場合、しきい値電圧を下げるように調整でき、しきい値電圧が低すぎるFEETの場合、しきい値電圧を上げるように調整できる。

40

【0094】

また、上記調整用絶縁膜81は、固定電荷を有する絶縁膜で形成されている。

例えば、固定電荷を有する絶縁膜は、目的に応じて、負の固定電荷を有する絶縁膜と正の固定電荷を有する絶縁膜とで使い分ける。負の固定電荷を有する絶縁膜には、酸化ハフニウム(HfO₂)膜がある。正の固定電荷を有する絶縁膜には、例えば酸窒化シリコン(SiON)膜がある。

上記負の固定電荷を有する絶縁膜の場合、例えば酸化ハフニウム膜中の負の固定電荷によって、トランジスタ20のチャンネル部26に電荷(電子)を与えることで、トランジスタ20のしきい値電圧が調整される。例えば、トランジスタ20がNFEETの場合、しき

50

い値電圧（ただし、しきい値電圧の絶対値）が上昇し、トランジスタ 20 が P F E T の場合、しきい値電圧（ただし、しきい値電圧の絶対値）が低下する。

また、上記正の固定電荷を有する絶縁膜の場合、例えば酸化シリコン膜中の正の固定電荷によって、トランジスタ 20 のチャネル部 26 に電荷（正孔）を与えることで、トランジスタのしきい値電圧を調整する。例えば、トランジスタ 20 が P F E T の場合、しきい値電圧（ただし、しきい値電圧の絶対値）が上昇し、トランジスタ 20 が N F E T の場合、しきい値電圧（ただし、しきい値電圧の絶対値）が低下する。

したがって、しきい値電圧が高い F E T の場合、しきい値電圧を下げるように調整でき、しきい値電圧が低すぎる F E T の場合、しきい値電圧を上げるように調整できる。

【 0 0 9 5 】

10

上記半導体装置 1 では、シリコン層 13 の裏面側にトランジスタのしきい値電圧を調整する調整用絶縁膜を有することによって、トランジスタのしきい値電圧が所望の値に調整される。よって、しきい値電圧のばらつきが低減できるので、トランジスタ回路の高速化、低電圧動作化、低消費電力化が可能になるという利点がある。

【 0 0 9 6 】

< 4 . 第 4 の実施の形態 >

[半導体装置の構成の第 2 例]

本発明の第 2 実施の形態に係る半導体装置の第 2 例を、図 8 の製造工程断面図によって説明する。

【 0 0 9 7 】

20

図 8 に示すように、シリコン層 13 の表面側には、素子分離領域 14 に分離されて、トランジスタ 20 が形成されている。上記素子分離領域 14 は、例えば、例えば酸化シリコン膜、窒化シリコン膜、酸化シリコン膜等からなる S T I 構造に形成されている。

【 0 0 9 8 】

上記トランジスタ 20 は以下のように構成されている。

上記シリコン層 13 の表面にゲート絶縁膜 21 を介して、ゲート電極 22 が形成されている。このゲート絶縁膜 21 は、例えば、酸化ハフニウム、酸化ケイ化ハフニウム、酸化ジルコニウム、酸化ケイ化ジルコニウム等のいわゆる高誘電率膜で形成されている。もしくは熱酸化窒化膜と上記高誘電率膜との複合膜で形成されている。上記ゲート電極 22 は、例えば、窒化チタン、炭化タンタル、タンゲステン、ポリシリコン等で形成されている。また、上記ゲート電極 22 の側壁にはサイドウォールスペーサ 23 が形成されている。

30

【 0 0 9 9 】

さらに、ゲート電極 22 の両側の上記シリコン層 13 には、ソース・ドレイン領域 24、25 が形成されている。図面では、一部のトランジスタ 20 のソース・ドレイン領域 24、25 が共通化されている。また、図示はしていないが、上記ソース・ドレイン領域 24、25 は、L D D 構造を有してもよい。このように形成された上記ゲート電極 22 直下の上記シリコン層 13 がチャネル部 26 となる。

上記の如く、トランジスタ 20 が構成されている。

【 0 1 0 0 】

40

上記シリコン層 13 の表面上には、上記トランジスタ 20 を被覆する第 1 絶縁膜 30 が形成されている。また、上記第 1 絶縁膜 30 中には、上記トランジスタ 20 に電気的に接続される配線部 40 が複数層に形成されている。図面に示した構成では、4 層の配線部 41 ~ 44（配線 51 ~ 54 とプラグ 61 ~ 64）と、8 層の第 1 絶縁膜 31 ~ 38 が形成されている。上記配線部 40 の層数は、適宜選択して決定される。したがって、5 層以上となる場合もある。通常、7 層程度、積層して形成される。

また、上記配線 51 が延長形成された、トランジスタ、例えばソース・ドレイン領域 24、25 等に接続するプロービング用電極 91 が形成されている。図示はしていないが、ゲート電極 22 に接続するプロービング用電極も形成されていてもよい。

【 0 1 0 1 】

50

さらに、上記第1絶縁膜30表面には、第2絶縁膜71を介して支持基板72が形成されている。上記第2絶縁膜71は、例えば酸化シリコン膜で形成される。上記支持基板72には、例えばシリコン基板、樹脂基板、ガラス基板等を用いることができる。

【0102】

また、上記シリコン層13および第1絶縁膜30(31)には、上記シリコン層13の裏面側から上記プロービング用電極91を露出させる開口部92が形成されている。

このように半導体装置2は構成されている。

【0103】

上記半導体装置2では、トランジスタ20に接続するプロービング用電極91を露出させた開口部92を有することによって、開口部92よりトランジスタ20のしきい値電圧の測定が容易に行える。その結果、トランジスタ20の解析的評価を行うことが可能になり、論理回路部のスピード不足、電圧マージン不足の原因となっている回路ブロックもしくはトランジスタが検出される。そして、検出したトランジスタのしきい値電圧をウエハプロセス完成後に、もしくは解析的評価を行いながら補正することが可能になる。

よって、しきい値電圧のばらつきが低減できるので、半導体装置の高速化、低電圧動作化、低消費電力化が可能になるという利点がある。

【0104】

通常、半導体装置(例えばLSI)は例えば数千万個のトランジスタが搭載されている。これらのトランジスタのしきい値電圧の分布は、例えば、ある広がりを持った分布となっていて、基準のしきい値電圧よりも高いトランジスタが存在することがある。そこで、本発明により、その基準のしきい値電圧よりも高いトランジスタを基準内のしきい値電圧を有するように調整することができるので、半導体装置全体のトランジスタのしきい値電圧が低い方向に移行することになり、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0105】

【図1】本発明半導体装置の製造方法の第1例を示した製造工程断面図である。

【図2】本発明の半導体装置の製造方法の第1例を示した製造工程断面図である。

【図3】本発明の半導体装置の製造方法の第1例を示した製造工程断面図である。

【図4】本発明の半導体装置の製造方法の第1例を示した製造工程断面図である。

【図5】本発明の半導体装置の製造方法の第1例を示した製造工程断面図である。

【図6】本発明の半導体装置の製造方法の第1例を示した製造工程断面図である。

【図7】本発明の半導体装置の第1例を示した概略構成断面図である。

【図8】本発明の半導体装置の第2例を示した概略構成断面図である。

【図9】スタティックノイズマージンの一例を示した図である。

【図10】代表的な6トランジスタ構成のSRAMの一例を示した回路図である。

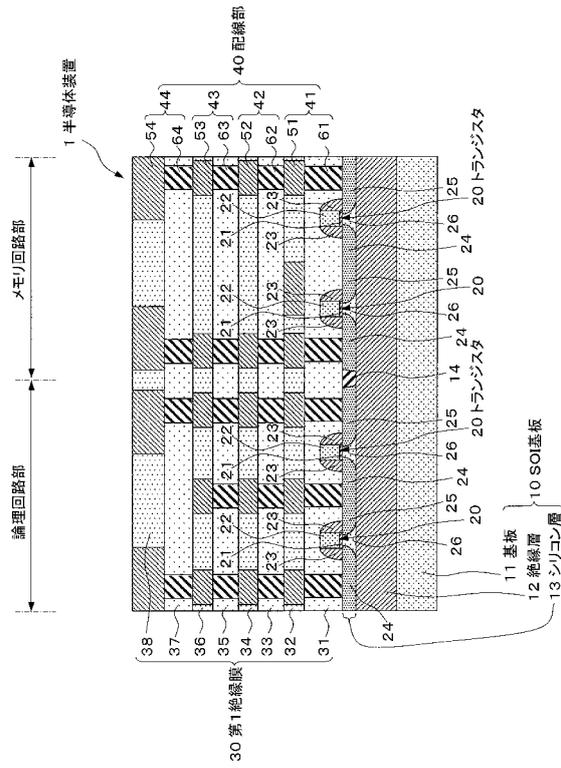
【図11】従来のトランジスタの一例を示した平面レイアウト図と斜視図である。

【符号の説明】

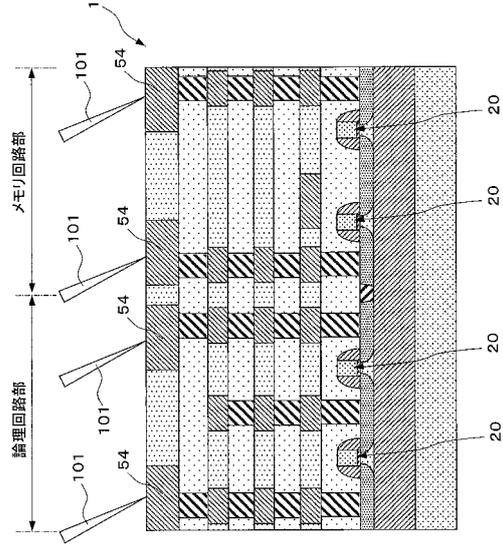
【0106】

1, 2...半導体装置、10...SOI基板、11...基板、12...絶縁層、13...シリコン層、20...トランジスタ、30...第1絶縁膜、40...配線部、71...第2絶縁膜、72...支持基板、91...プロービング用電極、92...開口部

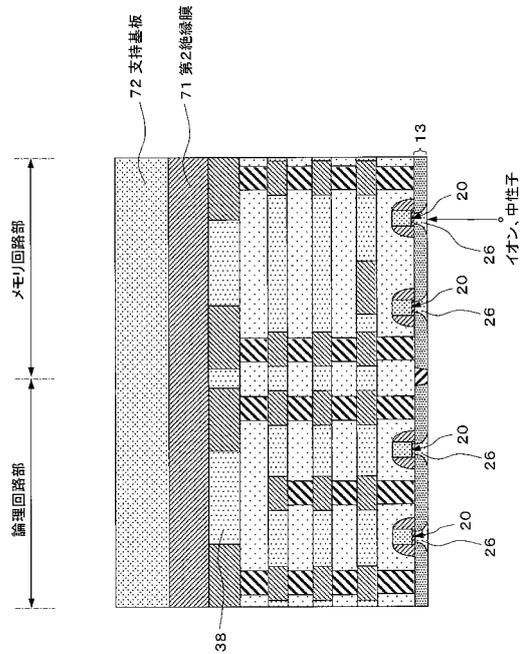
【図1】



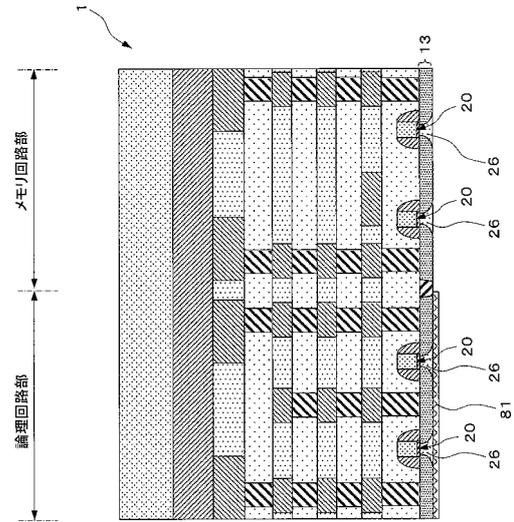
【図2】



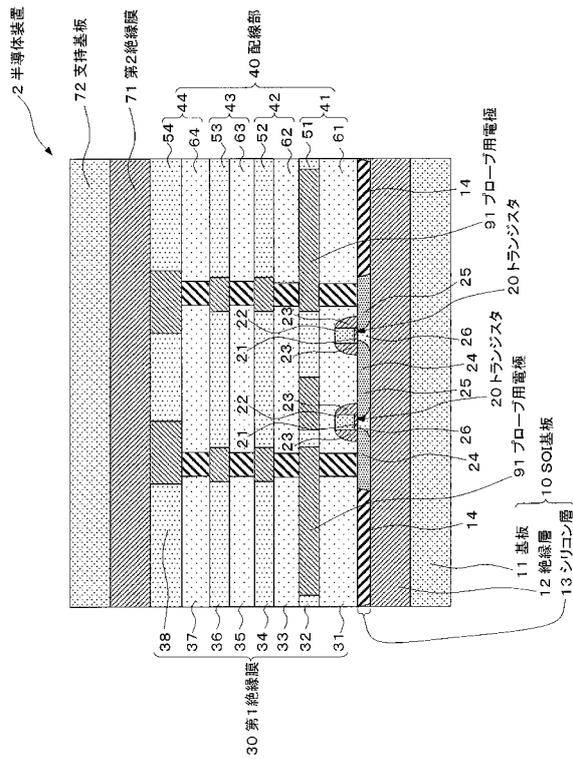
【図3】



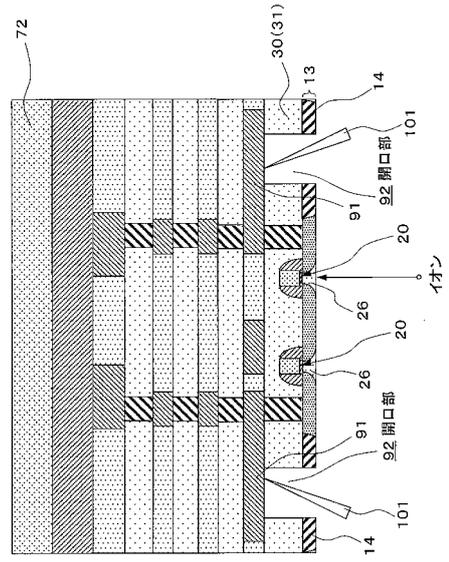
【図4】



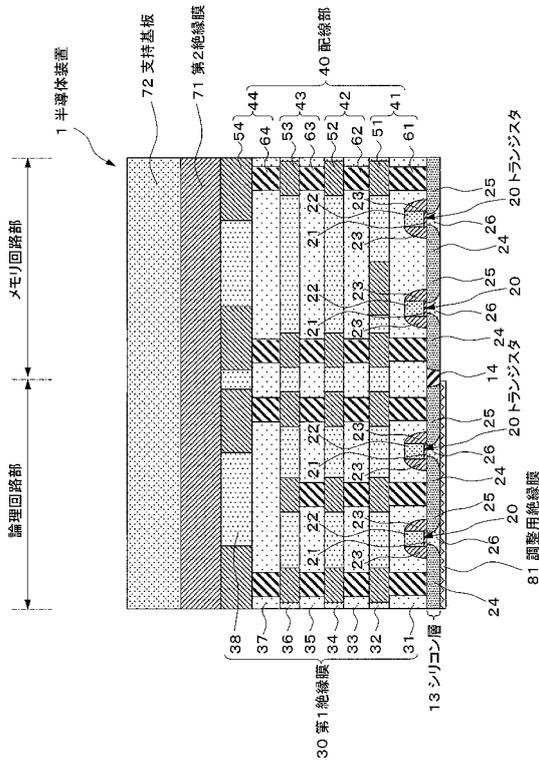
【図5】



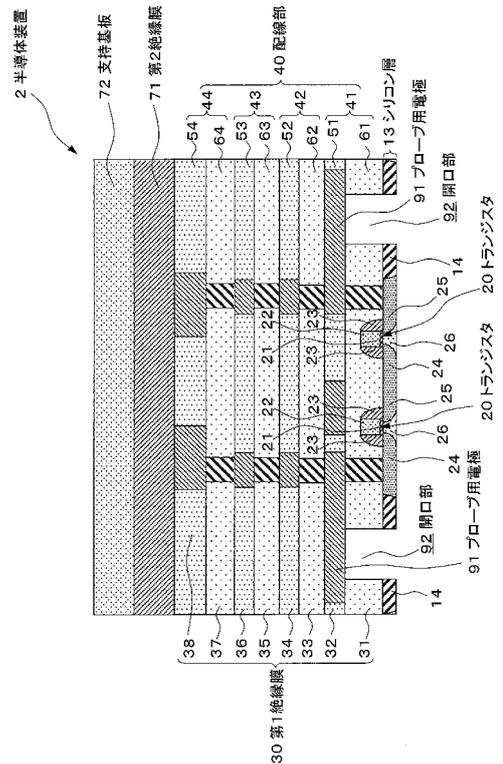
【図6】



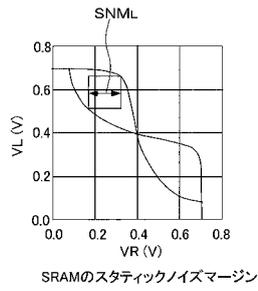
【図7】



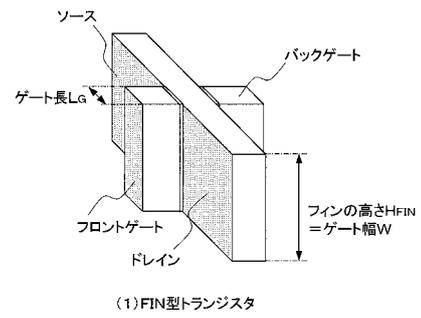
【図8】



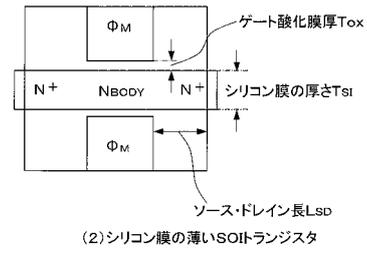
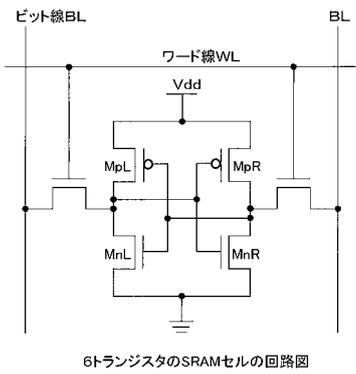
【図9】



【図11】



【図10】



フロントページの続き

| (51)Int.Cl. | | F I | | |
|-------------|-------------------|---------|-------|---------|
| H 0 1 L | 21/8244 (2006.01) | H 0 1 L | 27/08 | 3 3 1 E |
| H 0 1 L | 27/11 (2006.01) | H 0 1 L | 27/08 | 1 0 2 B |
| H 0 1 L | 27/08 (2006.01) | H 0 1 L | 27/08 | 3 2 1 C |
| H 0 1 L | 21/8238 (2006.01) | H 0 1 L | 29/78 | 6 1 8 F |
| H 0 1 L | 27/092 (2006.01) | H 0 1 L | 29/78 | 6 2 4 |
| H 0 1 L | 29/786 (2006.01) | H 0 1 L | 29/78 | 6 1 8 G |
| H 0 1 L | 21/336 (2006.01) | H 0 1 L | 29/78 | 6 2 7 F |
| H 0 1 L | 21/822 (2006.01) | H 0 1 L | 29/78 | 6 2 6 C |
| H 0 1 L | 27/04 (2006.01) | H 0 1 L | 27/08 | 1 0 2 H |
| | | H 0 1 L | 27/04 | F |

- (56)参考文献 特開2005 - 251954 (JP, A)
 特開2004 - 140383 (JP, A)
 特開2000 - 294793 (JP, A)
 特開2003 - 289046 (JP, A)
 特開2008 - 153442 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 1 / 8 2 4 4
 H 0 1 L 2 7 / 0 4