

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-124112

(P2009-124112A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 A	5 F O 3 2
HO 1 L 27/088 (2006.01)	HO 1 L 27/06 1 O 2 A	5 F O 3 3
HO 1 L 27/06 (2006.01)	HO 1 L 21/76 L	5 F O 3 8
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 A	5 F O 4 8
HO 1 L 21/764 (2006.01)	HO 1 L 27/06 3 2 1 C	5 F 1 3 6

審査請求 未請求 請求項の数 20 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2008-256631 (P2008-256631)
 (22) 出願日 平成20年10月1日 (2008.10.1)
 (31) 優先権主張番号 特願2007-276831 (P2007-276831)
 (32) 優先日 平成19年10月24日 (2007.10.24)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100106149
 弁理士 矢作 和行
 (74) 代理人 100121991
 弁理士 野々部 泰平
 (72) 発明者 尾関 善彦
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 藤井 哲夫
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

最終頁に続く

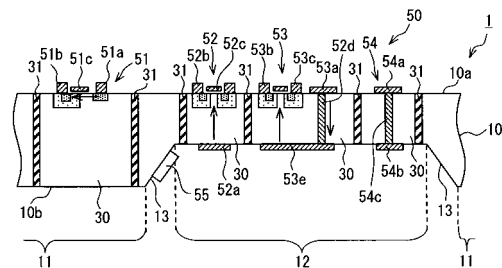
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 1つの半導体基板に少なくとも両面電極素子を含む複数の素子が形成された構成において、素子特性の異なる複数の素子を集積でき、且つ、割れを抑制することができる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 半導体基板と、半導体基板における複数の素子形成領域をそれぞれ取り囲むとともに、半導体基板を貫通して複数の素子形成領域を互いに絶縁分離する絶縁分離トレンチと、複数の素子形成領域のそれぞれに構成される素子と、を備える半導体装置において、互いに厚さの異なる複数の厚さ領域を半導体基板に構成した。そして、複数の厚さ領域のうち、最も厚さの薄い領域を含む少なくとも2つの厚さ領域に素子形成領域をそれぞれ形成し、素子として少なくとも両面電極素子を含み、この両面電極素子が少なくとも最も厚さの薄い領域に形成される構成とした。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板と、

前記半導体基板における複数の素子形成領域をそれぞれ取り囲むとともに、前記半導体基板を貫通して前記複数の素子形成領域を互いに絶縁分離する絶縁分離トレンチと、

前記複数の素子形成領域のそれぞれに構成される素子と、を備える半導体装置であって、

前記半導体基板は、互いに厚さの異なる複数の厚さ領域を有し、

前記複数の厚さ領域のうち、最も厚さの薄い領域を含む少なくとも 2 つの前記厚さ領域に前記素子形成領域がそれぞれ形成され、

前記素子として、少なくとも前記最も厚さの薄い領域に形成され、対をなす電極が前記半導体基板の主面と該主面の裏面に分けて配置された両面電極素子を含むことを特徴とする半導体装置。

【請求項 2】

前記両面電極素子として、縦型 MOS トランジスタ素子、及び、IGBT 素子のいずれかを含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記両面電極素子は、前記最も厚さの薄い領域を含む複数の前記厚さ領域にそれぞれ形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記素子として、対をなす電極が前記半導体基板の主面にまとめて配置された片面電極素子を含み、

前記片面電極素子は、前記両面電極素子が形成された前記厚さ領域とは異なる前記厚さ領域の少なくとも 1 つに形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記素子として、前記両面電極素子とともに、対をなす電極が前記半導体基板の主面にまとめて配置された片面電極素子を含み、

複数の前記両面電極素子が、前記最も厚さの薄い領域のみに形成され、

前記片面電極素子は、前記両面電極素子が形成された前記厚さ領域とは異なる前記厚さ領域の少なくとも 1 つに形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 6】

前記片面電極素子として、バイポーラトランジスタ素子、横型 MOS トランジスタ素子、及び相補型 MOS トランジスタ素子のいずれかを含むことを特徴とする請求項 4 又は請求項 5 に記載の半導体装置。

【請求項 7】

複数の前記両面電極素子として、他の前記両面電極素子における電極とは、電気的に分離された電極を有する少なくとも 1 つの前記両面電極素子を有することを特徴とする請求項 3 ~ 6 いずれか 1 項に記載の半導体装置。

【請求項 8】

前記絶縁分離トレンチは、トレンチ内に絶縁体が埋め込まれてなる絶縁分離トレンチ、トレンチ内に側壁酸化膜を介して導電体が埋め込まれてなる絶縁分離トレンチ、及びトレンチ内に空洞が形成されてなる絶縁分離トレンチのいずれかであることを特徴とする請求項 1 ~ 7 いずれか 1 項に記載の半導体装置。

【請求項 9】

前記半導体基板であって、互いに厚さの異なる前記厚さ領域を連結する連結部位に、前記素子として受動素子が形成されていることを特徴とする請求項 1 ~ 8 いずれか 1 項に記載の半導体装置。

【請求項 10】

前記半導体基板は、ウェハであることを特徴とする請求項 1 ~ 9 いずれか 1 項に記載の

10

20

30

40

50

半導体装置。

【請求項 1 1】

前記半導体基板はチップ化されていることを特徴とする請求項 1 ~ 9 いずれか 1 項に記載の半導体装置。

【請求項 1 2】

前記複数の厚さ領域は、厚さの厚い領域が、該領域よりも厚さの薄い領域を取り囲むように環状に形成され、前記半導体基板の外周側の厚さ領域ほど肉厚とされていることを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記半導体基板は、最も厚さの厚い領域よりも厚さの薄い領域上に、前記最も厚さの厚い領域の表面に対する凹部を有し、

前記半導体基板とは別の部材が、前記凹部内に収容されて、前記凹部の底面をなす前記厚さの薄い領域の表面上に実装されていることを特徴とする請求項 1 1 又は請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記半導体基板とは別の部材は、半導体チップ、配線基板、及びヒートシンクの少なくとも 1 つであることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】

前記半導体基板は、前記複数の厚さ領域とともに、主面から裏面にかけて貫通する空洞部を有することを特徴とする請求項 1 1 又は請求項 1 2 に記載の半導体装置。

【請求項 1 6】

前記半導体基板は、回路基板上に配置され、

前記半導体基板における回路基板搭載面の裏面側の電極は、一部が前記半導体基板の外周側にてワイヤにより前記回路基板の対応するランドと電気的に接続され、一部が空洞部を介してワイヤにより前記回路基板の対応するランドと電気的に接続されていることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記半導体基板は、センサチップ上に実装され、

前記半導体基板の厚さ方向に略垂直な方向において、前記センサチップのセンシング部が、前記半導体基板の空洞部内に位置し、前記半導体基板に取り囲まれていることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 8】

半導体基板に形成する絶縁分離トレンチにより複数の素子形成領域を互いに絶縁分離し、各素子形成領域に素子を形成してなる半導体装置の製造方法であって、

前記主面及び前記裏面の少なくとも一方側から、前記半導体基板を選択的にエッチングして複数の厚さ領域を形成するとともに、最も厚さの薄い領域における前記素子形成領域に、対をなす電極が前記半導体基板の主面と裏面に分けて配置された両面電極素子を形成するように、前記最も厚さの薄い領域を含む少なくとも 2 つの厚さ領域の前記素子形成領域に前記素子を形成した後、

各チップにおいて、前記素子を形成した前記厚さ領域が一体的に残るように、前記半導体基板をダイシングすることを特徴とする半導体装置の製造方法。

【請求項 1 9】

前記最も厚さの厚い領域を除く領域に、前記素子を形成し、

前記ダイシングにより、前記最も厚さの厚い領域、及び、前記最も厚さの厚い領域と該領域と厚さの異なる領域を連結する連結部位を除去することを特徴とする請求項 1 8 に記載の半導体装置の製造方法。

【請求項 2 0】

前記エッチングにより、前記半導体基板に前記複数の厚さ領域を形成するとともに、前記半導体基板の主面から裏面に貫通する空洞部を形成することを特徴とする請求項 1 8 又は請求項 1 9 に記載の半導体装置の製造方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1つの半導体基板に複数の素子が形成された半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

従来、例えば特許文献1に示されるように、1つの半導体基板に複数の素子が形成された半導体装置（複合IC）が提案されている。特許文献1に示される半導体装置では、半導体基板として、シリコン基板上に埋め込み絶縁膜（シリコン酸化膜）を介して薄膜のシリコン層が配置されたSOI（Silicon On Insulator）基板を採用している。そして、埋め込み絶縁膜に到達するトレンチがシリコン層に形成され、該トレンチ内にシリコン酸化膜を介してポリシリコンが充填され、絶縁分離トレンチが構成されている。この絶縁分離トレンチ及び埋め込み絶縁膜により、シリコン層に複数の素子形成領域が区画され、素子形成領域に、アップドレインMOSFET、NPNトランジスタ、CMOSを構成するnMOS、pMOSなどの素子がそれぞれ形成されている。

10

【特許文献1】特開2001-60634号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、SOI基板の場合、絶縁分離トレンチ及び埋め込み絶縁膜により、シリコン層に複数の素子形成領域を区画形成することができるため、対をなす電極が基板表面の一方にまとめて配置された片面電極素子の形成には適している。しかしながら、埋め込み絶縁膜によって半導体基板の厚さ方向に流れる電流が遮られるため、縦型MOSトランジスタ素子やIGBT素子のように、大電流の電力用途で用いられ、これら素子を駆動するための対をなす電極が半導体基板の両側の表面に分けて配置された両面電極素子の形成には不向きである。

20

【0004】

これに対し、本出願人は、特開2008-166705号公報にて、1つの半導体基板に少なくとも両面電極素子を含む複数の素子が形成された半導体装置及びその製造方法を提案している。この半導体装置では、所定厚さのバルク半導体基板を準備し、複数の素子形成領域をそれぞれ取り囲むようにして、半導体基板の主面側から未貫通の絶縁分離トレンチを形成する。そして、未貫通の絶縁分離トレンチの先端が露出するまで半導体基板を主面の裏面側から研磨することで、絶縁分離トレンチを貫通状態とする。これにより、半導体基板の厚さが所定の厚さとされ、絶縁分離トレンチによって区画された複数の素子形成領域に素子がそれぞれ形成された半導体装置を得ることができる。

30

【0005】

しかしながら、上記においては、研磨によって半導体基板全体を均一の厚さとする。したがって、少なくとも両面電極素子（半導体基板の厚さ方向に電流が流れる素子）を含む複数の素子を半導体基板に集積化するに当たり、耐圧やオン抵抗など、特性の異なる複数の素子を集積することは困難である。例えば耐圧が互いに異なる複数のIGBT素子を集積することは困難である。

40

【0006】

また、両面電極素子のオン抵抗を低減するために、全体を均一の厚さを薄くした場合、力学的強度が不足し、ダイシング時や搬送時などで割れが生じる恐れがある。

【0007】

本発明は上記問題点に鑑み、1つの半導体基板に少なくとも両面電極素子を含む複数の素子が形成された構成において、素子特性の異なる複数の素子を集積でき、且つ、割れを抑制することができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

50

【0008】

上記目的を達成する為に請求項1に記載の発明は、半導体基板と、半導体基板における複数の素子形成領域をそれぞれ取り囲むとともに、半導体基板を貫通して複数の素子形成領域を互いに絶縁分離する絶縁分離トレンチと、複数の素子形成領域のそれぞれに構成される素子と、を備える半導体装置であって、半導体基板は、互いに厚さの異なる複数の厚さ領域を有し、複数の厚さ領域のうち、最も厚さの薄い領域を含む少なくとも2つの厚さ領域に素子形成領域がそれぞれ形成され、素子として、少なくとも最も厚さの薄い領域に形成され、対をなす電極が半導体基板の主面と該主面の裏面に分けて配置された両面電極素子を含むことを特徴とする。

【0009】

このように本発明によれば、1つの半導体基板に互いに厚さの異なる複数の厚さ領域を形成するとともに、少なくとも2つの厚さ領域に素子形成領域を形成している。したがって、耐圧やオン抵抗など各素子の特性に適した厚さの厚さ領域に振り分けて各素子を形成することができる。また、素子形成領域の形成された少なくとも2つの厚さ領域のうち、少なくとも最も厚さの薄い領域に両面電極素子を形成している。したがって、複数の素子として少なくとも両面電極素子を含む構成において、両面電極素子の対をなす電極間を電流が流れやすくすることができる。以上から、1つの半導体基板に少なくとも両面電極素子を含む複数の素子が形成された構成において、素子特性の異なる複数の素子が集積化された半導体装置とすることができる。

【0010】

また、両面電極素子のオン抵抗は、半導体基板の厚さが薄いほど低くすることができる。しかしながら、両面電極素子が形成される最も厚さの薄い領域の厚さをもって半導体基板全体を均一厚さとすると、力学的強度が不足し、ダイシング時や搬送時などで割れが生じる恐れがある。また、力学的強度を確保しようとする、半導体基板が厚くなり、オン抵抗を所望の値まで下がるのが困難となる。これに対し、本発明によれば、半導体基板が、最も厚さの薄い領域だけでなく、それよりも厚さの厚い領域を有するので、力学的強度を向上することもできる。すなわち、半導体基板の割れを抑制することもできる。

【0011】

請求項2に記載のように、両面電極素子として、縦型MOSトランジスタ素子、及び、IGBT素子のいずれかを含む構成を採用することができる。これによれば、低オン抵抗化された両面電極素子を備える半導体装置とすることができる。なお、両面電極素子としては、上記以外にも、ダイオード、抵抗、配線などを採用することができる。

【0012】

請求項3に記載のように、両面電極素子が、最も厚さの薄い領域を含む複数の厚さ領域にそれぞれ形成された構成としても良い。これによれば、例えば互いに耐圧の異なる両面電極素子が集積化された半導体装置とすることができる。

【0013】

請求項4に記載のように、素子として、対をなす電極が半導体基板の主面にまとめて配置された片面電極素子を含み、片面電極素子は、両面電極素子が形成された厚さ領域とは異なる厚さ領域の少なくとも1つに形成された構成としても良い。これによれば、1つの半導体基板に、互いに耐圧の異なる両面電極素子が集積化されるとともに、片面電極素子も集積化された半導体装置とすることができる。

【0014】

また、請求項5に記載のように、素子として、両面電極素子とともに、対をなす電極が半導体基板の主面にまとめて配置された片面電極素子を含み、複数の両面電極素子が最も厚さの薄い領域のみに形成され、片面電極素子は、両面電極素子が形成された厚さ領域とは異なる厚さ領域の少なくとも1つに形成された構成としても良い。これによれば、1つの半導体基板に、両面電極素子と片面電極素子が集積化された半導体装置（複合IC）とすることができる。

【0015】

10

20

30

40

50

片面電極素子としては、請求項6に記載のように、バイポーラトランジスタ素子、横型MOSトランジスタ素子、及び相補型MOSトランジスタ素子のいずれかを含む構成を採用することができる。なお、片面電極素子としては、上記以外にも、ダイオード、キャパシタ、抵抗、配線などを採用することができる。

【0016】

請求項7に記載のように、複数の両面電極素子として、他の両面電極素子における電極とは、電氣的に分離された電極を有する少なくとも1つの両面電極素子を有する構成としても良い。これによれば、少なくとも1つの両面電極素子が他の両面電極素子とは独立して駆動可能なマルチチャンネル化（多チャンネル化）された構成とすることができる。

【0017】

絶縁分離トレンチとしては、請求項8に記載のように、トレンチ内に絶縁体が埋め込まれてなる絶縁分離トレンチ、トレンチ内に側壁酸化膜を介して導電体が埋め込まれてなる絶縁分離トレンチ、及びトレンチ内に空洞が形成されてなる絶縁分離トレンチのいずれかを採用することができる。

【0018】

請求項9に記載のように、半導体基板であって、互いに厚さの異なる厚さ領域を連結する連結部位に、素子として受動素子が形成された構成としても良い。このように、連結部位にキャパシタや抵抗などの受動素子が形成された構成とすると、半導体装置の体格を小型化することができる。

【0019】

請求項10に記載のように、半導体基板がウェハである構成としても良い。これによれば、ウェハ状の半導体基板に構成された複数の厚さ領域に、素子特性に応じて素子が集積化された半導体装置とすることができる。また、ウェハ状の半導体基板の力学的強度を向上することができる。すなわち、搬送時や、ダイシング時などに生じる割れを抑制することができる。

【0020】

請求項11に記載のように、半導体基板がチップ化された構成としても良い。これによれば、チップ化された半導体基板に構成された複数の厚さ領域に、素子特性に応じて素子が集積化された半導体装置とすることができる。また、チップ化された半導体基板の力学的強度を向上することができる。

【0021】

請求項12に記載のように、複数の厚さ領域は、厚さの厚い領域が、該領域よりも厚さの薄い領域を取り囲むように環状に形成され、半導体基板の外周側の厚さ領域ほど肉厚とされた構成としても良い。ダイシング後のチップ化された半導体基板においては、半導体基板の端部から割れが生じ易い。したがって、上記構成とすると、ダイシング後のチップ化された半導体基板において、チップに割れが生じにくくすることができる。また、最も厚さの厚い領域が最外周に環状に設けられているので、チップ化された半導体基板の搭載性を向上させることができる。

【0022】

請求項13に記載のように、半導体基板は、最も厚さの厚い領域よりも厚さの薄い領域上に、最も厚さの厚い領域の表面に対する凹部を有し、半導体基板とは別の部材が、凹部内に収容されて、凹部の底面をなす厚さの薄い領域の表面上に実装された構成としても良い。

【0023】

これによれば、凹部を、上記した半導体基板とは別の部材を配置するスペースとして活用するので、上記した半導体基板とともに、該半導体基板とは別の部材を備える半導体装置の体格を小型化することができる。なお、半導体基板とは別の部材としては、請求項14に記載のように、半導体チップ、配線基板、及びヒートシンクの少なくとも1つを採用することができる。

【0024】

10

20

30

40

50

請求項 15 に記載のように、チップ化された半導体基板が、複数の厚さ領域とともに、主面から裏面にかけて貫通する空洞部を有する構成としても良い。このように空洞部を有する構成としても、上記したように半導体基板が複数の厚さ領域を有するので、半導体基板の力学的強度を向上し、割れを抑制することができる。

【0025】

このように空洞部を有すると、例えば請求項 16 に記載のように、半導体基板が回路基板上に配置され、半導体基板における回路基板搭載面の裏面側の電極の一部が半導体基板の外周側にてワイヤにより回路基板の対応するランドと電気的に接続され、電極の一部が空洞部を介してワイヤにより回路基板の対応するランドと電気的に接続された構成とすることができる。この場合、外周側だけでなく空洞部側にもワイヤを引き出すことができるので、半導体基板が、回路基板搭載面の裏面側に、回路基板と電気的に接続すべき電極を多く有していても、回路基板との電気的な接続構造を形成しやすくなる。

10

【0026】

また、請求項 17 に記載のように、半導体基板がセンサチップ上に実装され、半導体基板の厚さ方向に略垂直な方向において、センサチップのセンシング部が、半導体基板の空洞部内に位置し、半導体基板に取り囲まれた構成とすることもできる。この場合、半導体基板がセンサチップの回路基板として機能し、半導体基板の空洞部を介してセンサチップのセンシング部がセンシングすることとなる。したがって、半導体基板により、センシング部のセンシングエリアを制限することもできる。

【0027】

20

次に、請求項 18 に記載の発明は、半導体基板に形成する絶縁分離トレンチにより複数の素子形成領域を互いに絶縁分離し、各素子形成領域に素子を形成してなる半導体装置の製造方法であって、主面及び裏面の少なくとも一方側から、半導体基板を選択的にエッチングして複数の厚さ領域を形成するとともに、最も厚さの薄い領域における素子形成領域に、対をなす電極が半導体基板の主面と裏面に分けて配置された両面電極素子を形成するように、最も厚さの薄い領域を含む少なくとも 2 つの厚さ領域の素子形成領域に素子を形成した後、各チップにおいて、素子を形成した厚さ領域が一体的に残るように、半導体基板をダイシングしてチップ化することを特徴とする。

【0028】

このように本発明によれば、チップ化された半導体基板を備える上記半導体装置を形成することができる。また、ウェハ状の半導体基板が複数の厚さ領域を有するので、搬送時や素子形成時における半導体基板の割れを抑制することができる。また、素子を形成した厚さ領域が一体的に残るようにダイシングするので、ダイシング時に生じる割れを抑制することができる。さらには、チップ化された半導体基板が、最も厚さの薄い領域を含む少なくとも 2 つの厚さ領域を含むので、チップ化された半導体基板の力学的強度を向上することができる。

30

【0029】

請求項 19 に記載のように、最も厚さの厚い領域を除く領域に素子を形成し、ダイシングにより、最も厚さの厚い領域、及び、該領域と他領域との連結部位を除去しても良い。このように、最も厚さの厚い領域には素子を形成せず、チップ化するまでの力学的強度確保専用とすることで、チップ化するまでの半導体基板の力学的強度をさらに向上することができる。

40

【0030】

請求項 20 に記載のように、エッチングにより、半導体基板に複数の厚さ領域を形成するとともに、半導体基板の主面から裏面に貫通する空洞部を形成しても良い。その作用効果は、上記した空洞部を有する半導体装置の作用効果と同じであるので、その記載を省略する。

【発明を実施するための最良の形態】

【0031】

以下、本発明の実施形態を図に基づいて説明する。

50

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体装置の概略構成を示す平面図である。図2は、図1のII-II線に沿う断面図である。なお、図1においては、絶縁分離された複数の素子形成領域のうち、一部のみを図示している。また、図2においては、便宜上、半導体基板10に不純物が導入されてなる不純物領域の一部を省略して図示している。また、半導体基板に構成される素子としては周知のものを採用することができるので、素子構造の詳細については割愛する。

【0032】

図1及び図2に示す半導体装置1では、半導体基板10として、n導電型(n-)のバルク単結晶シリコン基板を採用しており、半導体基板10はダイシングされてチップとなっている。この半導体基板10は、互いに厚さの異なる複数の厚さ領域(本実施形態においては、2つの厚さ領域11, 12)を有しており、図1に示すように、半導体基板10における最も厚さの厚い厚肉領域11が、厚肉領域11よりも厚さの薄い薄肉領域12(本実施形態においては、2つの厚さ領域11, 12のうち、最も厚さの薄い薄肉領域12)を取り囲むように環状に形成され、半導体基板10の外周側の厚さ領域ほど肉厚となっている。また、薄肉領域12は、半導体基板10に主面10aの裏面10b側から異方性エッチングを施すことによって厚肉領域11よりも薄肉とされており、厚肉領域11と薄肉領域12とを連結する連結部位13のエッチング面が図2に示すようにテーパ状となっている。この半導体基板10は、互いに絶縁分離された複数の素子形成領域30を有しており、半導体基板10における各素子形成領域30を用いて素子50が構成されている。

【0033】

複数の素子形成領域30は、各素子形成領域30をそれぞれ取り囲むように、半導体基板10の主面10aからその裏面10bにかけて貫通形成された絶縁分離トレンチ31によって区画(互いに絶縁分離)されている。本実施形態においては、絶縁分離トレンチ31が、半導体基板10の主面10aからその裏面10bにかけて貫通形成されたトレンチ内に、シリコン酸化物などの絶縁体が埋め込まれてなる絶縁分離トレンチとして構成されている。また、素子形成領域30は、半導体基板10に構成された複数の厚さ領域11, 12のそれぞれに構成されている。

【0034】

素子50は、それぞれの素子形成領域30において、半導体基板10を用いて構成されている。すなわち、複数の厚さ領域11, 12のそれぞれに、素子50が構成されている。厚肉領域11には、素子50として、対をなす電極(一方から他方に向けて電流が流れる電極)が半導体基板10の主面10a側にまとめて配置された片面電極素子が形成されている。換言すれば、半導体基板10の厚さ方向に垂直な方向に電流が流れるように片面電極素子が形成されている。なお、図1では、片面電極素子として、ドレイン電極51a、ソース電極51b、及びゲート電極51cが半導体基板10の主面10a側に形成され、ドレイン電極51aからソース電極51bに向けて駆動電流(ドレイン電流)が流れるように構成された横型MOSトランジスタ素子51(LDMOS素子)を示している。また、薄肉領域12には、素子50として、対をなす電極(一方から他方に向けて電流が流れる電極)が半導体基板10の主面10aと裏面10bとで分けて配置された両面電極素子が形成されている。換言すれば、半導体基板10の厚さ方向に電流が流れるように両面電極素子が形成されている。なお、図1では、両面電極素子として、縦型MOSトランジスタ素子52(縦型DMOS素子)、アップドレイン型の縦型MOSトランジスタ素子53、及び配線54を示している。なお、縦型MOSトランジスタ素子52は、ドレイン電極52a、ソース電極52b、及びゲート電極52cを有し、ドレイン電極52aとソース電極52bが半導体基板10の主面10aと裏面10bに分けて形成されている。すなわち、ドレイン電極52aからソース電極52bに向けて(半導体基板10の厚さ方向に)駆動電流(ドレイン電流)が流れるように構成されている。また、アップドレイン型の縦型MOSトランジスタ素子53は、半導体基板10の主面10a側に形成されたドレイン電極53a、ソース電極53b、及びゲート電極53cと、半導体基板10の裏面10

b側に形成された裏面電極53dとを有している。そして、ドレイン電極53aと裏面電極53dとが、トレンチ内に側壁酸化膜を介して導電体が埋め込まれてなる配線部53eを介して電氣的に接続されている。すなわち、ドレイン電極53aから、配線部53e及び裏面電極53dを介して、ソース電極53bに駆動電流(ドレイン電流)が流れるように構成されている。この構成においても、駆動電流は、ドレイン電極53aから裏面電極53dへ流れ、裏面電極53dからソース電極53bへ流れるので、半導体基板10の厚さ方向に電流が流れる。また、配線54は、半導体基板10の主面10a及び裏面10bのそれぞれに形成された電極54a, 54bを、トレンチ内に側壁酸化膜を介して導電体が埋め込まれてなる配線部54cによって電氣的に接続した構成となっている。そして、上記した各素子50のうち、両面電極素子である縦型MOSトランジスタ素子52とアップドレイン型の縦型MOSトランジスタ素子53は、それぞれの対をなす電極が、互いに電氣的に分離(電氣的に独立して駆動可能と)されている。

10

20

30

40

50

【0035】

なお、本実施形態においては、図2に示すように、半導体基板10における厚肉領域11と薄肉領域12との連結部位13が、絶縁分離トレンチ31によって厚肉領域11及び薄肉領域12と電氣的に絶縁され、裏面10b側の連結部位13(テーパ面)に、キャパシタや抵抗などの受動素子55が形成されている。キャパシタや抵抗などの受動素子55であれば、テーパ状の連結部位13にも形成することができる。このように、複数の厚さ領域11, 12の連結部位13に、受動素子55が形成された構成とすると、半導体装置1の体格を小型化することができる。なお、本実施形態においては、図2に示すように、連結部位13を厚肉領域11及び薄肉領域12と電氣的に絶縁するための絶縁分離トレンチ31が、厚肉領域11と薄肉領域12に形成されている。連結部位13を厚肉領域11及び薄肉領域12と電氣的に絶縁するための絶縁分離トレンチ31は、連結部位13内に形成することもできるが、図2に示すように厚肉領域11と薄肉領域12に形成すると、複数の厚さ領域11, 12を形成する際に、裏面10b側に露出する絶縁分離トレンチ31の長さがほぼ等しくなり、露出された部位の除去を容易とすることができる。

【0036】

次に、半導体装置1の製造方法の一例について、図2~図5を用いて説明する。図3は、半導体装置を製造する工程のうち、半導体基板に未貫通の絶縁分離トレンチを形成する工程を示す断面図である。図4は、半導体装置を製造する工程のうち、絶縁分離トレンチを貫通状態とする工程を示す断面図である。図5は、半導体装置を製造する工程のうち、半導体基板に複数の厚さ領域を形成する工程を示す断面図である。このような半導体装置1の製造方法としては、複数の厚さ領域を形成する工程を除いて、本出願人による特開20068-166705号公報、特願2008-106014号に記載の方法を適用することができる。したがって、以下においては、重複する部分については詳細な説明を割愛する。

【0037】

まず、所定厚さ(例えば600 μm)の半導体基板14(半導体ウェハ)を準備する。本実施形態においては、半導体基板14として、n導電型(n-)の単結晶バルクシリコン基板(FZウエハ)を準備する。そして、素子形成領域30となる各領域を取り囲むようにして、図3に示すように、半導体基板14の主面10a(ダイシング後の半導体基板10の主面と対応)側から裏面10bまで貫通しないように、所定深さの絶縁分離トレンチ31aを形成する。この絶縁分離トレンチ31aは未貫通状態である。本実施形態においては、絶縁分離トレンチ31aとして、例えば異方性ドライエッチングにより所定深さのトレンチを形成し、該トレンチ内にシリコン酸化物などの絶縁体を埋め込んでなる絶縁分離トレンチを採用している。また、複数の絶縁分離トレンチ31aの深さや幅を略均一としている。

【0038】

次に、図4に示すように、絶縁分離トレンチ31aの半導体基板10における裏面10b側の端部が少なくとも露出するまで、半導体基板10を裏面10b側から除去する。換

言すれば、裏面 10 b 側から、半導体基板 14 の厚さを薄くする。この薄肉化処理としては、機械的な研磨やエッチングなどを採用することができる。本実施形態においては先ず機械的な研磨を実施し、研磨後に研磨によるダメージ層を除去するために、研磨面をウェットエッチングするようにしている。これにより、ウェハ状の半導体基板 14 の厚さが、ダイシング後の半導体基板 10 における厚肉領域 11 とほぼ同じ厚さとなる。また、未貫通状態の絶縁分離トレンチ 31 a が、主面 10 a から裏面 10 b にかけて貫通する絶縁分離トレンチ 31 となる。すなわち、素子形成領域 30 が、互いに絶縁分離された状態となる。

【0039】

次に、図 5 に示すように、裏面 10 b 側から半導体基板 14 を選択的にエッチングして、半導体基板 14 に複数の厚さ領域 11, 12 を形成する。エッチング方法は特に限定されるものではないが、好ましくはウェットやドライの異方性エッチングを採用すると良い。本実施形態においては、KOH 水溶液を用いて異方性のウェットエッチングを施すことにより、半導体基板 14 を裏面 10 b 側から部分的に除去し、半導体基板 14 が、エッチングされない厚肉領域 11 とエッチングされて薄肉となった薄肉領域 12 とを含むようにする。これにより、半導体基板 14 をダイシングした後の各半導体基板 10 (チップ) においても、テーパ状の連結部位 13 によって連結された複数の厚さ領域 11, 12 を含むこととなる。

10

【0040】

また、上記の異方性のウェットエッチングでは、シリコンからなる半導体基板 14 が除去されるものの、図 5 に二点鎖線で示すように、半導体基板 14 が除去された領域における絶縁分離トレンチを構成するトレンチ内の絶縁体(シリコン酸化物)が殆どエッチングされず、薄肉領域 12 の裏面 10 b から突出する柱状体 31 b として残ることとなる。そこで、本実施形態では、ウェットエッチング後に、HF 処理などにより、柱状体 31 b を除去するようにしている。これにより、薄肉領域 12 の裏面 10 b から突出する柱状体 31 b が除去される。

20

【0041】

複数の厚さ領域 11, 12 の形成後、図 2 に示すように、半導体基板 14 における各素子形成領域 30 にそれぞれ素子 50 を形成する。本実施形態においては、先ず半導体基板 14 における主面 10 a 側から、横型 MOS トランジスタ素子 51 などの片面電極素子と、縦型 MOS トランジスタ素子 52、アップドレイン型の MOS トランジスタ素子 53、配線 54 などの両面電極素子のうちの主面 10 a 側部分と、をイオン注入などによって形成する。次に、半導体基板 14 における裏面 10 b 側から、縦型 MOS トランジスタ素子 52、アップドレイン型の MOS トランジスタ素子 53、配線 54 などの両面電極素子のうちの裏面 10 b 側部分をイオン注入などによって形成する。そして、半導体基板 14 を、厚肉領域 11 における図示しない一部でダイシングすることにより、半導体基板 10 として厚肉領域 11 と薄肉領域 12 を備えた半導体装置 1 を得ることができる。

30

【0042】

以上説明したように、本実施形態に係る半導体装置 1 では、チップ化された 1 つの半導体基板 10 に、互いに厚さの異なる複数の厚さ領域 11, 12 を形成するとともに、少なくとも 2 つの厚さ領域 11, 12 に素子形成領域 30 (素子 50) をそれぞれ形成する。したがって、耐圧やオン抵抗など各素子 50 (51 ~ 54) の特性に適した厚さの厚さ領域 11, 12 に振り分けて各素子 50 を形成することができる。また、素子形成領域 30 の形成された少なくとも 2 つの厚さ領域 11, 12 のうち、少なくとも最も厚さの薄い薄肉領域 12 に両面電極素子 (52 ~ 54) を形成している。したがって、複数の素子 50 として少なくとも両面電極素子を含む構成において、両面電極素子の対をなす電極間を電流が流れやすくすることができる。以上から、1 つの半導体基板 10 に少なくとも両面電極素子 (52 ~ 54) を含む複数の素子 50 が形成された構成において、素子特性の異なる複数の素子 50 が集積化された半導体装置 1 となっている。なお、本実施形態においては、1 つの半導体基板 10 に、両面電極素子と片面電極素子が集積化された半導体装置 (

40

50

複合 IC) となっている。

【 0 0 4 3 】

また、本実施形態においては、両面電極素子として、縦型 MOS トランジスタ素子 5 2 (アップドレイン型の MOS トランジスタ素子 5 3 も含む) を薄肉領域 1 2 に形成しているので、縦型 MOS トランジスタ素子 5 2 (アップドレイン型の MOS トランジスタ素子 5 3 も含む) の低オン抵抗化を図ることができる。

【 0 0 4 4 】

また、両面電極素子のオン抵抗は、チップ化された半導体基板 1 0 の厚さが薄いほど低くすることができる。しかしながら、両面電極素子が形成される最も厚さの薄い薄肉領域 1 2 の厚さをもって半導体基板 1 0 全体を均一厚さとする、力学的強度が不足し、ダイシング時やダイシング後の搬送時などで割れが生じる恐れがある。また、力学的強度を確保しようとする、半導体基板 1 0 が厚くなり、オン抵抗を所望の値まで下がるのが困難となる。これに対し、本実施形態では、半導体基板 1 0 が、最も厚さの薄い薄肉領域 1 2 だけでなく、それよりも厚さの厚い厚肉領域 1 1 を有するので、半導体基板 1 0 の力学的強度が向上されている。

10

【 0 0 4 5 】

また、ダイシング後のチップ化された半導体基板 1 0 においては、半導体基板 1 0 の端部から割れが生じ易い。これに対し、本実施形態においては、厚肉領域 1 1 を、該領域 1 1 よりも厚さの薄い薄肉領域 1 2 を取り囲むように環状に形成し、半導体基板 1 0 の外周側の厚さ領域ほど肉厚としている。したがって、ダイシング後のチップ化された半導体基板 1 0 に割れが生じにくくなっている。また、厚肉領域 1 1 が最外周に環状に設けられているので、チップ化された半導体基板 1 0 を、図示しない回路基板などに搭載する際の搭載性が向上されている。

20

【 0 0 4 6 】

また、本実施形態においては、半導体基板 1 0 , 1 4 として、単結晶バルクシリコン基板を採用し、該基板に絶縁分離トレンチ 3 1 を形成することで、複数の素子形成領域 3 0 (素子 5 0) を互いに絶縁分離している。したがって、縦型 MOS トランジスタ素子 5 2 のような両面電極素子の形成に適している。また、両面電極素子の大電流化や E S D 等のサージに対する耐量増加が容易である。また、S O I 基板のように埋め込み絶縁膜を有さない、S O I 基板を採用する構成に比べて、放熱性を高めることができる。

30

【 0 0 4 7 】

また、本実施形態においては、半導体基板 1 0 に絶縁分離トレンチ 3 1 を形成することで、複数の素子形成領域 3 0 (素子 5 0) を互いに絶縁分離するとともに、両面電極素子である縦型 MOS トランジスタ素子 5 2 とアップドレイン型の縦型 MOS トランジスタ素子 5 3 の対をなす電極を、互いに電氣的に分離 (電氣的に独立して駆動可能と) している。したがって、マルチチャネル化された半導体装置 1 となっている。しかしながら、例えば半導体基板 1 0 の裏面 1 0 b 側の電極を共通化した構成とすることもできる。

【 0 0 4 8 】

なお、本実施形態においては、両面電極素子として、縦型 MOS トランジスタ素子 5 2 (縦型 D M O S 素子) 、アップドレイン型の縦型 MOS トランジスタ素子 5 3 、及び配線 5 4 の例を示した。しかしながら、パワー系の素子として、縦型 MOS トランジスタ素子 5 2 (アップドレイン型の縦型 MOS トランジスタ素子 5 3 を含む) 以外にも、I G B T 素子を採用することもできる。また、能動素子としては、縦型 MOS トランジスタ素子や I G B T 素子だけでなく、ダイオード素子を採用することもできる。また、受動素子としては、配線 5 4 以外にも、抵抗などを採用することができる。また、図中では、配線 5 4 の例として、トレンチ内に側壁酸化膜を介して導電体が埋め込まれてなる配線部 5 4 c を含む例を示したが、配線部 5 4 c を有さない配線を採用することもできる。

40

【 0 0 4 9 】

また、本実施形態においては、片面電極素子として、横型 MOS トランジスタ素子 5 1 (L D M O S 素子) の例を示した。しかしながら、片面電極素子としては、バイポーラト

50

ランジスタ素子、横型MOSトランジスタ素子、及び相補型MOSトランジスタ素子のいずれかを含む構成としても良い。このような構成とすると、両面電極素子として採用した縦型MOSトランジスタ素子やIGBT素子などとともに複合IC(制御回路)を形成することができる。また、上記の能動素子以外にも、能動素子であるダイオード素子や、受動素子であるキャパシタ、抵抗、配線などを採用することもできる。

【0050】

また、本実施形態においては、半導体基板10(14)が複数の厚さ領域として、厚肉領域11と薄肉領域12の2つの厚さ領域を有する例を示した。しかしながら、厚さ領域の個数は上記例に限定されるものではない。また、厚肉領域11に片面電極素子が形成され、薄肉領域12に両面電極素子が形成される例を示したが、厚肉領域11に片面電極素子とともに両面電極素子が形成された構成としても良いし、薄肉領域12に両面電極素子とともに片面電極素子が形成された構成としても良い。1つの半導体基板10(14)が、互いに厚さの異なる複数の厚さ領域を有し、複数の厚さ領域のうち、少なくとも2つの厚さ領域に素子形成領域30(素子50)が形成されている。そして、少なくとも最も厚さの薄い薄肉領域に両面電極素子が形成された構成であれば良い。

10

【0051】

また、本実施形態においては、裏面10b側から半導体基板10(14)に異方性エッチングを施すことによって、薄肉領域12が厚肉領域11よりも薄肉とされており、半導体基板10(14)の主面10a側に、横型MOSトランジスタ素子51の各電極51a~51cや、縦型MOSトランジスタ素子52のソース電極52b及びゲート電極52cなどが形成され、薄肉領域12の裏面10b側に、縦型MOSトランジスタ素子52のドレイン電極52aなどが形成される例を示した。すなわち、半導体基板10(14)の裏面10b側に凹部が形成される例を示した。しかしながら、例えば図6に示すように、主面10a側から半導体基板10(14)に異方性エッチングを施すことによって、薄肉領域12が厚肉領域11よりも薄肉とされ、主面10a側に横型MOSトランジスタ素子51の各電極51a~51cや、縦型MOSトランジスタ素子52のソース電極52b及びゲート電極52cなどが形成され、裏面10b側に縦型MOSトランジスタ素子52のドレイン電極52aなどが形成された構成としても良い。すなわち、本実施形態に示した構成(図2参照)と逆の構成、換言すれば半導体基板10(14)の主面10a側に凹部が形成される構成としても良い。この場合、複数の厚さ領域11,12を形成した後に、各素子50のうち、半導体基板14の主面10a側の部位を形成することとなる。図6は、変形例を示す断面図である。さらには、両表面10a,10b側から半導体基板10(14)にそれぞれ異方性エッチングを施すことで、厚肉領域11と薄肉領域12を有する半導体基板10(14)としても良い。すなわち、半導体基板10(14)の両表面10a,10bに凹部がそれぞれ形成された構成としても良い。この場合、半導体基板10(14)の厚さ方向に垂直な方向において、両表面10a,10bにそれぞれ設けた凹部の少なくとも一部が重なるようにすると、該重なり部分における薄肉領域12の厚さをより薄くすることができる。

20

30

【0052】

また、本実施形態においては、チップ化された1つの半導体基板10を含む半導体装置1の例を示した。しかしながら、例えば図7に示すように、ダイシングされる前のウェハ状態の半導体基板14を含む半導体装置70にも、同様の構成を適用することができる。図7においては、ウェハ状態の半導体基板14に、互いに厚さの異なる複数の厚さ領域11,12が形成され、各厚さ領域11,12に素子形成領域30(素子50)がそれぞれ形成されている。また、複数の厚さ領域11,12のうち、少なくとも最も厚さの薄い薄肉領域12に両面電極素子(52~54)が形成されている。このような構成を有する半導体装置70においても、上記した半導体装置1と同様の効果(素子特性の異なる複数の素子50が集積化され、半導体基板14の力学的強度が向上された半導体装置70)を期待することができる。図7は変形例を示す断面図である。なお、ウェハ状態の半導体基板14全体を薄肉領域12とすると、その大きさからチップ化された半導体基板10よりも

40

50

割れなどが生じ易い。特に、ダイシング時などにおいて割れが生じやすい。したがって、半導体基板 14 を含む半導体装置 70 においては、半導体基板 10 を含む半導体装置 1 よりも、半導体基板の力学的強度向上の効果をより期待することができる。

【0053】

また、本実施形態においては、半導体装置 1 を形成するに当たり、主面 10 a 側から半導体基板 14 に絶縁分離トレンチ 31 を形成した後、複数の厚さ領域 11, 12 を形成し、次いで各素子 50 を半導体基板 14 の主面 10 a 及び裏面 10 b から形成する例を示した。しかしながら、複数の厚さ領域 11, 12 を形成する前であって絶縁分離トレンチ 31 の形成後や、絶縁分離トレンチ 31 の形成前に、各素子 50 における半導体基板 14 の主面 10 a 側の部位を形成することもできる。また、複数の厚さ領域 11, 12 を形成する前に、半導体基板 10 の裏面 10 b 側から部分的に p 型不純物をイオン注入しておき、pn 接合部の界面をエッチングのストッパとするようにしても良い。また、シリコン基板 (n) と該基板とは導電型の異なるエピタキシャル層 (p) とによって半導体基板 10 を構成することにより、基板とエピタキシャル層の界面 (pn 接合部) をエッチングのストッパとするようにしても良い。

10

【0054】

さらには、図 8 に示すように、半導体基板 14 に複数の厚さ領域 11, 12 を形成した後、例えば半導体基板 14 の表面 14 上に形成した図示しない BPSG 膜などの層間絶縁膜や LOCOS 酸化膜などをストッパとして、図 9 に示すように、裏面 10 b 側から半導体基板 14 に絶縁分離トレンチ 31 を形成しても良い。この方法によれば、絶縁分離トレンチ 31 における裏面 10 b 側の端部を露出させるために、半導体基板 14 を薄肉化する処理を不要とすることもできる。また、半導体基板 14 を薄肉化処理する場合でも、半導体基板 14 に複数の厚さ領域 11, 12 を形成する前に薄肉化処理を実施するので、柱状体 31 b の除去を不要とすることもできる。図 8 及び図 9 は、本実施形態に係る半導体装置の製造方法の変形例を示す断面図であり、図 8 は、製造工程のうち、半導体基板に複数の厚さ領域を形成する工程を示し、図 9 は、絶縁分離トレンチを形成する工程を示している。なお、図 8 及び図 9 では、便宜上、素子 50 を省略して図示している。

20

【0055】

また、本実施形態においては、半導体基板 14 を、厚肉領域 11 における図示しない一部でダイシングすることにより、半導体基板 10 として厚肉領域 11 と薄肉領域 12 を備えた半導体装置 1 を形成する例を示した。しかしながら、厚さ領域として、例えば図 10 に示すように、厚肉領域 11, 薄肉領域 12 とともに、厚肉領域 11 よりも厚く、素子 50 が形成されない領域 15 (最も厚さの厚い領域 15) を形成し、図 10 に二点鎖線で示すスクライブ線 71 に沿ってダイシングすることで、最も厚さの厚い領域 15、及び、該領域 15 と他の領域 (図 10 に示す例では厚肉領域 11) との連結部位 13 を除去し、半導体基板 10 として厚肉領域 11 と薄肉領域 12 を備えた半導体装置 1 を形成しても良い。このように、半導体基板 14 をチップ化するまでの力学的強度確保専用の最も厚さの厚い領域 15 を設けることで、チップ化するまでの半導体基板 14 の力学的強度をさらに向上することができる。図 10 は、ウェハ状態の半導体基板の変形例を示す断面図である。

30

【0056】

また、本実施形態においては、絶縁分離トレンチ 31 として、トレンチ内に絶縁体が埋め込まれてなる絶縁分離トレンチの例を示した。しかしながら、それ以外にも、トレンチ内に側壁酸化膜を介して導電体が埋め込まれてなる絶縁分離トレンチや、トレンチ内に絶縁体などが埋め込まれず、空洞が形成されてなる絶縁分離トレンチを採用することもできる。

40

【0057】

(第 2 実施形態)

次に、本発明の第 2 実施形態を、図 11 に基づいて説明する。図 11 は、第 2 実施形態に係る半導体装置の概略構成を示す断面図であり、第 1 実施形態に示した図 2 に対応している。

50

【0058】

第2実施形態に係る半導体装置は、第1実施形態によるものと共通するところが多いので、以下、共通部分については詳しい説明は省略し、異なる部分を重点的に説明する。なお、第1実施形態に示した要素と同一の要素には、同一の符号を付与するものとする。

【0059】

第1実施形態においては、半導体基板10が厚肉領域11と薄肉領域12の2つの厚さ領域を有し、厚肉領域11に片面電極素子が形成され、薄肉領域12に両面電極素子が形成される例を示した。これに対し、本実施形態においては、半導体基板10が構成された複数の厚さ領域に、両面電極素子がそれぞれ形成されている点を特徴とする。

【0060】

図11に示す例では、半導体基板10が、第1実施形態同様、互いに厚さの異なる厚肉領域11と薄肉領域12の2つの厚さ領域を有し、厚肉領域11には、厚肉領域11における半導体基板10の厚さを利用して、例えば耐圧1000VのIGBT素子56が形成されている。また、薄肉領域12には、薄肉領域12における半導体基板10の厚さを利用して、IGBT素子56よりも耐圧の低い（例えば耐圧500V）のIGBT素子57が形成されている。なお、IGBT素子56, 57は、半導体基板10の裏面10b側にコレクタ電極56a, 57aがそれぞれ形成され、半導体基板10の主面10a側に、エミッタ電極56b, 57bとゲート電極56c, 57cがそれぞれ形成されている。そして、コレクタ電極56a, 57aからエミッタ電極56b, 57bに向けて（半導体基板10の厚さ方向に）駆動電流が流れるように構成されている。

【0061】

また、本実施形態においては、半導体基板10に絶縁分離トレンチ31を形成することで、複数の素子形成領域30（素子50）を互いに絶縁分離するとともに、両面電極素子であるIGBT素子56, 57の対をなす電極を、互いに電氣的に分離（電氣的に独立して駆動可能と）している。したがって、本実施形態においても、半導体装置1がマルチチャンネル化されている。

【0062】

このように、本実施形態によれば、半導体基板10における2つの厚さ領域11, 12にそれぞれIGBT素子56, 57を形成することで、厚さ領域11, 12の厚さに応じてIGBT素子56, 57の耐圧を異なるものとすることができる。したがって、耐圧の異なるIGBT素子56, 57が同一の半導体基板10に集積化された半導体装置1を得ることができる。

【0063】

なお、本実施形態においては、半導体基板10が2つの厚さ領域11, 12を有し、各厚さ領域11, 12に、それぞれIGBT素子56, 57が形成される例を示した。しかしながら、半導体基板10が3つ以上の厚さ領域を有し、最も薄肉の領域を含む少なくとも2つの領域に、IGBT素子が形成される構成としても良い。例えば図12に示す例では、半導体基板10が、最も厚肉の厚肉領域11と、厚肉領域11よりも薄肉の領域12として、互いに厚さの異なる2つの厚さ領域12a, 12bを有する構成となっている。そして、3つの厚さ領域11, 12a, 12bのうち、最も薄肉の領域12aと、最も薄肉の領域12aの次に薄肉の領域12bに、IGBT素子58, 59がそれぞれ形成されている。そして、耐圧の異なるIGBT素子58, 59が同一の半導体基板10に集積化された半導体装置1となっている。また、図12に示す半導体装置1では、厚肉領域11には素子50が形成されておらず、厚肉領域11が半導体基板10において力学的強度を確保する機能のみを果たすようになっている。図12は、変形例を示す断面図である。なお、図12に示す例においても、複数の厚さ領域11, 12a, 12bは、厚さの厚い領域が、該領域よりも厚さの薄い領域を取り囲むように環状に形成され、半導体基板10の外周側の厚さ領域ほど肉厚とされている。このように、半導体基板10が3つ以上の厚さ領域を有する構成は、第1実施形態に示した製造工程において、エッチングを多段に実施することにより構成することができる。また、それ以外にも、エッチングの際のマスクに

10

20

30

40

50

おける開口面積を異なるものとするこゝで、半導体基板 10 の互いに異なる複数の部位に深さの異なるエッチングを施して、互いに厚さの異なる厚さ領域を 3 つ以上有するようにすることもできる。

【0064】

なお、図 12 では、厚肉領域 11 に素子 50 が形成されない構成を示したが、例えば図 12 に示す構成において、最も薄肉の領域 12 a の次に薄肉の領域 12 b に、素子 50 が形成されない構成とすることもできる。すなわち、複数の厚さ領域のうち、最も厚さの薄い領域（図 12 では薄肉領域 12 a）を除く少なくとも 1 つ厚さ領域に、素子 50 が形成されない構成としても良い。

【0065】

また、本実施形態においては、2 つの厚さ領域 11, 12 のみに両面電極素子が形成される例を示した。しかしながら、3 つ以上の厚さ領域（例えば図 12 に示す 3 つの厚さ領域 11, 12 a, 12 b）に、両面電極素子がそれぞれ形成された構成としても良い。例えば、3 つ以上の厚さ領域に IGBT 素子をそれぞれ形成し、厚さ領域の厚さに応じて耐圧が異なる 3 種類以上の IGBT 素子が同一の半導体基板 10 に集積化された半導体装置 1 とすることもできる。

【0066】

また、本実施形態においては、両面電極素子として、IGBT 素子の例を示した。しかしながら、両面電極素子としては、IGBT 素子に限定されるものではない。第 1 実施形態に示したように、縦型 MOS トランジスタ素子を採用しても良いし、縦型 MOS トランジスタ素子と IGBT 素子をとともに採用しても良い。例えば、図 12 に示すように、半導体基板 10 が 3 つの厚さ領域 11, 12 a, 12 b を有する構成において、低オン抵抗化を狙って最も薄肉の領域 12 a に縦型 MOS トランジスタ素子を形成し、厚さ領域 11, 12 b にそれぞれ IGBT 素子を形成した構成としても良い。さらには、これらとともに、半導体基板 10 を用いて、ダイオード素子や、抵抗、配線などを構成しても良い。

【0067】

また、本実施形態においては、素子 50 として、両面電極素子（IGBT 素子）のみを有する例を示した。しかしながら、第 1 実施形態（図 2 参照）に示したように、両面電極素子とともに片面電極素子が集積化された構成としても良い。例えば、図 12 に示す構成において、厚肉領域 11 に、横型 MOS トランジスタ素子などの片面電極素子が形成された構成としても良い。このような構成とすると、半導体装置 1 を複合 IC（制御回路）とすることができる。

【0068】

また、本実施形態においては、チップ化された 1 つの半導体基板 10 を含む半導体装置 1 の例を示した。しかしながら、第 1 実施形態（図 7 参照）に示したように、ダイシングされる前のウェハ状態の半導体基板 14 を含む半導体装置 70 にも、同様の構成を適用することができる。

【0069】

（第 3 実施形態）

次に、本発明の第 3 実施形態を、図 13 に基づいて説明する。図 13 は、第 3 実施形態に係る半導体装置の概略構成を示す断面図である。

【0070】

第 3 実施形態に係る半導体装置は、上記した各実施形態によるものと共通するところが多いので、以下、共通部分については詳しい説明は省略し、異なる部分を重点的に説明する。なお、上記各実施形態に示した要素と同一の要素には、同一の符号を付与するものとする。

【0071】

上記した半導体装置 1 では、半導体基板 10 における、最も厚さの厚い領域（例えば図 2 に示す厚肉領域 11）よりも厚さの薄い領域（例えば図 2 に示す薄肉領域 12）上に、最も厚さの厚い領域の表面に対する凹部を有することとなる。したがって、半導体基板 1

10

20

30

40

50

0とは別の部材が上記凹部に収容され、凹部の底面をなす厚さの薄い領域の表面上に実装された構成を採用することもできる。このような構成を採用すると、凹部を、半導体基板10とは別の部材を配置するスペースとして活用するので、半導体基板10とともに、該半導体基板10とは別の部材を備える半導体装置1の体格を小型化することができる。

【0072】

図13に示す例では、チップ化された半導体基板10が厚肉領域11と薄肉領域12を有し、厚肉領域11に片面電極素子(図13では横型MOSトランジスタ素子60を例示)が形成され、薄肉領域12に両面電極素子(図13ではIGBT素子61を例示)が形成された半導体装置1となっている。そして、回路基板90の一面と、半導体基板10の裏面10bにおける厚肉領域11の部分との間に接着部材110が介在されて、半導体装置1が回路基板90に固定されている。また、この固定状態で、薄肉領域12の裏面10b上に構成された凹部に、再配線用の基板130(特許請求の範囲に記載の配線基板に相当)が収容されて、薄肉領域12上に実装されている。そして、基板130における裏面10b側の表面に形成されたランド131が、薄肉領域12に構成されたIGBT素子61のコレクタ電極61bと、はんだなどの接続部材150を介して電氣的に接続されている。また、基板130における回路基板90側の表面に形成されたランド132が、回路基板90における半導体装置1の接着面に形成されたランド91と、はんだなどの接続部材150を介して電氣的に接続されている。

10

【0073】

このような構造を採用すると、半導体基板10とは別の部材として、基板130を備える半導体装置1の体格を小型化することができる。また、半導体基板10の凹部を有する側の面(図13では裏面10b)を回路基板90の搭載面としつつ、薄肉領域12に形成された両面電極素子の裏面10b側の電極(図13ではIGBT素子61のコレクタ電極61b)を、回路基板90のランド91(配線)と電氣的に接続することができる。

20

【0074】

なお、半導体基板10の凹部に収容される部材は、上記基板130に限定されるものではない。図14に示す例では、図13とほぼ同一構成の半導体装置1を採用している。異なる点は、半導体基板10の裏面10bに形成されたIGBT素子61のコレクタ電極61bが、テーパ状の連結部位13を介して厚肉部位までそれぞれ延設されている。そして、厚肉部位11において、コレクタ電極61bが、回路基板90における半導体装置1の接着面に形成されたランド91と、はんだなどの接続部材150を介して電氣的に接続されている。また、この固定状態で、薄肉領域12の裏面10b上に構成された凹部に、ヒートシンク170が配置され、このヒートシンク170が絶縁部材171を介して、半導体基板10の裏面10bにおける薄肉領域12の部分(コレクタ電極61b)に固定されている。

30

【0075】

このような構造を採用しても、半導体基板10とは別の部材として、ヒートシンク170を備える半導体装置1の体格を小型化することができる。また、半導体基板10の凹部を有する側の面(図13では裏面10b)を回路基板90の搭載面としつつ、薄肉領域12に形成された両面電極素子の裏面10b側の電極(図14ではIGBT素子61のコレクタ電極61b)を、回路基板90のランド91(配線)と電氣的に接続することができる。また、回路基板90に半導体装置1を実装する構成において、再配線用の基板130が不要であり、空いた空間にヒートシンク170を配置できるので、薄肉領域12に形成される両面電極素子として図14に示すIGBT素子61のようなパワー系の素子を採用する構成において、放熱性を向上することができる。図14は、変形例を示す断面図である。

40

【0076】

また、図15に示す例では、図13とほぼ同一構成の半導体装置1を採用している。異なる点は、薄肉領域12の裏面10b上に構成された凹部に、半導体基板10とは別のICチップ190が配置され、このICチップ190における裏面10b側の表面に形成さ

50

れた電極 191 の一部が、薄肉領域 12 に構成された IGBT 素子 61 のコレクタ電極 61b と、はんだなどの接続部材 150 を介して電氣的に接続されている。また、電極 191 の一部が、コレクタ電極 61b とは電氣的に分離され、半導体基板 10 の裏面 10b において、薄肉領域 12 上から連結部位 13 を介して厚肉領域 11 上に形成された配線 62 と、はんだなどの接続部材 150 を介して電氣的に接続されている。そして、この配線 62 は、厚肉部位 11 において、回路基板 90 における半導体装置 1 の接着面に形成されたランド 91 と、はんだなどの接続部材 150 を介して電氣的に接続されている。

【0077】

このような構造を採用しても、半導体基板 10 とは別の部材として、IC チップ 190 を備える半導体装置 1 の体格を小型化することができる。また、半導体基板 10 の凹部を有する側の面（図 13 では裏面 10b）を回路基板 90 の搭載面としつつ、薄肉領域 12 に形成された両面電極素子の裏面 10b 側の電極（図 15 では IGBT 素子 61 のコレクタ電極 61b）を、IC チップ 190 及び配線 62 を介して、回路基板 90 のランド 91（配線）と電氣的に接続することができる。図 15 は、変形例を示す断面図である。

10

【0078】

なお、図 13 ~ 15 では、半導体装置 1 の実装構造として、半導体基板 10 とともに別部材を備える半導体装置 1 が、回路基板 90 に実装される例を示した。しかしながら、半導体装置 1 の実装構造は上記例に限定されるものではない。半導体基板 10 とは別の部材を備える半導体装置 1 においては、少なくともチップ化された半導体基板 10 の凹部に上記した基板 130、ヒートシンク 170、IC チップ 190 などの別部材が収容され、凹部の底面をなす厚さの薄い領域の表面上に別部材が実装された構造とすると、上記したように半導体装置 1 の体格を小型化することができるので好ましい。

20

【0079】

（第 4 実施形態）

次に、本発明の第 4 実施形態を、図 16 ~ 図 19 に基づいて説明する。図 16 は、第 4 実施形態に係る半導体装置の概略構成を示す平面図である。図 16 においては、絶縁分離された複数の素子形成領域のうち、一部のみを図示している。図 17 は、図 16 の X-VI-I-XVI-I 線に沿う断面図である。図 17 においては、便宜上、半導体基板に構成される素子を省略して図示している。図 18、19 は具体的な活用例を示しており、図 18 は、空洞部を有する半導体基板を回路基板に実装した状態を示す断面図である。図 19 は、空洞部を有する半導体基板をセンサチップに実装した状態を示す断面図である。図 18、19 においても、半導体基板に構成される素子を省略して図示している。

30

【0080】

第 4 実施形態に係る半導体装置は、上記した各実施形態によるものと共通するところが多いので、以下、共通部分については詳しい説明は省略し、異なる部分を重点的に説明する。なお、上記各実施形態に示した要素と同一の要素には、同一の符号を付与するものとする。

【0081】

上記した実施形態においては、複数の厚さ領域を有する半導体基板 10 の例を示し、このような厚さ領域を、エッチングによって形成する例を示した。したがって、このエッチングを活用すれば、半導体基板 14 に、複数の厚さ領域を形成するとともに主面 10a から裏面 10b に貫通する空洞部 16 を形成することもできる。すなわち、例えば図 16 及び図 17 に示すように、半導体基板 10 が、複数の厚さ領域（図 16 及び図 17 に示す例では、厚さ領域 11、12a、12b）を有するとともに、主面 10a から裏面 10b にわたって貫通する空洞部 16 を有する構造とすることもできる。このように、半導体基板 10 が空洞部 16 を有する構造としても、上記したように半導体基板 10 が複数の厚さ領域を有する（特に厚肉領域 11 を有する）ので、半導体基板 10 の力学的強度を向上し、割れを抑制することができる。

40

【0082】

例えば図 18 に示す例では、半導体基板 10 が主面 10a 側をエッチングされて、複数

50

の厚さ領域 11, 12 と空洞部 16 を有しており、該半導体基板 10 が裏面 10b を搭載面として回路基板 90 に配置されている。そして、半導体基板 10 における回路基板搭載面の裏面（主面 10a）側の電極 63 の一部、具体的には半導体基板 10 の外周側の電極 63 が、半導体基板 10 の外周側にてワイヤ 64 により回路基板 90 の対応するランド 91 と電氣的に接続されている。また、電極 63 の一部、具体的には空洞部 16 側（内周側）の電極 63 が、空洞部 16 を介してワイヤ 64 により、回路基板 90 の対応するランド 91 と電氣的に接続されている。なお、半導体基板 10 における回路基板搭載面（図 18 では裏面 10b）側の電極（図示略）は、はんだなどの接続部材 150 を介して、対応するランド 91 と電氣的に接続されている。

【0083】

このように、半導体基板 10 に空洞部 16 を設けると、半導体基板 10 の外周側だけでなく空洞部 16 側にもワイヤ 64 を引き出すことができる。したがって、半導体基板 10 が、回路基板搭載面の裏面側に電極 63 を多く有していても、回路基板 90 との電氣的な接続構造を形成しやすくなる。

【0084】

また、図 19 に示す例では、図 18 に示した半導体基板 10 と同じ構成の半導体基板 10 が、裏面 10b を搭載面としてセンサチップ 210 上に実装されており、半導体基板 10 がセンサチップ 210 の回路基板（処理回路）として機能するようになっている。そして、半導体基板 10 の厚さ方向に略垂直な方向において、センサチップ 210 のセンシング部 211（図 19 において、二点鎖線で囲まれた部位）が、半導体基板 10 の空洞部 16 内に位置し、半導体基板 10 に取り囲まれている。具体的には、半導体基板 10 のセンサチップ搭載面（図 19 では裏面 10b）における空洞部 16 の開口端が、上記した略垂直な方向において、センシング部 211 と略一致している。

【0085】

このように、半導体基板 10 に空洞部 16 を設けると、半導体基板 10 の空洞部 16 を介して、センサチップ 210 のセンシング部 211 がセンシング可能とすることができる。すなわち、半導体基板 10 によって、センシング部 211 のセンシングエリアを制限することができる。センシング部 211 が、例えば入射される光の強度に応じた電気信号を生じる光検出素子を有する場合、センシング部 211 へ入射される光を、センサチップ 210 の処理回路が構成された半導体基板 10 によって制限し、これにより外乱光などによる検出精度低下や検出ばらつきを抑制することができる。また、センシング部 211 が、例えば送信波を生じるレーザ発生素子を含む場合、センシング部 211 から発振されるレーザ光の出射方向を、センサチップ 210 の処理回路が構成された半導体基板 10 によって制限することができる。

【0086】

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【0087】

本発明は、半導体基板と、半導体基板における複数の素子形成領域をそれぞれ取り囲むとともに、半導体基板を貫通して前記複数の素子形成領域を互いに絶縁分離する絶縁分離トレンチと、複数の素子形成領域のそれぞれに構成される素子と、を備える半導体装置であって、半導体基板が互いに厚さの異なる複数の厚さ領域を有し、複数の厚さ領域のうち、最も厚さの薄い領域を含む少なくとも 2 つの厚さ領域に素子形成領域がそれぞれ形成され、素子として少なくとも両面電極素子を含み、この両面電極素子が少なくとも最も厚さの薄い領域に形成される構成であれば特に限定されるものではない。例えば、各領域 11, 12 における素子 50 の種類や個数（換言すれば、絶縁分離トレンチ 31 によって区画された素子形成領域 30 の個数）は上記した実施形態の例に限定されるものではない。また、各素子 50 の形態も上記した実施形態の例に限定されるものではない。例えば、n チャンネル型の MOS トランジスタ素子や IGBT 素子の例を示したが、p チャンネル型を採用

10

20

30

40

50

することもできる。また、これらの素子として、トレンチゲート構造を採用することもできる。

【0088】

なお、本実施形態中の図10には、厚肉領域11、薄肉領域12とともに、厚肉領域11よりも厚く、素子50が形成されない領域15（最も厚さの厚い領域15）を形成し、二点鎖線で示すスクライプ線71に沿ってダイシングすることで、最も厚さの厚い領域15、及び、該領域15と他の領域（図10に示す例では厚肉領域11）との連結部位13を除去し、半導体基板10として厚肉領域11と薄肉領域12を備えた半導体装置1を形成する例を示した。このように、半導体基板14に、チップ化する（半導体基板10とする）までの力学的強度確保専用の最も厚さの厚い領域15を設けると、チップ化するまでの半導体基板14の力学的強度をさらに向上することができる。このような技術思想は、複数の厚さ領域を有し、少なくとも2つの厚さ領域に素子が構成された半導体基板10の形成に限定されるものではない。例えば、複数の厚さ領域を有し、そのうちの1つの厚さ領域のみに素子50が構成された半導体基板10の形成や、1つの厚さ領域のみを有する（換言すれば全体の厚さが略均一の）半導体基板10の形成にも適用することができる。例えば図20に示す例では、半導体基板14に、力学的強度確保専用の最も厚さの厚い領域15と、エッチングにより該領域15よりも薄肉とされた薄肉領域12を設けている。そして、該半導体基板14を、図20に二点鎖線で示すスクライプ線71に沿ってダイシングする（薄肉領域12でダイシングする）ことで、半導体基板10が薄肉領域12のみを有し、該領域12に絶縁分離トレンチ31によって囲まれた素子形成領域30が複数形成された半導体装置1を得ることもできる。これによれば、均一厚さの半導体基板10に、両面電極素子を含む複数の素子50が集積化された半導体装置1となる。したがって、ダイシングまでは、半導体基板14が力学的強度確保専用の最も厚さの厚い領域15を有するので、薄肉領域12を有する半導体基板14の力学的強度を向上することができる。すなわち、半導体基板14の搬送時などでの割れや、ダイシング時の割れを抑制することができる。また、力学的強度を向上しつつ、半導体基板10に構成される両面電極素子の対をなす電極間に、電流を流れやすくする（低オン抵抗化する）ことができる。図20は、その他変形例を示す断面図である。

10

20

【図面の簡単な説明】

【0089】

30

【図1】第1実施形態に係る半導体装置の概略構成を示す平面図である。

【図2】図1のII-II線に沿う断面図である。

【図3】半導体装置を製造する工程のうち、半導体基板に未貫通の絶縁分離トレンチを形成する工程を示す断面図である。

【図4】半導体装置を製造する工程のうち、絶縁分離トレンチを貫通状態とする工程を示す断面図である。

【図5】半導体装置を製造する工程のうち、半導体基板に複数の厚さ領域を形成する工程を示す断面図である。

【図6】変形例を示す断面図である。

40

【図7】変形例を示す断面図である。

【図8】製造方法の変形例を示す断面図であり、製造工程のうち、半導体基板に複数の厚さ領域を形成する工程を示している。

【図9】製造方法の変形例を示す断面図であり、製造工程のうち、絶縁分離トレンチを形成する工程を示している。

【図10】ウェハ状態の半導体基板の変形例を示す断面図である。

【図11】第2実施形態に係る半導体装置の概略構成を示す断面図である。

【図12】変形例を示す断面図である。

【図13】第3実施形態に係る半導体装置の概略構成を示す断面図である。

【図14】変形例を示す断面図である。

【図15】変形例を示す断面図である。

50

【図16】第4実施形態に係る半導体装置の概略構成を示す平面図である。

【図17】図16のX V I I - X V I I線に沿う断面図である。

【図18】空洞部を有する半導体基板を回路基板に実装した状態を示す断面図である。

【図19】空洞部を有する半導体基板をセンサチップに実装した状態を示す断面図である。

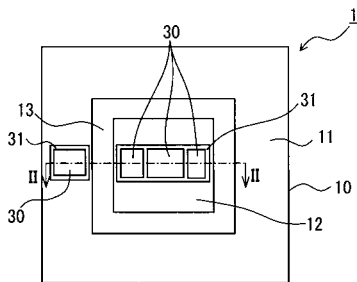
【図20】その他変形例を示す断面図である。

【符号の説明】

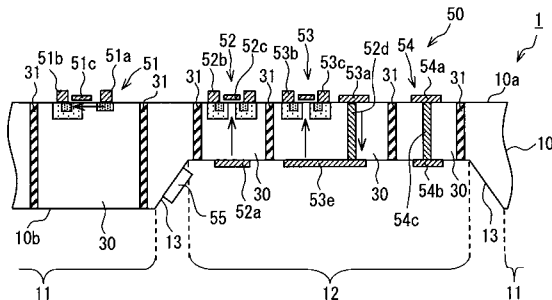
【0090】

- 1・・・半導体装置
- 10・・・半導体基板
- 11・・・厚肉領域
- 12・・・薄肉領域
- 30・・・素子形成領域
- 31・・・絶縁分離トレンチ
- 50・・・素子
- 51, 60・・・横型MOSトランジスタ素子(片面電極素子)
- 52・・・縦型MOSトランジスタ素子(両面電極素子)
- 56~59, 61・・・IGBT素子(両面電極素子)

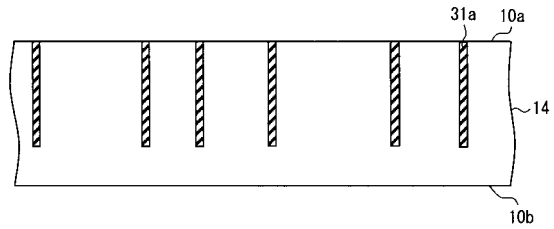
【図1】



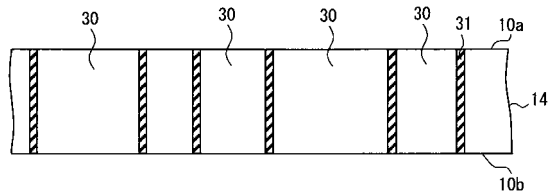
【図2】



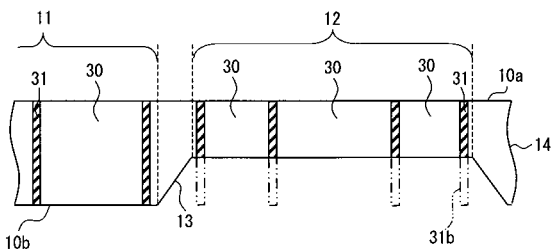
【図3】



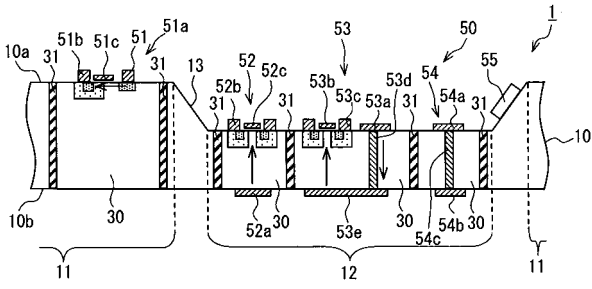
【図4】



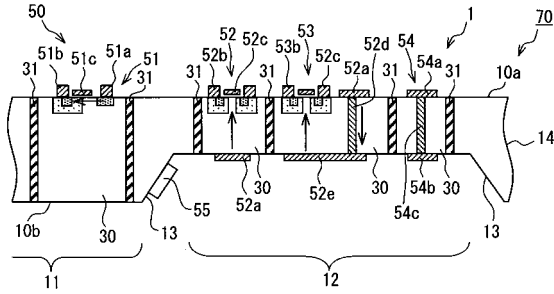
【図5】



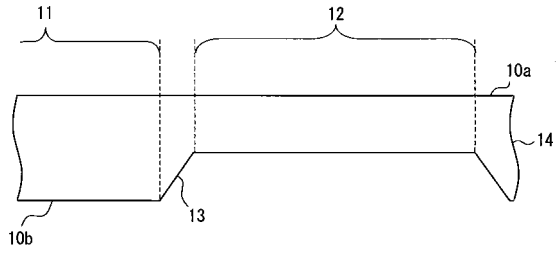
【 図 6 】



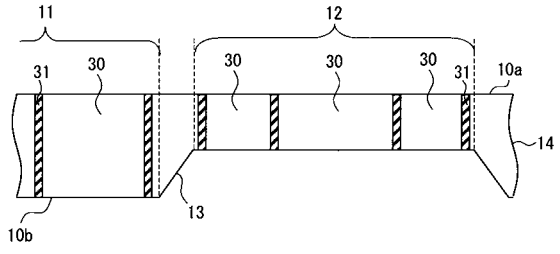
【 図 7 】



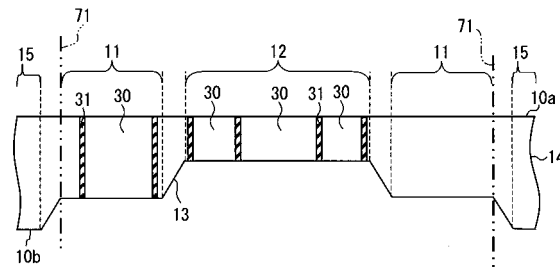
【 図 8 】



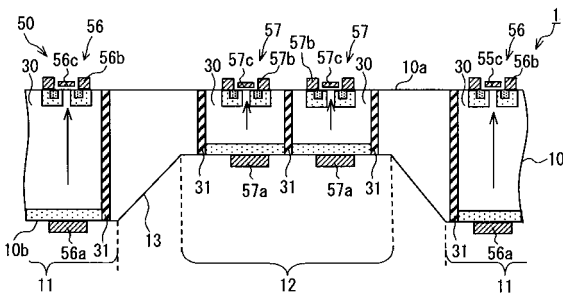
【 図 9 】



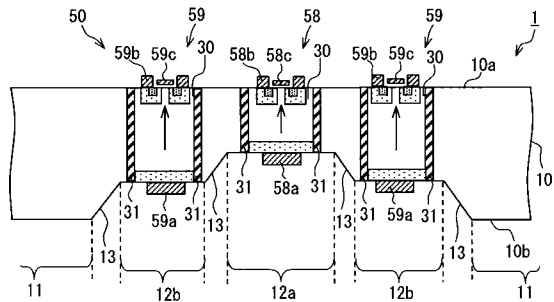
【 図 10 】



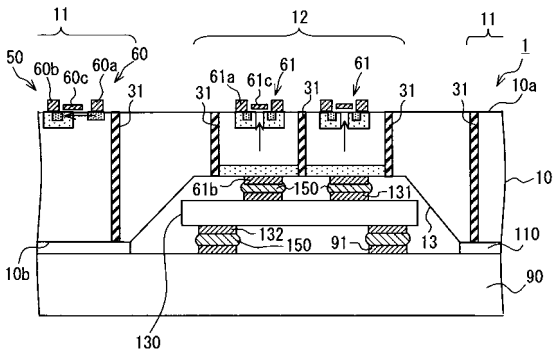
【 図 11 】



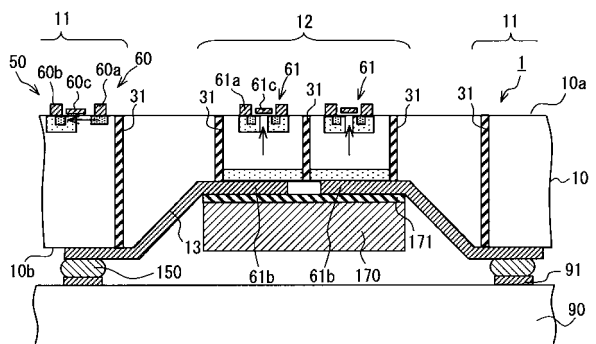
【 図 12 】



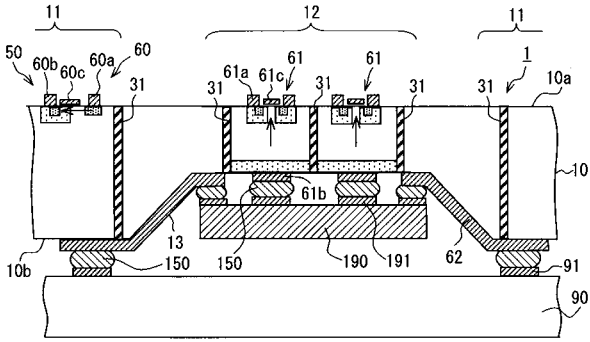
【 図 13 】



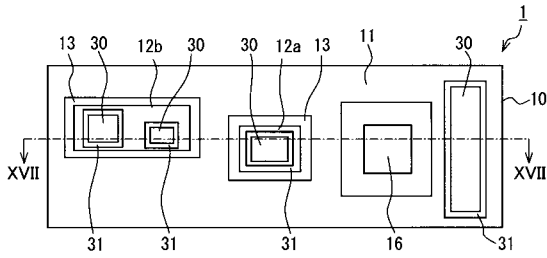
【 図 14 】



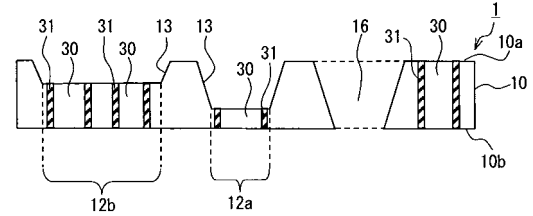
【 図 15 】



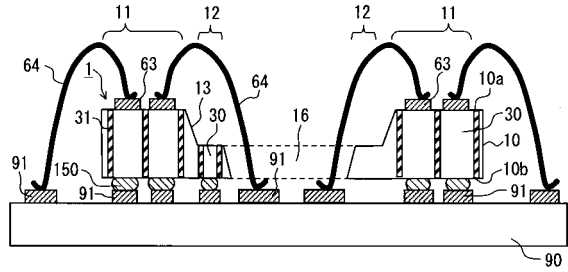
【 図 16 】



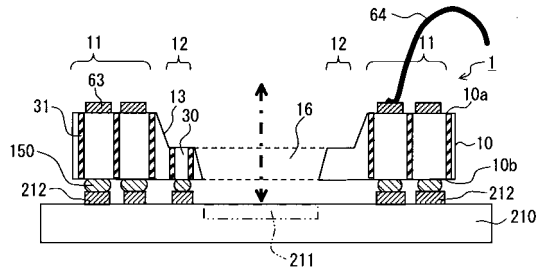
【 図 17 】



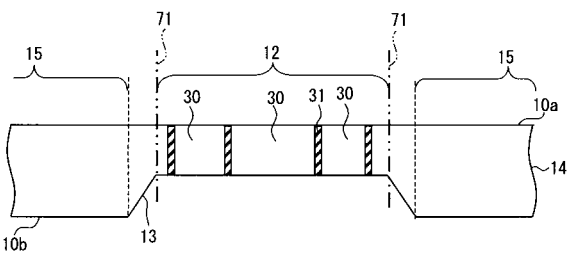
【 図 18 】



【 図 19 】



【 図 20 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8249 (2006.01)	H 0 1 L 27/08	1 0 2 E
H 0 1 L 27/08 (2006.01)	H 0 1 L 27/08	1 0 2 B
H 0 1 L 21/3205 (2006.01)	H 0 1 L 27/08	1 0 2 D
H 0 1 L 23/52 (2006.01)	H 0 1 L 27/08	3 3 1 A
H 0 1 L 21/822 (2006.01)	H 0 1 L 21/88	T
H 0 1 L 27/04 (2006.01)	H 0 1 L 27/04	A
H 0 1 L 25/065 (2006.01)	H 0 1 L 25/08	B
H 0 1 L 25/07 (2006.01)	H 0 1 L 23/36	Z
H 0 1 L 25/18 (2006.01)	H 0 1 L 21/88	J
H 0 1 L 23/36 (2006.01)	H 0 1 L 29/78	6 5 5 G
H 0 1 L 29/739 (2006.01)	H 0 1 L 29/78	6 5 6 C
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78	6 5 6 G
	H 0 1 L 29/78	6 5 2 R
	H 0 1 L 29/78	6 5 2 Q

(72)発明者 河野 憲司

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5F032 AA35 AA45 AA47 AA69 AA84 AC02 BA03 BA06 BB06 CA17
CA18 CA24 CA25 DA22
5F033 MM30 VV07 XX17 XX22
5F038 CA12 CA16 EZ15 EZ20
5F048 AA04 AA05 AC01 AC03 AC06 AC07 AC10 BA01 BA19 BB20
BC03 BC12 BC18 BD07 BD10 BF01 BF16 BF17 BF18 BG13
BG14 CA02 CA04
5F136 BA30 BC05 DA27