

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年7月17日 (17.07.2008)

PCT

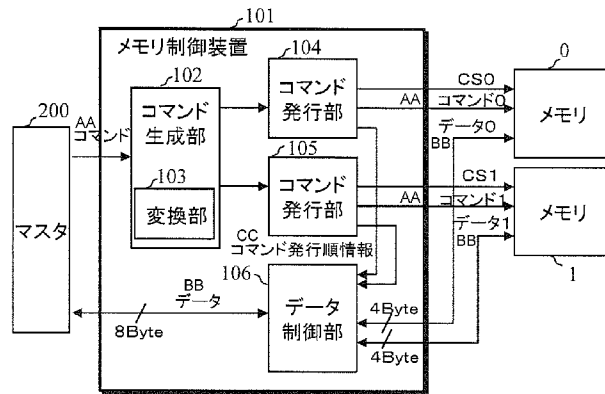
(10) 国際公開番号
WO 2008/084681 A1

- (51) 国際特許分類:
G06F 12/06 (2006.01) G06T 1/20 (2006.01)
G06F 12/02 (2006.01) G06T 1/60 (2006.01)
- (21) 国際出願番号: PCT/JP2007/074878
- (22) 国際出願日: 2007年12月25日 (25.12.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2006-347132
2006年12月25日 (25.12.2006) JP
特願2007-123987 2007年5月8日 (08.05.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 隆史 (YAMADA, Takashi). 伊元 大輔 (IMOTO, Daisuke). 浅井 幸治 (ASAI, Koji). 市口 誠道 (ICHIGUCHI, Nobuyuki). 持田 哲司 (MOCHIDA, Tetsuji).
- (74) 代理人: 新居 広守 (NIH, Hiromori); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 0 号 タナカ・イトーピア新大阪ビル 6 階 新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,

[続葉有]

(54) Title: MEMORY CONTROL DEVICE, MEMORY DEVICE, AND MEMORY CONTROL METHOD

(54) 発明の名称: メモリ制御装置、メモリ装置およびメモリ制御方法



- 200. MASTER
- 101. MEMORY CONTROL DEVICE
- 102. COMMAND GENERATION UNIT
- 103. CONVERSION UNIT
- 104. COMMAND ISSUING UNIT
- 105. COMMAND ISSUING UNIT
- 106. DATA CONTROL UNIT
- AA. COMMAND
- BB. DATA
- CC. COMMAND ISSUING ORDER INFORMATION
- 0. MEMORY
- 1. MEMORY

(57) Abstract: A memory control device includes: a command generation unit (102) which divides a memory access request issued from a master into access commands for respective memory devices; command issuing units (104, 105) which issue access commands to the memory devices; and a data control unit (106) which exchanges data between the master (200) and memories (0, 1) when required. The command generation unit (102) performs control to switch between a mode for outputting identical physical addresses and a mode for outputting different physical addresses to a plurality of memory devices depending on whether the physical addresses of the memory devices corresponding to the divided access commands are identical or different.

(57) 要約: 本発明のメモリ制御装置は、マスタから発行された前記メモリアクセス要求を、メモリデバイス毎のアクセスコマンドに分割するコマンド生成部(102)と、前記複数のメモリデバイスにアクセスコマンドを発行するコマンド発行部(104)、(105)と、マスタ(200)とメモリ(0)、(1)間でデータを必要に応じて入れ換えるデータ制御部(106)とを備え、コマンド生成部(102)は、分割した複数のアクセスコマンドに対応する前記複数のメモリ

[続葉有]



WO 2008/084681 A1



OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

明 細 書

メモリ制御装置、メモリ装置およびメモリ制御方法

技術分野

[0001] 本発明は、使用メモリ帯域を増やすために、メモリデータバス幅を拡張したシステムにおいて、マスタからの任意アドレスへのアクセスに対して、実効転送効率の向上を図るメモリ制御装置、メモリ装置およびメモリ制御方法に関するものである。

背景技術

[0002] 一般に、画像処理装置を含む情報処理装置では、膨大なデータを記憶するために、大容量かつ低コストであるDRAMが用いられる。特に、近年の画像処理装置は、MPEG2やH. 264等のHD(High Definition)画像処理への対応や、同時複数チャンネル処理、高画質な3Dグラフィックス処理等により、メモリ容量だけでなく、高いデータ転送能力(以下、メモリ帯域と記す)を有するDRAMを必要としている。

[0003] 一般的に、高いメモリ帯域を実現するためには、(1)バスの動作周波数を上げる方法、(2)メモリのバス幅を広くとる方法、またはこれらの方法(1)、(2)を併用する方法などが知られている。

[0004] 一方、一般にDRAMは、アクセスを行う際、事前にアクセスするBank・Rowを指定して、アクティベート処理を行う必要がある。また、同一Bankにおいて、アクセスするRowを変更する場合は、一旦アクセスしていたRowをプリチャージ処理し、新たにアクセスするRowに対してアクティベート処理を行う必要がある。これらアクティベート処理期間、プリチャージ処理期間は、該当バンクに対するアクセスができなくなるため、同一Bank内で、Rowを切り替える際に、アクセス不可期間が発生し、データバスに空きが発生してしまう。そこで、その欠点を補うべく、通常DRAMアクセス制御においては、ある特定のバンクへのデータ転送実行中に、他のバンクのアクティベート処理、プリチャージ処理を実行することにより、前記アクセス不可期間を隠蔽し、見かけ上、データバス上で、常時データ転送を可能とする、バンクインタリーブ制御と呼ばれる制御が行われる。このバンクインタリーブが有効に機能するためには、他バンクのデータ転送時間が前記アクセス不可期間を上回る必要がある。

[0005] しかしながら、高いメモリ帯域を実現するために、前記(1)、(2)のいずれの対応をとった場合においても、単位時間あたりのデータ転送量が増えるのに対し、前記アクセス不可期間の絶対時間が変わらないため、前記アクセス不可期間を隠蔽するのに必要なデータ転送量が増加することになる。その結果、他バンクのデータ転送量を増やさない限り、すなわち、1アクセスあたりの転送サイズを増やさない限り、前記バンクインタリーブ制御を行っていたとしても、前記アクセス不可期間の隠蔽が十分に実現できないため、データバスに空きが発生することとなり、アクセス効率の低下が発生する。このことは、転送サイズが小さいアクセスが頻発するシステムにおいては、大幅なアクセス効率の低下を招くことを意味する。

[0006] この問題に対する従来手法として、特許文献1に記載のものがある。図31に、この従来手法の回路構成を示す。この手法では、カウンタ0、1の信号を元に、コマンド生成手段において、メモリデバイス0、1を特定のタイミングで交互に時分割アクセスすることにより、単一デバイスで発生するアクセス不可期間を、他方のデバイスのデータ転送時間で隠蔽することにより、バスのアクセス効率の向上を実現している。この制御では、高いメモリ帯域を実現するために、前記(1)、(2)のいずれの対応をとった場合においても、同一デバイス内でのバンクインタリーブ制御で隠蔽しきれなかったアクセス不可期間を、他方のデバイスのアクセスにより隠蔽できるため、1アクセスあたりの転送サイズを増やすことなく、アクセス効率の低下を防ぐことができる。このことは、転送サイズが小さいアクセスが頻発するシステムにおいても、アクセス効率の低下を抑えることができることを意味する。

特許文献1:特開平9-190376号公報

発明の開示

発明が解決しようとする課題

[0007] しかしながら、前記従来技術では、複数のデバイスを利用しているにも関わらず、同時にアクセスできるデバイスは1つであるため、システムが使用できる最大メモリ帯域は、1つのデバイスが持つメモリ帯域に限定される。それゆえ、前記従来技術において、使用メモリ帯域を大きくするためには、1デバイス当たりのバス幅を広げるか、動作周波数をあげる、すなわち、より高速なDRAM(DDR、DDR2、DDR3他)を使用

するしかない。

[0008] バス幅を拡張してデータ転送帯域を増加させる構成として、図32のような構成も考えられる。このメモリ制御装置では、図31よりも最大メモリ帯域を拡大し、かつ、8バイトアクセスと4バイトアクセスが可能になっている。しかし、転送量の小さいアクセスや、画像処理によく使用される任意で非連続なアクセスに対して、無駄な転送を多く行うという問題がある。

[0009] ところで、DRAMの最小アクセス単位は、「バス幅 × 最小バースト数」で決まる。前述した高速なDRAMは、最小バースト数が、SDRAMが1であるのに対して、DDRは2、DDR2は4、DDR3は8と規定されているため、バス幅を広げる対応をした場合と同様、高速なDRAMを使用することによっても、最小アクセス単位が増加するという課題を有していた。この最小アクセス単位とは、1回のアクセスに対して、必ず転送される最小データ転送量を示し、あらゆるアクセス要求は、この最小アクセス単位の整数倍で転送されることとなる。よって、この最小アクセス単位が増大するということは、転送量の小さいアクセスや、画像処理によく使用される任意で、非連続なアクセスに対して、無駄な転送を多く行うこととなり、結果、実効転送効率の低下を導く。

[0010] 具体的な例を図33に示す。図33では、100MHzで動作する4 ByteバスのSDRAMを使用しているシステムを、メモリ帯域を2倍にするために、バス幅を倍の8 Byteとした例を示している。ここで、当然のことながら、利用メモリ帯域は倍になっているが、図33に示すように、4 Byte 転送といった小さいアクセスや、 $8n + 4$ Byte アドレスからの8 Byte 転送といった、アドレス境界がそろっていない位置からの転送などは、有効データと無効データが同一サイズとなってしまう、アクセス効率は半減してしまう。その結果、利用できるメモリ帯域が2倍となっても、アクセス効率が半減しているため、実質使用しているメモリ帯域はバス幅拡張前と同じ400 MB/s となってしまう、バスを拡張した効果が全くなくなる場合が存在する。

[0011] 本発明は、上記課題を解決するために、メモリバス幅の拡張を行ったり、高速DRAMを使用することによる使用メモリ帯域の拡大を行った際の無効データの転送量の増加を抑制し、高いアクセス効率を実現するメモリ制御装置、メモリ装置およびメモリ制御方法を提供することを目的とする。

課題を解決するための手段

- [0012] 前記従来課題を解決するために、本発明のメモリ制御装置は、メモリアクセス要求を発行するマスタと複数のメモリユニットとに接続され、メモリユニットのアクセスを制御するメモリ制御装置であって、前記マスタから発行された前記メモリアクセス要求を、メモリユニット毎のアクセスコマンドに分割し、前記複数のメモリユニットにアクセスコマンドを発行するコマンド制御手段と、前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリユニットからの読み出しデータを組み合わせて、前記マスタへ出力するデータ制御手段とを有し、前記コマンド制御手段は、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが同じ場合と異なる場合とで、複数のメモリユニットへ同じ物理アドレスを出力する制御と、異なる物理アドレスを出力する制御とを切り替える。
- [0013] この構成によれば、メモリ帯域を広げ、かつ、最小アクセス単位を増加させずに、無効なデータ転送の増加を抑制するという効果がある。すなわち、メモリ帯域は(1つのメモリユニットのバス幅) × (メモリユニットの個数)に拡大され、しかも、マスタからアクセス可能な最小アクセス単位は1つのメモリユニットのバス幅とすることができる。
- [0014] ここで、前記コマンド制御手段は、前記複数のメモリユニットに共通のアドレスバスと、前記複数のメモリユニットに個別のチップセレクト信号とを介して前記複数のメモリユニットに接続され、前記コマンド制御手段は、分割した複数のアクセスコマンドが同じ物理アドレスを示す場合に、前記の個別のチップセレクト信号を同時に有効にすることによって、前記複数のメモリユニットへ同じ物理アドレスを出力し、分割した複数のアクセスコマンドが異なる物理アドレスを示す場合に、前記の個別のチップセレクト信号をタイミングをずらして有効にすることによって、前記複数のメモリユニットへ異なる物理アドレスを出力し、前記データ制御手段は、前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して、前記アクセスコマンドのタイミングに従って各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前述したアクセスコマンドの

タイミングに従って前記複数のメモリユニットから読み出されたデータを組み合わせて、前記マスタへ出力するようにしてもよい。

- [0015] この構成によれば、前記複数のメモリユニットに独立したアドレスバスを配線する必要がないので、アドレスバスの配線面積を削減することができ、回路面積を小型化することができる。
- [0016] ここで、前記コマンド制御手段は、コマンド生成部と、メモリユニット毎に設けられたコマンド発行部とを備え、前記コマンド生成部は、前記メモリアクセス要求に含まれる論理アドレスをメモリユニット毎の物理アドレスに変換し、メモリユニット毎のアクセスコマンドに分割し、前記各コマンド発行部は、対応するメモリユニットに、前記コマンド生成部からのアクセスコマンドを発行し、前記コマンド生成部は、複数のアクセスコマンドを複数のコマンド発行部に同時に出力するようにしてもよい。
- [0017] ここで、前記コマンド制御手段は、コマンド生成部と、メモリユニット毎に設けられたコマンド発行部とを備え、前記コマンド生成部は、前記メモリアクセス要求に含まれる論理アドレスをメモリユニット毎の物理アドレスに変換し、メモリユニット毎のアクセスコマンドに分割し、前記各コマンド発行部は、対応するメモリユニットに、前記コマンド生成部からのアクセスコマンドを発行し、前記コマンド生成部は、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが同じ場合に、複数のアクセスコマンドを複数のコマンド発行部に同じタイミングで出力し、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが異なる場合に、複数のアクセスコマンドを複数のコマンド発行部に異なるタイミングで出力するようにしてもよい。
- [0018] ここで、前記複数のメモリユニットは、2つの第1、第2メモリユニットであり、前記コマンド制御手段は、前記アクセス要求を第1アクセスコマンドと第2アクセスコマンドに変換し、第1および第2メモリユニットは、前記アクセス要求が第1メモリユニットのデータを先頭とし、当該データの先頭が第1および第2メモリユニットのデータを含むデータバスのアライメントに一致する場合に、前記第1のアクセスコマンドに対応する物理アドレスと前記第2のアクセスコマンドに対応するアクセスコマンドの物理アドレスとが同じとなるように、データを格納し、前記アクセス要求が第2メモリユニットのデータを先

頭とし、当該データの先頭が第1および第2メモリユニットのデータを含むデータベースのアライメントに一致しない場合に、前記第1のアクセスコマンドに対応する物理アドレスと前記第2のアクセスコマンドに対応するアクセスコマンドの物理アドレスとが異なるように、データを格納するようにしてもよい。

[0019] ここで、前記コマンド制御手段は、複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが異なる場合に、アドレスおよびチップセレクト信号の出力タイミングをメモリユニット毎に遅らせることにより、複数メモリユニットの同一のアドレスと異なるアドレスを切り替えるようにしてもよい。

[0020] ここで、前記複数のメモリユニットは第1～第mのメモリユニットであり、前記複数のメモリユニットの各々は、Nバイトの最小アクセス単位を有し、前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、各単位領域は、第1～第mのメモリユニットの互いに対応するm個の(N×整数)バイト領域が順に配置されるようにしてもよい。

[0021] ここで、各単位領域において第1～第mのメモリユニットの物理アドレスは共通であり、前記コマンド制御手段は、前記アクセス要求が前記単位領域を越えないデータサイズの場合、前記第1～第mのメモリユニットのうち、当該アクセス要求に対応するメモリユニットに同時にアクセスコマンドを発行するようにしてもよい。

[0022] ここで、前記第1～第mのメモリユニットの各々はi個のバンクを有し、前記論理アドレス空間は、p個の第1～第pの前記単位領域が繰り返し配置され、前記第1～第pの単位領域は、共通のロウアドレスを有し、異なるカラムアドレスを有し、前記第1～第pの単位領域の各々において前記m個の(N×整数)バイト領域は、バンクアドレスが共通であり、前記第1～第pの単位領域は、互いにバンクアドレスが異なるようにしてもよい。

[0023] この構成によれば、前記m個のアドレスが共通な複数のメモリユニットに対して同一サイクルでのアクセスを実現し、かつ論理的に連続なアドレス空間に配置された隣接する前記p個のロウアドレスが共通なm個のアドレスが共通な複数のメモリユニットの単位の間で、メモリアクセスタイミング制約に起因するロウアドレスの切替時間の最短化を実現することができる。

- [0024] ここで、前記複数のメモリユニットは画像を記憶するフレームバッファとして用いられ、前記複数のメモリユニットの各々は、Nバイトの最小アクセス単位を有し、前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、各単位領域には、前記複数のメモリユニットの互いに対応する複数の(N×整数)バイト領域が順に配置され、前記画像の水平アドレスに対応してA個の単位領域が隣接して配置され、垂直アドレスに対応してB個の単位領域が配置されるようにしてもよい。
- [0025] この構成によれば、前記フレームバッファに対してアクセスを行う場合には、前記フレームバッファの水平方向に前記メモリユニット単位のアクセスアライメントでアクセスし、前記フレームバッファの垂直方向にライン単位のアクセスアライメントでアクセスすることができる。
- [0026] ここで、前記各単位領域内における複数の(N×整数)バイト領域は、バンクアドレス、ロウアドレスおよびカラムアドレスが共通であるようにしてもよい。
- [0027] この構成によれば、前記単位領域内に対応する異なるメモリユニットに対して同時に同一のアドレスでアクセスを行うことができる。
- [0028] ここで、前記フレームバッファの水平方向または垂直方向に隣接する前記単位領域は異なるバンクアドレスを有し、前記コマンド制御手段は、バンクインタリーブにより隣接する前記単位領域にアクセスするように前記アクセスコマンドを発行するようにしてもよい。
- [0029] ここで、前記mは2であってもよい。
- [0030] ここで、前記2つのメモリユニットは画像を記憶するフレームバッファとして用いられ、前記2つのメモリユニットの各々は、Nバイトの最小アクセス単位を有し、各単位領域には、前記2つのメモリユニットの互いに対応する2つの(N×整数)バイト領域が交互に配置され、前記画像の水平アドレスに対応してA個の単位領域が隣接して配置され、垂直アドレスに対応してB個の単位領域が配置され、前記マスタからのアクセス要求は、水平アドレスと、行単位の垂直アドレスとを含むようにしてもよい。
- [0031] この構成によれば、前記フレームバッファに対してアクセスを行う場合には、前記フレームバッファの水平方向に前記メモリユニット単位のアクセスアライメントでアクセス

し、前記フレームバッファの垂直方向にライン単位のアクセスアライメントでアクセスすることができる。

[0032] ここで、前記コマンド制御手段は、前記複数のメモリユニットに共通の第1アドレスバスと、前記複数のメモリユニットに個別の第2アドレスバスと、前記複数のメモリユニットに個別のチップセレクト信号を介して前記複数のメモリユニットに接続され、前記第1アドレスバスと第2アドレスバスは、アドレスバスを構成する一部のアドレス信号線と他部のアドレス信号線であるようにしてもよい。

[0033] ここで、前記コマンド制御手段は、分割した複数のアクセスコマンドが同じ物理アドレスを示す場合に、前記の個別のチップセレクト信号と第1および第2アドレスバスとを同時に有効にすることによって、前記複数のメモリユニットへ同じ物理アドレスを出力し、分割した複数のアクセスコマンドが異なる物理アドレスを示す場合でかつ第1アドレスバスが異なる物理アドレスを示す場合、前記の個別のチップセレクト信号および第1、第2アドレスバスを共に出力するタイミングをずらして有効にすることによって、前記複数のメモリユニットへ異なる物理アドレスを出力し、分割した複数のアクセスコマンドが異なる物理アドレスを示す場合でかつ第2アドレスバスが異なる物理アドレスを示す場合、前記の個別のチップセレクト信号および第1及び第2アドレスバスを同時に有効にすることによって、前記複数のメモリユニットへ異なる物理アドレスを出力するようにしてもよい。

[0034] ここで、前記複数のメモリユニットは画像を記憶するフレームバッファとして用いられ、前記複数のメモリユニットの各々は、Nバイトの最小アクセス単位を有し、前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、各単位領域には、前記複数のメモリユニットの互いに対応する複数の(N×整数)バイト領域が順に配置され、前記フレームバッファは複数の矩形領域から構成され、前記矩形領域は、水平アドレスに対応してE個の単位領域が隣接して配置され、垂直アドレスに対応してF個の単位領域が配置されるようにしてもよい。

[0035] ここで、前記各矩形領域内の複数の前記単位領域は、共通のバンクアドレスおよび共通のロウアドレスを有し、左右に隣接する2つの前記矩形領域は、異なるバンクアドレスを有し、上下に隣接する2つの前記矩形領域は、任意のバンクアドレスおよび異

なるロウアドレスを有するようにしてもよい。

- [0036] この構成によれば、矩形領域内でカラムアドレス垂直方向に連続し、前記フレームバッファに対してアクセスを行う場合には、前記フレームバッファの水平方向に前記メモリユニット単位のアクセスアライメントでアクセスし、前記フレームバッファの垂直方向にライン単位のアクセスアライメントでアクセスすることができる。
- [0037] ここで、各単位領域には、前記複数のメモリユニットの互いに対応する複数の($N \times$ 整数)バイト領域が、前記複数のメモリユニットの並びに対応する順に配置されるようにしてもよい。
- [0038] ここで、前記各矩形領域内の複数の前記単位領域は、任意の単一な前記メモリユニットで構成され、共通のバンクアドレスを有し、左右に隣接する2つの前記矩形領域は、異なるカラムアドレスを有し、上下に隣接する2つの前記矩形領域は、異なるメモリユニットの単位領域で構成され、任意のバンクアドレスおよびカラムアドレスが異なるようにしてもよい。
- [0039] ここで、各単位領域には、前記複数のメモリユニットの互いに対応する複数の($N \times$ 整数)バイト領域が、前記複数のメモリユニットの並びに対応する順に配置されるようにしてもよい。
- [0040] ここで、1行以上連続するG行からなる第1の小矩形領域における各単位領域は、前記複数の($N \times$ 整数)バイト領域が、前記複数のメモリユニットの並びに対応する順に配置され、隣接する1行以上連続するH行からなる第2の小矩形領域における各単位領域には、前記複数の($N \times$ 整数)バイト領域が、前記第1の小矩形領域と異なる順に配置され、前記第1小矩形領域と前記第2小矩形領域の関係が前記矩形領域内において繰り返されるようにしてもよい。
- [0041] また、本発明のメモリ装置は、1パッケージ化されたメモリ装置であって、複数のメモリユニットと、外部から、アクセスコマンドを受信し、前記複数のメモリユニットに供給するコマンドインターフェースと、前記複数のメモリユニットと同数の部分的なバスにビット分割されたデータバスと、外部から供給される同期信号に従って、外部と前記複数のメモリユニットの各々との間で前記データバスを介して独立にデータを入出力するデータインターフェースとを備える。

- [0042] この構成によれば、複数のメモリユニットが1パッケージ化されている場合であっても、上記メモリ制御装置と相俟って、高いアクセス効率を実現可能である。
- [0043] ここで、前記コマンドインターフェースは、時分割多重化された複数のアクセスコマンドを前記同期信号の1サイクル期間に受信し、前記メモリ装置は、さらに、前記コマンドインターフェースによって受信された、時分割多重されたアクセスコマンドを逆多重化し、アクセスコマンドを対応するメモリユニットに分配する逆多重化部を備えるようにしてもよい。
- [0044] この構成によれば、パッケージ化によってパッケージへのアクセスコマンド供給を高速化することが可能になり、その結果、パッケージのピン数およびパッケージへの配線数を低減することができる。
- [0045] ここで、前記コマンドインターフェースは、前記複数のメモリユニット個別に有効または無効にする複数のセレクト信号を受信し、受信したセレクト信号を対応するメモリユニットに供給するようにしてもよい。
- [0046] この構成によれば、パッケージ内の複数のメモリユニットに個別にセレクト信号を供給し、個別のアクセスを容易にすることができる。
- [0047] ここで、前記コマンドインターフェースは、前記複数のメモリユニット毎に有効か無効かを示すユニット情報を受信し、前記メモリ装置は、さらに、前記ユニット情報を前記複数のメモリユニット個別のセレクト信号に変換し、変換したセレクト信号を各メモリユニットに供給する変換手段を有するようにしてもよい。
- [0048] この構成によれば、パッケージ内の複数のメモリユニットに個別にセレクト信号をパッケージに供給する代わりにユニット情報を供給するので、パッケージのピン数およびパッケージへの配線数を低減することができる。
- [0049] また、本発明のメモリ制御装置は、メモリアクセス要求を発行するマスタと、複数のメモリユニットとに接続され、メモリユニットのアクセスを制御するメモリ制御装置であって、前記マスタから発行された前記メモリアクセス要求を、メモリユニット毎のアクセスコマンドに分割するコマンド制御手段と、前記複数のメモリユニットに供給される同期信号の1サイクル期間内に複数のアクセスコマンドを時分割多重化し、時分割多重されたアクセスコマンドを発行する多重化手段と、前記複数のメモリユニットと同数の部

分的なバスにビット分割されたデータバスと、前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリユニットからの読み出しデータを組み合わせて、前記マスタへ出力するデータ制御手段とを有する構成としてもよい。

[0050] この構成によれば、メモリ制御装置から複数のメモリユニットへの配線数を低減することができる。

[0051] また、本発明のメモリ制御方法、半導体装置は、上記と同様の構成を有する。

[0052] 本構成によって、メモリバス幅の拡張を行ったり、高速DRAMを使用することによる使用メモリ帯域の拡大を行った際の無効データの転送量の増加を抑制し、高いアクセス効率を実現できる。

発明の効果

[0053] 本発明のメモリ制御装置によれば、利用メモリ帯域の拡大のために、バス幅を拡張した場合や、DDR、DDR2、DDR3といった高速なDRAMを使用した場合においても、メモリの最小アクセス単位の増加を抑えることが可能となるため、転送量の小さいアクセスや、画像処理の際に頻繁に発生する任意の非連続なアクセスが存在するシステムにおいても、無効データ転送の増加を抑制することができるため、高いメモリアクセス効率を実現することができる。また、無駄な転送を削減し実効転送効率を改善すると共に、メモリユニット特有(特にDRAM)に発生するアクセスオーバーヘッドを改善し、メモリシステムのトータルバンド幅を削減すると同時に、システムLSIの端子数とLSIとメモリユニット間の配線数の削減できる。またこれによりコストの大幅な削減も実現できる。

[0054] 本発明のうち複数チップのメモリユニットを1つのメモリパッケージに置き換えることにより、本発明の上記無駄な転送を削減し実効転送効率を改善すると共に、メモリユニット特有(特にDRAM)に発生するアクセスオーバーヘッドを改善し、メモリシステムのトータルバンド幅を削減すると同時に、さらにシステム内の実装チップ数を削減しシステムの実装面積を大幅に削減も実現できる。

図面の簡単な説明

[0055] [図1A]図1Aは、本発明の実施形態1におけるメモリ制御装置を含むシステム構成を示すブロック図である。

[図1B]図1Bは、図1Aのメモリ制御装置の変形例を含むシステム構成を示すブロック図である。

[図2]図2は、メモリマップ例を示す図である。

[図3]図3は、コマンド生成部のフローチャートを示す図である。

[図4]図4は、メモリ制御装置の動作を示すタイミング図である。

[図5]図5は、従来例の動作を説明するタイミング図である。

[図6A]図6Aは、メモリ制御装置の変形例を含むシステム構成を示すブロック図である。

[図6B]図6Bは、図6Aのメモリ制御装置の変形例を含むシステム構成を示すブロック図である。

[図7]図7は、本発明の実施形態2におけるメモリ制御装置を含むシステム構成を示すブロック図である。

[図8]図8は、メモリ制御装置の動作を示すタイミング図である。

[図9]図9は、従来例の動作を示すタイミング図である。

[図10]図10は、メモリ制御装置の変形例を含むシステム構成を示すブロック図である。

[図11A]図11Aは、本発明の実施形態3において基本単位となる単位領域を示す図である。

[図11B]図11Bは、単位領域の説明図である。

[図12]図12は、単位領域の説明図である。

[図13A]図13Aは、複数のメモリデバイス(DRAM)と単位領域との関係を示す図である。

[図13B]図13Bは、複数のメモリデバイス(DRAM)と単位領域との関係を示す図である。

[図14]図14は、DRAMの物理アドレスメモリ($(N \times \text{整数})$ バイト領域)を論理アドレス方向に配置した単位領域を示す図である。

[図15]図15は、フレームバッファとして単位領域を配置する一例を示す図である。

[図16]図16は、単位領域内における(N×整数)バイト領域の配置例を示す図である。

。

[図17]図17は、フレームバッファ内における(N×整数)バイト領域の配置例を示す図である。

[図18]図18は、本発明の実施の形態4におけるメモリ制御方法を示すフローチャート図である。

[図19]図19は、フレームバッファにおける、メモリバンクの論理アドレス配置の一例を示す図である。

[図20]図20は、図19で示すブロック内におけるメモリのカラムアドレスの配置の一例を示す図である。

[図21]図21は、同じメモリデバイスの(N×整数)バイト領域が縦に並ぶ配置例を示す図である。

[図22]図22は、図21のフレームバッファから転送される矩形データの配置例を示す図である。

[図23]図23は、図22に対応する各種信号を示すタイミングチャート図である。

[図24]図24は、図21のフレームバッファから転送される矩形データの配置例を示す図である。

[図25]図25は、図24の矩形データアクセスに対応するタイミングチャート図である。

[図26]図26は、市松模様の論理アドレス配置図である。

[図27]図27は、図21の例における論理アドレスメモリ配置において、矩形アクセス要求に対して必要なデータと実際に転送されるデータとを示す図である。

[図28]図28は、矩形データのアクセス時に実際に転送されるデータを示す図である。

。

[図29]図29は、図21の例における前記論理アドレス配置において、図27の矩形データを取得する動作を示すタイミングチャート図である。

[図30]図30は、図26の例における論理アドレス配置において、図28の矩形データを取得する動作を示すタイミングチャート図である。

[図31]図31は、従来のメモリ制御装置の構成を示す図である。

[図32]図32は、高速、大容量転送を可能とする従来のメモリ装置例である。

[図33]図33は、従来のメモリ装置での課題を説明する比較図である。

[図34A]図34Aは、本実施の形態におけるメモリ装置の変形例を示す図である。

[図34B]図34Bは、メモリ装置のより具体的な構成例を示す図である。

[図35A]図35Aは、本実施の形態におけるメモリ装置の他の変形例を示す図である。

[図35B]図35Bは、本実施の形態におけるメモリ装置のさらに他の変形例を示す図である。

[図36]図36は、実施の形態5におけるメモリ制御装置の構成を示すブロック図である。

。

[図37]図37は、メモリ制御装置とメモリ装置の動作タイミングの一例を示すタイミングチャートである。

符号の説明

- [0056] 0、1 メモリ
- 101 メモリ制御装置
- 102 コマンド生成部
- 103 変換部
- 104 コマンド発行部
- 105 コマンド発行部
- 106 データ制御部
- 108 コマンド変換部(多重化手段)
- 200 マスタ
- 400、400a、400b、400c メモリ装置
- 411、411b、412、412b メモリユニット
- 421 コマンドインターフェース
- 422 データインターフェース
- 441 コマンド変換部(逆多重化手段)

発明を実施するための最良の形態

[0057] 以下本発明の実施の形態について、図面を参照しながら説明する。

[0058] (実施の形態1)

本実施の形態におけるメモリ制御装置は、マスタから発行された前記メモリアクセス要求を、メモリデバイス毎のアクセスコマンドに分割し、前記複数のメモリデバイスにアクセスコマンドを発行するコマンド制御手段と、前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリデバイス毎のデータに分割して各メモリデバイスへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリデバイスからの読み出しデータを組み合わせて、前記マスタへ出力するデータ制御手段とを有している。ここで、コマンド制御手段は、分割した複数のアクセスコマンドに対応する前記複数のメモリデバイスの物理アドレスが同じ場合と異なる場合とで、複数のメモリデバイスへ同じ物理アドレスを出力する制御と、異なる物理アドレスを出力する制御とを切り替える。

[0059] これにより、メモリ帯域を広げ、かつ、最小アクセス単位を増加させずに、無効なデータ転送の増加を抑制するという効果がある。すなわち、メモリ帯域は(1つのメモリデバイスのバス幅)×(メモリデバイスの個数)に拡大され、しかも、マスタからアクセス可能な最小アクセス単位は1つのメモリデバイスの最小のアクセス単位とすることができる。ここで、最小アクセス単位とは、一つのメモリデバイスのバス幅×最小バースト長で求まる値を指す。図1Aでは、一つのメモリデバイスのバス幅が4Byte、最小バースト長が1であるものとする。

[0060] なお、上記の複数のメモリデバイスのそれぞれは、半導体装置に1チップ化されていてもよい。あるいは、上記の複数のメモリデバイスが1パッケージ化されていてもよい。

[0061] 図1Aは、本発明のメモリ制御装置の一実施形態を示すブロック図である。ここでは、マスタ200が、メモリ制御装置を介して2つの4Byteバスのメモリデバイス(SDRAM)に接続されているシステム形態を示している。同図では、マスタ200は1つしか図示していないが、複数のマスタが接続されていてももちろんよい。

[0062] 同図のようにメモリ制御装置101は、コマンド生成部102と、データ制御部106および、それぞれのメモリデバイス0、1に個別に接続されているコマンド発行部104、10

5から構成されている。コマンド生成部102は、マスタ200からのメモリアクセスコマンド(メモリアクセス要求)に含まれる論理アドレスをメモリデバイス0、1毎の物理アドレスに変換する変換部103を備える。コマンド生成部102、コマンド発行部104および105の3つは、上記のコマンド制御手段として機能する。

- [0063] マスタ200からのメモリアクセスコマンドは、コマンドバスを介して、コマンド生成部102に入力される。ここで、メモリアクセスコマンドとは、データ転送の方向、転送サイズ、メモリのアクセス開始アドレス(論理アドレス)を示すデータを含む。
- [0064] マスタ200からメモリアクセスコマンドを受け取ったコマンド生成部102は、まず、受け取ったコマンドを、変換部103において論理アドレスからメモリデバイス0、1毎の物理アドレスに変換する。さらに、コマンド生成部102は、接続されているメモリデバイスの最小アクセス単位(本実施例では4Byte)のコマンドに分割する。その後、後述するメモリデバイスのアドレスマッピングに基づいて、個々のデバイスに対応したデバイス別アクセスコマンドを生成し、それぞれのコマンド発行部に、前記デバイス別アクセスコマンドを発行する。
- [0065] 各コマンド発行部と各メモリデバイスとは、それぞれ1対1で、メモリを制御するチップセレクト信号(CS)と、コマンド信号が接続されており、コマンド生成部102からの前記デバイス固有アクセスコマンドを受け取ったコマンド発行部は、接続されているメモリデバイスのタイミング仕様に応じて、発行可能なコマンドをメモリデバイスへ出力する。また、コマンド発行部は、上記タイミング仕様に基づいてメモリデバイスに発行したコマンドの発行順を示すコマンド発行順情報を、データ制御部106に通知する。
- [0066] 一方、マスタ200とメモリデバイス間のデータ転送は、マスタ200-データ制御部106間の8Byteのデータバスを通して転送される。ここで、データバスは、双方向バスとしてもよいし、書き込みデータ専用と読み出しデータ専用の2系統のバスとしてもよい。
- [0067] データ制御部106と各メモリデバイスとは、それぞれ専用の4Byteのデータバスが接続されている。データ制御部106では、マスタ200からのメモリデバイスへのデータ書き込み処理時には、マスタ200からの8Byte データを、前記コマンド発行部から受け取った前記コマンド発行順情報に基づいて、各メモリデバイスに接続される4Byte

のデータバスに分割し、転送を行う。また、メモリデバイスからのデータ読み出し処理時には、各メモリデバイスからの4Byte出力データを、前記コマンド発行部から受け取った前記コマンド発行順情報に基づいて、8Byteのデータにくみ上げた後、マスタ200に接続される8Byteデータバスに転送を行う。この制御により、メモリデバイスに発行したコマンドと、転送されるデータとの整合性をとる制御を行う。

[0068] 図2に、本実施形態1における、メモリデバイスのアドレスマッピングを示す。図2が示すように、マスタ200が指定する連続アドレスに対して、接続するメモリデバイスの最小アクセス単位(本実施例では4Byte)毎に、デバイスが切り替わるマッピングを行っている。ここで、マスタ200が指定する連続アドレスを、各デバイスの物理アドレス(Bank・Row・Column)に、どのようにマッピングするかは特定する必要はない。ただし、同じデバイス内において、アクセス効率の低下を招く同一BankのRowの切り替えを頻繁に発生させないという観点から、図2に示すように、マスタ200が指定する連続アドレスに対して、同一デバイス内では、同一Bankの同一Rowを順に割り当てていき、1つのRowの全領域をアクセスした時点で、異なるBankのRowに切り替わるというマッピングにすることが望ましい。

[0069] これまでに述べた本発明のメモリ制御装置101に接続されるマスタ200はメモリデバイスへ論理アドレス及び画像イメージアドレスの両方でアクセスが可能であり、コマンド生成部102では、受け取った論理アドレス及び画像イメージアドレスを含むコマンドをメモリデバイスの最小アクセス単位(本実施例では4Byte)のコマンドに分割し、図2に示すメモリデバイスのアドレスマッピングに基づいて、個々のデバイスに対応したデバイス別アクセスコマンドを生成する機能を備えている。

[0070] またコマンド生成部102は、前述のマスタ200から受け取るコマンドを分割、変換したときに、メモリデバイスが異なり、かつアドレスも異なる場合である時、メモリデバイス毎のコマンド発行部へ発行し、メモリデバイス毎に同時に異なるアドレスを発行してアクセスすることができる。更に、メモリデバイスが異なるが、アドレスが同じ場合である時、メモリデバイス毎のコマンド発行部へ発行し、メモリデバイス毎に同時に同じアドレスを発行してアクセスすることもできる。

[0071] 次に、コマンド生成部102における動作を説明する。図3は、コマンド生成部102に

おける、フローチャートを示した図である。図3に示すように、コマンド生成部102では、マスタ200から受け付けたコマンドの開始アドレスが、8Byte境界か、そうでないかにより処理が異なる。開始アドレスが8Byte境界の場合(開始アドレスが $8n$ Byte (n は整数)の場合)は、コマンド発行部104、105それぞれに、アドレス n へのアクセスコマンドを発行する。その後、 n を1ずつインクリメントしていき、マスタ200からの要求転送サイズを満たすまで上記処理を繰り返す。

[0072] 一方、開始アドレスが8Byte境界でない場合(開始アドレスが $8n+4$ Byte (n は整数)の場合)は、コマンド発行部104に、アドレス $n+1$ へのアクセスコマンドを、コマンド発行部105に、アドレス n へのアクセスコマンドをそれぞれ発行する。その後、 n を1ずつインクリメントしていき、マスタ200からの要求転送サイズを満たすまで上記処理を繰り返す。

[0073] ここで4Byte境界単位でメモリデバイスをメモリデバイス0とメモリデバイス1と特定する場合において、本発明のメモリ制御装置101を通じてメモリデバイスへ論理アドレス及び画像イメージアドレスの両方でアクセスができるマスタ200が発行するコマンドは、図2が示すアドレスマップに従って、コマンド生成部102で分割、変換され、1)メモリデバイス0からメモリデバイス1へ跨る場合はメモリデバイス間で同じアドレスであり、2)メモリデバイス1からメモリデバイス0へ跨る場合はメモリデバイス間で異なるアドレスになる。本実施形態1の発明では、このようにメモリデバイスにデータを格納し、読み出し可能な配置にすることにより2)の場合は同時に異なるアドレスを異なるメモリデバイス0及び1に発行でき、かつ1)の場合には同時に同じアドレスを異なるメモリデバイス0及び1に発行することができる。

[0074] 図4は、本実施形態1におけるメモリ制御装置101の動作タイミングの一例を示すタイミングチャートである。ここでは、 $t_{RCD} = 3$ サイクル、 $CL = 3$ サイクルのSDRAMを使用して、マスタ200から、[1]0 Byte アドレスからの16Byteデータの読み出しコマンドと、[2]28Byte アドレスからの16Byteデータの読み出しコマンドが連続して発行された場合のメモリデバイスへの制御信号と、マスタ200への読み出しデータバスの動作タイミングを示している。

[0075] 最初の0 Byte アドレスからの16Byteデータの読み出しコマンドに関しては、コマン

ド生成部102において、開始アドレスが8Byte 境界であること(8n Byteアドレス かつ $n = 0$)から、両コマンド発行部に対して、アドレス“0”へのアクセスコマンドを発行する。その後、要求転送サイズを満たしていないため、次サイクルには、両コマンド発行部に対して、アドレス“1”へのアクセスコマンドを発行して、最初のコマンドの処理を終了する。上記コマンドを受け取った、コマンド発行部104およびコマンド発行部105は、指定されたアドレスへアクセスするために、共に図4に示すように、t1 において、Bank 0/Row0 へのアクティベートコマンドを発行する。その後、tRCD を満たすよう t4 において、カラム0へのRead コマンドを、t5において、カラム1へのReadコマンドをそれぞれ発行すると同時に、データ制御部106に対して、発行したコマンドがマスタ200のアクセスコマンドの何番目のデータに対するコマンドであることを示すコマンド発行順情報0、1をそれぞれ出力する。メモリデバイスは、Read コマンド発行後、CL=3 後のt7からそれぞれ所望のリードデータを出力する。データ制御部106では、このデータを受けて、t4のサイクルで受け取ったコマンド発行順情報を元に、t8 のサイクルで、メモリデバイス0からの出力データ 4Byte を上位に、メモリデバイス1からの出力データ 4Byte を下位に割り当てた8Byte データをマスタ200へ転送する。同様の処理を、t9 においても行うことで、最初の16Byte リード処理を完了する。

[0076] 一方、後発の28Byte アドレスからの16Byteデータの読み出しコマンドに関しては、コマンド生成部102において、開始アドレスが8Byte 境界でないこと($8n + 4$ Byteアドレス かつ $n = 3$)から、コマンド発行部104に対して、アドレス“4”へのアクセスコマンドを、コマンド発行部105に対して、アドレス“3”へのアクセスコマンドを、それぞれ発行する。その後、要求転送サイズを満たしていないため、次サイクルには、コマンド発行部104に対して、アドレス“5”へのアクセスコマンドを、コマンド発行部105に対して、アドレス“4”へのアクセスコマンドを、それぞれ発行して、後発のコマンドの処理を終了する。上記コマンドを受け取った、コマンド発行部104およびコマンド発行部105は、共にt1 において、既にBank0/Row0 へのアクティベートコマンドが発行されていることから、最初のコマンドの発行が完了した次のサイクルであるt6において、コマンド発行部104はカラム4へのRead コマンドを、コマンド発行部105はカラム3へのRead コマンドを、またt7において、コマンド発行部104はカラム5へのRead コマンドを、

コマンド発行部105はカラム4へのRead コマンドをそれぞれ発行すると同時に、データ制御部106に対して、発行したコマンドがマスタ200のアクセスコマンドの何番目のデータに対するコマンドであるかを示すコマンド発行順情報0、1をそれぞれ出力する。メモリデバイスは、前記Read コマンド発行(t6)後、CL=3 後のt9からそれぞれ所望のリードデータを出力する。データ制御部106では、このデータを受けて、t6 のサイクルで受け取ったコマンド発行順情報を元に、t10 のサイクルで、メモリデバイス0からの出力データ 4Byte を下位に、メモリデバイス1からの出力データ4Byte を上位に割り当てた8Byte データをマスタ200へ転送する。同様の処理を、t7のサイクルで受け取ったコマンド情報を元にt11のサイクル においても行うことで、後発の16Byte リード処理を完了する。

[0077] 上記制御をおこなうことにより、マスタ200からのアクセス要求において、アクセス開始アドレスが、接続されるトータルデータバス幅の境界でなく、要求転送サイズがトータルデータバス幅を超えたアクセスである場合(本実施例では、データバス幅8Byte、アクセス開始アドレス24Byte目、要求転送サイズ16Byte)に、メモリデバイス0とメモリデバイス1に異なるアドレスで同時に独立してアクセスすることができるため、下記に示す従来システムに比べアクセス効率を向上することが出来る。

[0078] 上記までの本実施例1の効果を明確にするために、図32に示すような4Byteバスのメモリデバイス(SDRAM)を単純に並列接続して、論理上、8ByteバスのSDRAMとして接続した従来のシステム構成において、同様の転送を行った場合のタイミング図を図5に示す。ここでは、メモリデバイスに対する最小アクセス単位がバスと等価な8Byte単位となるため、最初の8Byte 境界からの16Byte 転送は、図5のt7、t8 の2サイクルでメモリデバイスからデータ取得可能であるが、後発の8Byte境界でないアドレスからの16Byte 転送は、図5のt9～t12の3サイクルで転送されているように、24Byteアドレスから48Byte アドレスまでのトータル24Byte転送が必要となるため、アクセス効率が低下する。

[0079] このように、本実施例においては、系統的に8Byte のSDRAMを接続したものと等価なメモリ帯域を利用できると同時に、アクセスアドレス境界を、使用する一つのメモリデバイスの最小アクセス単位(本実施例では4Byte単位)にまで落として、データ

転送制御を行うことが可能となるため、アクセス開始アドレスの粒度が小さいシステムにおいて、より効果的なメモリ帯域の利用が可能となる。

[0080] なお、本実施の形態におけるメモリ制御装置101は、図6に示すように構成してもよい。すなわち、図6のコマンド制御部107は、図1Aに示したコマンド生成部102、コマンド発行部104、105を合わせた機能と同じである。

[0081] なお、本実施例では、使用するメモリデバイスとして、4ByteバスのSDRAM2つを接続した場合を例として説明したが、使用するメモリデバイスのバス幅は任意のバス幅で実施可能であり、デバイスの数も任意の数で実施可能である。また、デバイスの種類もSDRAMに限らず、DDR、DDR2、Direct-Rambus（登録商標）DRAM、XDR、といった他のDRAMであっても、SRAM、フラッシュメモリといったDRAMでないメモリであっても、記憶媒体として使用できるメモリデバイスであれば同様に実施可能である。その際、前述した最小アクセス単位とは、一つのメモリデバイスのバス幅×最小バースト長で求まる値を指す。

[0082] また、図1Aで示したコマンド生成部102及び図6で示したコマンド制御部107は最小アクセス単位に基づくメモリマッピングに従って、マスタ200からのアクセスコマンドを最小アクセス単位に分割し、デバイスへコマンドを発行しアクセスするコマンド発行部へ結果を振り分ける機能を有している。

[0083] なお、本実施例では、コマンド発行部がデータ制御部106に発行するコマンド発行順情報を、マスタ200のアクセスコマンドのうち、何番目のデータに対するコマンドであるかを示す番号情報としているが、接続されるメモリデバイスのどちらが上位かを示す1ビットの情報として制御することも可能である。

[0084] メモリデバイスがDRAMでない場合、コマンド発行部はほとんど必要としない構成を採りうる。また、コマンド生成部102から直接データ制御部106へ、コマンド発行順制御情報を通知することも可能である。

[0085] また、図1Aのメモリ制御装置101は2つのメモリデバイス0、1を接続しているが、図1Bに示すようにm個のメモリを接続する構成としても良い。図1Bに示すメモリ制御装置は、図1Aと比較して、2個のメモリを接続する代わりにm個の第1～第mメモリを接続し、2つのコマンド発行部104、105の代わりにm個の第1～第mコマンド発行部

を備えている。第1～第mコマンド発行部は、第1～第mメモリに対応して設けられる。

[0086] 同様に、図6Aに示したメモリ制御装置も、図6Bに示すように、m個のメモリを接続する構成としてもよい。

[0087] (実施の形態2)

本実施の形態では、実施の形態1に比べてアドレスバスの配線面積を大幅に削減することにより回路の小型化を可能にし、かつ、さほど性能を劣化させないメモリ制御装置の構成について説明する。

[0088] 本実施の形態におけるコマンド制御部は、前記複数のメモリデバイスに共通のアドレスバスと、前記複数のメモリデバイスに個別のチップセレクト信号を介して前記複数のメモリデバイスに接続される。このコマンド制御部は、分割した複数のアクセスコマンドが同じ物理アドレスを示す場合、前記の個別のチップセレクト信号を同時に有効にすることによって、前記複数のメモリデバイスへ同じ物理アドレスを出力し、分割した複数のアクセスコマンドが異なる物理アドレスを示す場合、前記の個別のチップセレクト信号をタイミングをずらして有効にすることによって、前記複数のメモリデバイスへ異なる物理アドレスを出力する。このように、タイミング(例えば1サイクル)をずらすことにより、1サイクル遅延が発生するが、独立したアドレスバスを配線する必要がないので、アドレスバスの配線面積を大幅に削減することができる。

[0089] 図7は、本実施の形態におけるメモリ制御装置101aの一実施形態を示すブロック図である。ここでは、1つのマスタ200が、メモリ制御装置101aを介して2つの4Byteバスのメモリデバイス(SDRAM)に接続されているシステム形態を示している。メモリ制御装置101aは、コマンド生成部102と、データ制御部106および、メモリデバイスのCS信号のみが個別に接続され、その他のコマンド信号を共通に各メモリデバイスに接続しているコマンド発行部104aから構成されている。マスタ200からのメモリアクセスコマンドは、コマンドバスを介して、コマンド生成部102に入力される。ここで、メモリアクセスコマンドとは、データ転送の方向、転送サイズ、メモリアクセス開始アドレスを示すデータを含む。

[0090] マスタ200からメモリアクセスコマンドを受け取ったコマンド生成部102は、まず、受け取ったコマンドを、接続されているメモリデバイスの最小アクセス単位(本実施例で

は4Byte)のコマンドに分割する。その後、後述するメモリデバイスのアドレスマッピングに基づいて、個々のデバイスに対応したデバイス別アクセスコマンドを生成し、コマンド発行部104aに、前記デバイス別アクセスコマンドを発行する。

- [0091] コマンド発行部104aと各メモリデバイスとは、メモリを制御するチップセレクト信号(CS)が1対1で接続され、コマンド信号は共通で接続されている。
- [0092] コマンド生成部102からの前記デバイス固有アクセスコマンドを受け取ったコマンド発行部104aは、(状態1)受け取ったコマンドが各メモリデバイスで同じアドレス(Bank, Row, Col)である場合に個別に接続されているチップセレクト信号CSを同時に有効にしてメモリデバイスのタイミング仕様に依じて、発行可能なコマンドをメモリデバイスへ出力する。(状態2)受け取ったコマンドが各メモリデバイスで異なるアドレス(Bank, Row, Col)である場合には個別に接続されているCSを有効にするタイミングをずらして各メモリデバイスに応じたコマンドを各メモリデバイスへ出力する。また、コマンド発行部104aは、上記タイミング仕様に基づいてメモリデバイスに発行したコマンドの発行順を示すコマンド発行順情報を、データ制御部106に通知する。
- [0093] 一方、マスタ200とメモリデバイス間のデータ転送は、マスタ200—データ制御部106間の8Byteのデータバスを通して転送される。ここで、データバスは、双方向バスとしてもよいし、書き込みデータ専用と読み出しデータ専用の2系統のバスとしてもよい。
- [0094] データ制御部106と各メモリデバイスとは、それぞれ専用の4Byteのデータバスが接続されている。データ制御部106では、マスタ200からのメモリデバイスへのデータ書き込み処理時には、マスタ200からの8Byte データを、前述の(状態1)及び(2)の場合に応じて前記コマンド発行部から受け取った前記コマンド発行順情報に基づいて、各メモリデバイスに接続される4Byte のデータバスに分割し、転送を行う。また、メモリデバイスからのデータ読み出し処理時には、各メモリデバイスからの4Byte 出力データを、前述の(状態1)及び(2)の場合に応じて前記コマンド発行部から受け取った前記コマンド発行順情報に基づいて、8Byteのデータにくみ上げた後、マスタ200に接続される8Byteデータバスに転送を行う。この制御により、メモリデバイスに発行したコマンドと、転送されるデータとの整合性をとる制御を行う。

- [0095] 本実施の形態における、メモリデバイスのアドレスマッピングは実施の形態1に示す図2と共通であり、図2が示すように、マスタ200が指定する連続アドレスに対して、接続するメモリデバイスの最小アクセス単位(本実施例では4Byte)毎に、デバイスが切り替わるマッピングを行っている。ここで、マスタ200が指定する連続アドレスを、各デバイスの物理アドレス(Bank・Row・Column)に、どのようにマッピングするかは特定する必要はない。ただし、同じデバイス内において、アクセス効率の低下を招く同一BankのRowの切り替えを頻繁に発生させないという観点から、図2に示すように、マスタ200が指定する連続アドレスに対して、同一デバイス内では、同一Bankの同一Rowを順に割り当てていき、1つのRowの全領域をアクセスした時点で、異なるBankのRowに切り替わるというマッピングにすることが望ましい。
- [0096] 次に、コマンド生成部102における動作を説明する。図3は、コマンド生成部102における、フローチャートを示した図である。図3に示すように、コマンド生成部102では、マスタ200から受け付けたコマンドの開始アドレスが、8Byte境界か、そうでないかにより処理が異なる。開始アドレスが8Byte境界の場合(開始アドレスが $8n$ Byte (n は整数)の場合)は、メモリデバイス0およびメモリデバイス1を管理するコマンド発行部104a内のメモリデバイス0、メモリデバイス1を制御する部分それぞれが、アドレス n へのアクセスコマンドを発行する。その後、 n を1ずつインクリメントしていき、マスタ200からの要求転送サイズを満たすまで上記処理を繰り返す。
- [0097] 一方、開始アドレスが8Byte境界でない場合(開始アドレスが $8n+4$ Byte (n は整数)の場合)は、コマンド発行部104a内のメモリデバイス0を制御する部分に、アドレス $n+1$ へのアクセスコマンドを、コマンド発行部104a内のメモリデバイス1を制御する部分に、アドレス n へのアクセスコマンドをそれぞれ発行する。その後、 n を1ずつインクリメントしていき、マスタ200からの要求転送サイズを満たすまで上記処理を繰り返す。
- [0098] ここで、8Byte境界単位でメモリデバイスをメモリデバイス0とメモリデバイス1と特定する場合において、本発明のメモリ制御装置101aを通じてメモリデバイスへ論理アドレス及び画像イメージアドレスの両方でアクセスができるマスタ200が発行するコマンドは、図2が示すアドレスマップに従って、コマンド生成部102で分割、変換され、1)メモリデバイス0からメモリデバイス1へ跨る場合はメモリデバイス間で同じアドレスであ

り、2)メモリデバイス1からメモリデバイス0へ跨る場合はメモリデバイス上で異なるアドレスになる。本実施形態2の発明では、このようにメモリデバイスにデータを格納し、読み出し可能な配置にすることにより2)の場合はメモリデバイス0とメモリデバイス1に異なるアドレスをタイミングをずらして発行でき、1)の場合には同時に同じアドレスを異なるメモリデバイス0及び1に発行することができる。

[0099] 図8は、本実施の形態におけるメモリ制御装置101aの動作タイミングの一例を示すタイミングチャートである。ここでは、 $t_{RCD} = 3$ サイクル、 $CL = 3$ サイクルのSDRAMをバースト長2($BL=2$)の状態で使用して、マスタ200から、[1]0 Byte アドレスからの16Byte データの読み出しコマンドと、[2]28Byte アドレスからの16Byteデータの読み出しコマンドが連続して発行された場合のメモリデバイスへの制御信号と、マスタ200への読み出しデータバスの動作タイミングを示している。なお、実施の形態2の動作を明確に説明するために、共通のコマンドバスを実施の形態1と同じ形態で個別のコマンドバスとして図示している。

[0100] 最初の0 Byte アドレスからの16Byte データの読み出しコマンドに関しては、コマンド生成部102において、開始アドレスが8Byte 境界であること(8n Byteアドレスかつ $n = 0$)から、両コマンド発行部に対して、アドレス"0"へのアクセスコマンドを発行する。バースト長が2であるためこのコマンドで16Byteを転送するため処理を終了する。上記コマンドを受け取った、コマンド発行部104aは、指定されたアドレスへアクセスするために、図8に示すように、 t_1 において、Bank0/Row0 へのアクティベートコマンドを発行する。その後、 t_{RCD} を満たすよう t_4 において、カラム0へのRead コマンドを発行すると同時に、データ制御部106に対して、発行したコマンドがマスタ200のアクセスコマンドの何番目のデータに対するコマンドであるかを示すコマンド発行順情報0、1を出力する。メモリデバイスは、Read コマンド発行後、 $CL=3$ 後の t_7 からバースト数2の期間にそれぞれ所望のリードデータを出力する。データ制御部106では、このデータを受けて、 t_4 のサイクルで受け取ったコマンド発行順情報を元に、 t_8 のサイクルで、メモリデバイス0からの出力データ 4Byte を上位に、メモリデバイス1からの出力データ4Byte を下位に割り当てた8Byte データをマスタ200へ転送する。更にバーストの後半のデータで同様の処理を、 t_9 においても行うことで、最初の16Byte リード処

理を完了する。

[0101] 一方、後発の28Byte アドレスからの16Byteデータの読み出しコマンドに関しては、コマンド生成部102において、開始アドレスが8Byte 境界でないこと($8n + 4$ Byteアドレスかつ $n = 3$)から、コマンド発行部104a内のメモリデバイス0を制御する部分に対して、アドレス“4”でバースト長2のアクセスコマンドを、コマンド発行部104a内のメモリデバイス1を制御する部分に対して、アドレス“3”でバースト長2のアクセスコマンドを、それぞれ発行して後発のコマンドの処理を終了する。上記コマンドを受け取った、コマンド発行部104aは、t1 において、既にBank0/Row0 へのアクティベートコマンドが発行されていることから、最初のコマンドの発行が完了した次のサイクルであるt6 において、コマンド発行部104a内のメモリデバイス0を制御する部分ではカラム4へのバースト長2でRead コマンドを発行する。コマンド発行部104a内のメモリデバイス1を制御する部分はt6ではコマンドを発行せず、t7においてカラム3へのバースト長2でRead コマンドを発行する。t6、t7のコマンド発行部104aのコマンド発行と同時に、データ制御部106に対して、発行したコマンドがマスタ200のアクセスコマンドの何番目のデータに対するコマンドであるかを示すコマンド発行順情報0、1をそれぞれ出力する。メモリデバイス0は、前記Read コマンド発行 (t6) 後、CL=3 後のt9からバースト長2のリードデータを出力する。メモリデバイス1は、前記Read コマンド発行 (t7) 後、CL=3 後のt10からバースト長2のリードデータを出力する。データ制御部106では、このデータを受けて、t6 のサイクルで受け取ったコマンド発行順情報を元に、t10 のサイクルで、メモリデバイス0からの出力データ 4Byte を下位に、t11のサイクルで出力されるメモリデバイス1からのデータ4Byte を直接上位に割り当てた8Byte データをマスタ200へ転送する。バースト後半のデータ においても同様に行うことで、後発の16Byte リード処理を完了する。

[0102] 上記制御をおこなうことにより、マスタ200からのアクセス要求において、アクセス開始アドレスが、接続されるトータルデータバス幅の境界でなく、要求転送サイズがトータルデータバス幅を超えたアクセスである場合(本実施例では、データバス幅8Byte、アクセス開始アドレス24Byte目、要求転送サイズ16Byte)に、共通のコマンド線の接続でありながら、メモリデバイス0とメモリデバイス1に異なるアドレスをCSのタイミングを

ずらして独立してアクセスすることができるため、下記に示す従来システムに比べシステムLSIのPin数を増加させずにアクセス効率を向上することが出来る。

[0103] 上記までの本実施例2の効果を明確にするために、図33に示すような4Byteバスのメモリデバイス(SDRAM)を単純に並列接続して、論理上、8ByteバスのSDRAMとして接続した従来システム構成において、バースト長2で同様の転送を行った場合のタイミング図を図9に示す。ここでは、メモリデバイスに対する最小アクセス単位がバスと等価な8Byte単位となるため、最初の8Byte境界からの16Byte転送は、図9のt7、t8の2サイクルでメモリデバイスからデータ取得可能であるが、後発の8Byte境界でないアドレスからの16Byte転送は、1コマンド当り2バーストのデータ(16Byte)を転送するため図9のt9～t13の4サイクルで転送されているように、24Byteアドレスから56Byteアドレスまでのトータル32Byte転送が必要となるため、アクセス効率が大幅に低下する。

[0104] このように、本実施例2においては、バースト長が2以上で8ByteのSDRAMを接続したシステムにおいて、コマンド信号(アドレス線、row,col,we等)を各メモリデバイスで共通にし、CS信号のみ個別に各メモリデバイスと接続することができるため、システムLSIの外部端子を大幅に増やすことなく、8Byteバスと等価なメモリ帯域を利用できると同時に、アクセスアドレス境界を、使用する一つのメモリデバイスの最小アクセス単位(本実施例では8Byte単位)にまで落として、データ転送制御を行うことが可能となるため、アクセス開始アドレスの粒度が小さいシステムにおいて、より効果的なメモリ帯域の利用が可能となる。

[0105] 以上説明してきたように、本実施の形態におけるメモリ制御装置において、コマンド制御部は、複数のメモリデバイスに共通のアドレスバスと、複数のメモリデバイスに個別のチップセレクト信号とを介して複数のメモリデバイスに接続される。このコマンド制御部は、分割した複数のアクセスコマンドが同じ物理アドレスを示す場合に、個別のチップセレクト信号を同時に有効にすることによって、複数のメモリデバイスへ同じ物理アドレスを出力し、分割した複数のアクセスコマンドが異なる物理アドレスを示す場合に、個別のチップセレクト信号をタイミングをずらして有効にすることによって、前記複数のメモリデバイスへ異なる物理アドレスを出力する。データ制御部は、メモリアク

セス要求が書き込み要求である場合に、マスタからの書き込みデータを、複数のメモリデバイス毎のデータに分割して、アクセスコマンドのタイミングに従って各メモリデバイスへ出力し、メモリアクセス要求が読み出し要求である場合に、前記アクセスコマンドのタイミングに従って複数のメモリデバイスから読み出されたデータを組み合わせて、マスタへ出力する。

[0106] また、コマンド制御部は、コマンド生成部と、メモリデバイス毎に設けられたコマンド発行部とを備える。コマンド生成部は、メモリアクセス要求に含まれる論理アドレスをメモリデバイス毎の物理アドレスに変換し、メモリデバイス毎のアクセスコマンドに分割する。各コマンド発行部は、対応するメモリデバイスに、コマンド生成部からのアクセスコマンドを発行する。その際、コマンド生成部は、分割した複数のアクセスコマンドに対応する複数のメモリデバイスの物理アドレスが同じ場合に、複数のアクセスコマンドを複数のコマンド発行部に同じタイミングで出力し、分割した複数のアクセスコマンドに対応する前記複数のメモリデバイスの物理アドレスが異なる場合に、複数のアクセスコマンドを複数のコマンド発行部に異なるタイミングで出力する。

[0107] ここで、複数のメモリデバイスは、2つの第1、第2メモリデバイスである場合、コマンド制御部は、アクセス要求を第1アクセスコマンドと第2アクセスコマンドに変換する。第1および第2メモリデバイスは、アクセス要求が第1メモリデバイスのデータを先頭とし、当該データの先頭が第1および第2メモリデバイスのデータを含むデータバスのアライメントに一致する場合に、前記第1のアクセスコマンドに対応する物理アドレスと前記第2のアクセスコマンドに対応するアクセスコマンドの物理アドレスとが同じとなるように、データを格納し、前記アクセス要求が第2メモリデバイスのデータを先頭とし、当該データの先頭が第1および第2メモリデバイスのデータを含むデータバスのアライメントに一致しない場合に、前記第1のアクセスコマンドに対応する物理アドレスと前記第2のアクセスコマンドに対応するアクセスコマンドの物理アドレスとが異なるように、データを格納する。

[0108] ここで、コマンド制御部は、複数のアクセスコマンドに対応する前記複数のメモリデバイスの物理アドレスが異なる場合に、アドレスおよびチップセレクト信号の出力タイミングをメモリデバイス毎に遅らせることにより、複数メモリデバイスの同一のアドレスと

異なるアドレスを切り替える。

- [0109] これにより、メモリ帯域を広げ、かつ、最小アクセス単位を増加させずに、無効なデータ転送の増加を抑制することができる。
- [0110] なお、図10は、本実施の形態におけるメモリ制御装置の変形例を示す図である。同図のメモリ制御装置101cにおいて、前記コマンド制御手段は、前記複数のメモリデバイスに共通の第1アドレスバスと、前記複数のメモリデバイスに個別の第2アドレスバスと、前記複数のメモリデバイスに個別のチップセレクト信号を介して前記複数のメモリデバイスに接続され、前記第1アドレスバスと第2アドレスバスは、アドレスバスを構成する一部のアドレス信号線と他部のアドレス信号線である。
- [0111] これにより、アドレスバスは共通部分と独立部分とからなるので、全部を独立配線する場合と比べて、アドレスバスの配線面積を大幅に削減することができる。
- [0112] また、図34Aは本実施の形態におけるメモリ装置の変形例を示す図である。同図は図7と比べてメモリデバイス0およびメモリデバイス1の代わりにメモリ装置400を備える点が異なっている。メモリ装置400は、1チップLSIにパッケージ化されている。
- [0113] 図34Bは、メモリ装置400のより具体的な構成例を示す図である。同図のメモリ400は、メモリユニット411、412と、コマンドインターフェース412と、データインターフェース422とを備える。
- [0114] メモリユニット411は、例えば、メモリモジュール0～3から構成され、ロウアドレスおよびカラムアドレスによってアドレッシングされる通常のDRAMとしてアクセス制御されるメモリ単位を示している。メモリモジュール0～3は、通常のバンク0～3、または、ページ群0～3等である。メモリユニット412も同様である。
- [0115] コマンドインターフェース421は、外部のメモリ制御装置101aからアクセスコマンドを受信し、メモリユニット411、412に供給する。
- [0116] データバスは、2つのメモリユニット411、412と同数の部分的なバスにビット分割されている。
- [0117] データインターフェース422は、外部から供給される同期信号に従って、外部と前記メモリユニット411、412の各々との間でデータバスを介して独立にデータを入出力する。

- [0118] 前述した本発明の実施形態においては最小アクセス単位を小さくするために、同一の物理アドレスによる制御と異なる物理アドレスによる制御とを切り替えながら複数のメモリデバイスにアクセスしている。これに対して、図34Aでは、複数のメモリデバイスの代わりに、1パッケージ化されたメモリ装置400が備えられている。図34Aのメモリ装置400は、通常のDRAM(DDR、DDR2なども含む)のように制御可能なメモリユニットを基本単位とし、基本単位を複数個(図34Aでは2個)搭載し、1つあるいは複数(図34Aでは1個)にパッケージしたものであってもよい。更に、このようなメモリ装置400は前述のようにメモリユニットを複数個搭載し、前記メモリユニットの数と同数のCS信号(同図では、US信号)およびデータバスと1つの共通化されたコマンドバスを入出力にもつ構成としてもよい。
- [0119] また更に、図35Aは本実施の形態におけるメモリ装置の他の変形例を示す図である。図34Aと同様にメモリ装置400aはメモリユニットを複数個(図35Aでは2個)と、コマンドインターフェースと、データインターフェースとを搭載し、1つあるいは複数(図35Aでは1個)にパッケージされている。加えて、入力されるコマンドが各々のメモリユニットに対して有効か無効かを示すユニット情報(以下、ユニット番号と呼ぶ。)が入力されると、対応する各々のメモリユニットを選択する信号(本図ではUS0, 1)を出力するコマンド変換部401を有している。つまり、コマンド変換部401は、ユニット情報を前記複数のメモリユニット個別のセレクト信号に変換し、変換したセレクト信号を各メモリユニットに供給する。この構成を採用する場合には、図34Aで示すメモリデバイスの入出力の信号線数がメモリユニットの数だけ必要であったUS信号に代わり、ユニット番号を示す信号とすることでさらに削減する事ができるという効果があり、メモリ制御装置101aとメモリ装置400aとを接続するための配線面積は更に削減され回路の小型化が可能となる。
- [0120] 尚、ユニット番号は従来のDRAMバンクアドレスのような信号で代用しても良い。
- [0121] このようなメモリ装置400aは前述のようにメモリユニットを複数個と1つのコマンド変換部を搭載し、前記メモリユニットの数と同数のデータバスと1つの共通化されたユニット番号指示バスおよびコマンドバスを入出力にもつ構成となる。
- [0122] 前述した方法により、使用するメモリデバイスの数を1つに削減でき、実際のセット基

板における配線数及び基板の設計難易度を低く抑え、セットコストを大幅に低減することができるという効果がある。

[0123] 図35Bは、本実施の形態におけるメモリ装置のさらに他の変形例を示す図である。同図は、図35Aと比べて、1パッケージ化されたメモリ装置400aの代わりに2パッケージのメモリ装置400bを備える。記憶容量に関する第1の例では、2つのメモリ装置400bの記憶容量は、1つのメモリ装置400aの記憶容量に相当し、2つのメモリユニット411bの容量は、1つのメモリユニット411の容量に相当する。この場合、1つメモリ装置400aと、2つのメモリ装置400bは同じ記憶容量を有する。記憶容量に関する第2の例では、各メモリ装置400bの記憶容量は、1つのメモリ装置400aの記憶容量に相当し、各メモリユニット411bの容量は、1つのメモリユニット411の容量に相当する。この場合、2つのメモリ装置400bの記憶容量は、1つのメモリ装置400aの記憶容量の2倍になる。このように、メモリ制御装置101aは、複数パッケージの複数のメモリ装置400bを接続してもよい。

[0124] (実施の形態3)

実施形態1及び2のメモリ制御装置における効果を最大限に活かすための論理アドレス配置を以下に述べる。

[0125] 図11Aは、物理アドレスを論理アドレス空間にマッピングする基本単位となる単位領域を示す図である。同図では、図1B、図6Bのような、 m 個のメモリデバイス(ここでは、DRAM)をアクセスするメモリ制御装置を前提としている。図11AはDRAM上に配置されるメモリアドレス配置で、 N バイトの最小アクセス単位を持つDRAMの物理アドレス領域を論理アドレス方向に配置した図である。

[0126] 図11Aでは第1のメモリデバイス上にあるデータを($N \times$ 整数)バイト配置し、第2のメモリデバイス上にあるデータを($N \times$ 整数)バイト配置する。これを繰り返し、第 m のメモリデバイス上にあるデータの($N \times$ 整数)バイトを隣接して配置する。このように、上記隣接した($N \times$ 整数) $\times m$ バイトのデータ領域をひとつの単位(単位領域)とする。ここで、()内の整数は任意でよい。同図では、($N \times$ 整数)が($N \times 1$)、 N が4である場合を図示している。

[0127] 図11Bは前記単位領域を論理アドレス方向に並べた図である。各単位領域には、

第1～第mのメモリデバイスの互いに対応するm個の(N×整数)バイト領域が順に配置される。

[0128] このような配置とすることで、論理アドレス方向のデータ要求に対し、Nバイトのアドレスアライメントでアクセスでき、効率のいいアクセスが可能となる。

[0129] 図12では、前記単位領域内のそれぞれのメモリデバイス((N×整数)バイト領域)が同一のバンクアドレス、ロウアドレス、カラムアドレスを持つように配置している。

[0130] この場合、複数のメモリデバイスの各々は、Nバイトの最小アクセス単位を有し、論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、各単位領域は、第1～第mのメモリデバイスの互いに対応するm個の(N×整数)バイト領域が順に配置される。また、各単位領域において第1～第mのメモリデバイスの物理アドレスは共通でよい。

[0131] コマンド制御部は、アクセス要求が単位領域を越えないデータサイズのアクセス要求である場合、第1～第mのメモリデバイスのうち、当該アクセス要求に対応するメモリデバイスに同時にアクセスコマンドを発行する。

[0132] これにより、単位領域内へのアクセスでは、同一の物理アドレスとなり、特に実施の形態2においては、同一サイクルでアクセスをすることが可能となり、転送効率がさらに改善する。

[0133] 図13Aでは、隣接する前記単位領域間で使用するバンクアドレスをそれぞれ異なるように配置する。図13Bは図13Aのように隣接する前記単位領域のバンクアドレスをそれぞれ異なるようにj個のバンクアドレスを配置し、j+1個目からは前記単位領域とは異なるカラムアドレスを割当て前記同様j個の前記単位領域を並べる。以上を1回以上繰り返し同一ロウアドレス構成の論理アドレス空間を構成する。前記のように同一ロウアドレスから構成された有限の論理アドレス空間を単一行領域とし、ロウアドレスを変更した前記単一行領域を繰り返し並べることで論理アドレス空間を構築する。

[0134] この場合、第1～第mのメモリデバイスの各々はi個のバンクを有する。論理アドレス空間には、p個の第1～第pの前記単位領域が繰り返し配置される。第1～第pの単位領域は、共通のロウアドレスを有し、また異なるカラムアドレスを有する。第1～第pの

単位領域の各々において前記 m 個の($N \times$ 整数)バイト領域は、バンクアドレスが共通であり、前記第1～第 p の単位領域は、互いにバンクアドレスが異なっている。

[0135] 第1～第 p の単位領域が繰り返し配置される論理アドレス空間において、隣接する前記単位領域は異なるバンクアドレスを有する。コマンド制御部は、バンクインタリーブにより隣接する前記単位領域にアクセスするように前記アクセスコマンドを発行する。

[0136] これにより、隣接する単位領域へ連続してアクセスする場合において、メモリデバイスへのアクセスにおいてバンクインタリーブが可能になる。

[0137] 以上のように、論理アドレス方向に前記単位領域を配置することで、実施の形態1および2において、ひとつのメモリデバイスのアクセス最小単位である N バイトのアラインでのアクセスが可能となり、単位領域内へのアクセスでは、同一の物理アドレスであるため、同一サイクルでアクセスをすることができ、さらに隣接する単位領域へ連続してアクセスする場合において、バンクインタリーブが可能になり転送効率が改善できる。加えて、実施の形態2のメモリ制御装置の場合には、メモリデバイス0とメモリデバイス1へのアドレスを共通化することが可能となる。

[0138] 具体的に前記メモリデバイスが2つである場合を用いてその効果を説明する。

[0139] 図14では、実施形態1及び2のメモリ制御装置におけるDRAMの物理アドレスメモリ($(N \times$ 整数)バイト領域)を論理アドレス方向に配置した図である。

[0140] ここでは第1のメモリデバイス上にあるデータを($N \times$ 整数)バイト配置し、第2のメモリデバイス上にあるデータを($N \times$ 整数)バイト配置したデータ列を隣接して配置する。このように、上記隣接した $(N+N) \times$ 整数バイトのデータ領域をひとつの単位(単位領域)とする。

[0141] 図15では、DRAM上にフレームバッファ領域を設けた場合に、前記単位領域を、水平方向に $A1$ 個および垂直方向に $A2$ 個隣接して配置する。

[0142] この場合、複数のメモリデバイスの各々は、 N バイトの最小アクセス単位を有し、前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有する。

[0143] 各単位領域には、前記複数のメモリデバイスの互いに対応する複数の($N \times$ 整数)

バイト領域が順に配置される。前記画像の水平アドレスに対応してA個(同図ではA1個)の単位領域が隣接して配置され、垂直アドレスに対応してB個(同図ではA2個)の単位領域が配置される。

[0144] 図16では、単位領域内における異なるメモリデバイスで、同一のバンクアドレス、ロウアドレス、カラムアドレスを持つ。

[0145] 図17では、単位領域内において異なるメモリデバイス(N×整数)バイト領域が同一のバンクアドレスB、ロウアドレスR、カラムアドレスCを持つように配置している。すなわち、各単位領域内における複数の(N×整数)バイト領域は、バンクアドレス、ロウアドレスおよびカラムアドレスが共通である。

[0146] 図17では、フレームバッファにおける水平方向に隣接する単位領域間で使用するバンクをそれぞれ異なるバンクアドレスB1、B2となるように配置する。すなわち、前記フレームバッファの水平方向または垂直方向に隣接する前記単位領域は異なるバンクアドレスを有する。コマンド制御部は、バンクインタリーブにより隣接する前記単位領域にアクセスするように前記アクセスコマンドを発行する。

[0147] 以上のように、フレームバッファにおける水平方向および垂直方向に前記単位領域を配置することで、実施の形態1および2において、ひとつのメモリデバイスのアクセス最小単位であるNバイトのアラインでのアクセスが可能となり、単位領域内へのアクセスでは、同一の物理アドレスであるため、同一サイクルでアクセスをすることができ、さらに隣接する単位領域へ連続してアクセスする場合において、バンクインタリーブが可能になり転送効率が改善できる。加えて、実施の形態2のメモリ制御装置の場合には、メモリデバイス0とメモリデバイス1へのアドレスを共通化することが可能となる。

[0148] 例えば、第1のメモリデバイスへのアクセスと、第2のメモリデバイスへのアクセスを行う際、同一単位領域のデータが必要な場合には、同一のバンクアドレス、ロウアドレス、カラムアドレスによりアクセスすることができる。また、異なる単位領域のデータへアクセスする場合でも、バンクアドレスB1とバンクアドレスB2とが異なる場合にはバンクアドレスのみ別のアドレスとし、ロウアドレスおよびカラムアドレスは同一のアドレスとしてアクセスすることも可能である。この場合、実施の形態1のメモリ制御装置では、単一サイクルでのアクセスが可能であり、実施の形態2のメモリ制御装置では、メモリデ

バイス間でコマンドを遅らせてアクセスすることにより、転送効率を改善することができる。

[0149] 上記に説明した論理アドレス配置を実施形態1および実施形態2のメモリ制御装置に採用することにより、実効転送効率を改善すると共に、メモリデバイス特有(特にDRAM)に発生するアクセスオーバーヘッドを改善することもでき、メモリシステムで使用するトータルバンド幅を削減できる。

[0150] (実施の形態4)

本実施の形態では、実施の形態1および実施の形態2において説明したメモリ制御装置101および101aが、2つのメモリデバイス0およびメモリデバイス1をフレームバッファとして使用する場合に、画像中の矩形データをアクセスする方法について説明する。

[0151] 本実施の形態におけるメモリ制御装置101および101aにある変換部103は、論理アドレスとして画像の画素位置を示す二次元アドレス(X、Y)を、メモリデバイス0およびメモリデバイス1の物理アドレスに変換するとしてもよい。また変換部103へ要求するデータは、二次元の矩形データサイズ(Vバイト、Wバイト)をもつ矩形アクセスとしてもよい。

[0152] 以下では、 $2 \times N$ バイトのアクセスを例として説明する。

[0153] 図18は、本実施の形態におけるメモリ制御方法のフローチャート図である。図1A、図1B、図6および図7に示したメモリ制御装置101および101aにおいて、第一のステップ01では、メモリ制御装置101および101aに対してメモリ上に配置されたフレームバッファへ矩形アクセス要求を行い、第二のステップ02では、前記要求された矩形アクセスが同一単位領域内のアクセスであるかを識別し、第三のステップ03では、前記矩形アクセスが同一単位領域内のアクセスである場合にはコマンド発行部104、105および107、104aからメモリデバイス0用CSとメモリデバイス1用CSとアクセスするアドレスを同時に出力する。それに対して異なる単位領域へまたがるアクセスの場合には、第四のステップ04となり、コマンド発行部104および107、104aからメモリデバイス0用CSとメモリデバイス0に対応したアドレスを出力し、第五のステップ05では、コマンド発行部105および107、104aからメモリデバイス1用CSとメモリデバイス1に対

応したアドレスを出力する。第六のステップ06では、メモリに対しての書き込みであるか読み出しであるかを識別し、第七のステップ07では、メモリへの書き込みの場合にはメモリデバイス0およびメモリデバイス1に対してデータ転送を行い、第八のステップ08では、メモリからの読み出しである場合にはメモリデバイス0およびメモリデバイス1からデータを取得する。

[0154] 図19は、メモリ上にフレームバッファを配置した場合における、メモリバンクの論理アドレス配置の一例を示している。一般的には、フレームバッファは複数の矩形領域(ブロック)の集合体として構成される。各ブロックは同一バンクアドレスの同一ロウアドレスで構成する。左右および上下に隣り合うブロックは、異なるバンクアドレスで構成されたブロックで配置を行う。これにより、横方向および縦方向に対して連続してアクセスする場合に、バンクインタリーブ制御を行いアクセスオーバーヘッドの隠蔽が可能になる。

[0155] 図20は、図19で示す前記ブロック内におけるメモリのカラムアドレスの配置の一例を示しており、前記単位領域を水平方向に1つ、垂直方向に12つ並べたブロックを示している。

[0156] 図21は、図20の構成に加え同じメモリデバイスの(N×整数)バイト領域が縦に並ぶように配置しているブロックを示している。この配置は次の構成により実現される。すなわち、複数のメモリデバイスは画像を記憶するフレームバッファとして用いられ、複数のメモリデバイスの各々は、Nバイトの最小アクセス単位を有する。複数のメモリデバイスの論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有する。各単位領域には、複数のメモリデバイスの互いに対応する複数の(N×整数)バイト領域が順に配置される。

[0157] また、上記のフレームバッファは複数の矩形領域から構成される。矩形領域は、水平アドレスに対応してE個(同図では2個)の単位領域が隣接して配置され、垂直アドレスに対応してF個(同図では12個)の単位領域が配置される。

[0158] ここで、各矩形領域内の複数の単位領域は、共通のバンクアドレスおよび共通のロウアドレスを有し、左右に隣接する2つの前記矩形領域は、異なるバンクアドレスを有している。

- [0159] また、上下に隣接する2つの矩形領域は、任意のバンクアドレスおよび異なるロウアドレスを有してよい。各単位領域には、複数のメモリデバイスの互いに対応する複数の(N×整数)バイト領域が、複数のメモリデバイスの並びに対応する順に配置される。
- [0160] この構成により、図21に示すように、同じメモリデバイスの(N×整数)バイト領域が縦方向に並ぶように配置される。
- [0161] 図22は、図21で構成されたフレームバッファへの矩形アクセス要求に対応する矩形データ例を示す。
- [0162] 図23は、実施の形態2のメモリ制御装置の場合における、図22の矩形アクセス要求による動作を示すタイミングチャート図である。
- [0163] 図22の矩形データでは、メモリデバイス0への物理アドレスと、メモリデバイス1への物理アドレスとが異なる(バンクアドレスが異なっている)ので、図23のように個別のチップセレクト信号タイミングをずらしている。メモリデバイスへ異なる物理アドレスを出力する。メモリデバイス0とメモリデバイス1は1サイクルずれてアクセスされることになる。
- [0164] 図24は、図21で構成されたフレームバッファへの他の矩形アクセス要求に対応する矩形データ例を示す。
- [0165] 図25は、実施の形態2のメモリ制御装置の場合における、図24の矩形アクセス要求による動作を示すタイミングチャート図である。
- [0166] 図24では、コマンド制御部は矩形アクセス要求を単位領域とメモリデバイス境界を用いて判別し、転送方法を決定している。この場合、まずブロック8～ブロック11、ブロック4～ブロック7を転送し、次に、矩形データがバンク境界からはみ出した部分(ブロック0～ブロック3、ブロック12～ブロック15)を転送する。これにより、単位領域ごとに転送していた従来に比べ効率よく転送することができる。
- [0167] なお、図21では、前記ブロック内は同じバンクアドレス内の連続するカラムアドレスを縦方向に並ぶような配置を示したが、同じバンクアドレス内のカラムアドレスの連続性は問わない。なお、ブロック内において縦方向に連続するカラムアドレスを配置、またはフレーム領域内の水平方向にある同一バンクのブロックに連続したカラムアドレ

スを配置することで、アクセスアドレスの計算が容易になるメリットが発生する。

[0168] 次に、他の論理アドレス配置としてメモリデバイス0とメモリデバイス1の(N×整数)バイト領域を市松模様に配置する例について説明する。この場合、次のように構成すればよい。すなわち、1行以上連続するG行からなる第1の小矩形領域における各単位領域は、前記複数の(N×整数)バイト領域が、前記複数のメモリデバイスの並びに対応する順に配置される。また、隣接する1行以上連続するH行からなる第2の小矩形領域における各単位領域には、複数の(N×整数)バイト領域が、第1の小矩形領域と異なる順に配置される。

[0169] この第1小矩形領域と第2小矩形領域の関係が矩形領域内において繰り返されるようにすればよい。

[0170] 本発明においては、2つのメモリに異なるチップセレクト信号CSを接続することにより独立にアドレス制御を行うことができるため、図26のように、単位領域へのアクセスではメモリデバイス0とメモリデバイス1とに分けて個別に取得できるように配置できる。1行ごとにメモリデバイス0とメモリデバイス1との配置位置を交互に振り分けることで、単位領域を縦方向にまたがるアクセスをした場合にも、メモリデバイス0とメモリデバイス1とを個別に取得できるように配置できる。

[0171] 図27は、図21の例における論理アドレス配置において、横方向は2つのバンクにまたがり、かつ縦方向に4行分の矩形データを取得する場合に、必要なデータ部分とメモリに対して実際に転送されるデータとを示したものである。その場合に、実際に転送されるデータは必要なデータに加えて無駄な転送が発生し、結果として転送効率が悪くなる。そこで本発明においては、図28のように、必要なデータに対して実際に転送されるデータを少なくすることができる。

[0172] 図29は、図21の例における論理アドレス配置において、図27の矩形データを取得する場合のタイミングチャートである。

[0173] 図30は、図26の例における論理アドレス配置において、図28の矩形データを取得する場合のタイミングチャートである。

[0174] 図28では、コマンド制御部は矩形アクセス要求を単位領域とメモリデバイス境界を用いて判別し、転送方法を決定している。この場合、まずブロック0～ブロック3、ブロ

ック8～ブロック11を転送し、次に、矩形データがバンク境界からはみ出した部分(ブロック4～ブロック7)を転送する。これにより、単位領域ごとに転送していた従来に比べ効率よく転送することができる。

- [0175] なお、前記フレームバッファに対してアクセスを行う場合には、前記フレームバッファの水平方向に前記メモリデバイス単位のアクセスアライメントでアクセスし、前記フレームバッファの垂直方向にライン単位のアクセスアライメントでアクセスすることができる。
- [0176] なお、本発明においては、フレームバッファ上のメモリデバイスの配置がメモリデバイス0とメモリデバイス1とで交互になっているため、データ制御部において配置を入れ替えることも可能である。さらに、CSを使用して独立にアクセスした場合には、データの転送タイミングメモリデバイス0とメモリデバイス1とで異なるため、データ制御部においてメモリデバイス0とメモリデバイス1とのタイミングのずれを調整し、マスタの要求したデータ配列、例えば同時タイミングのデータ配列に整列したり、シリアライズしたデータへと整列することも可能である。それにより、メモリデバイスに対して矩形アクセスを要求してくる側に対して、従来と同様のデータアクセスを実現することも可能である。
- [0177] なお、ここでは2つのメモリを使用した場合について記述しているが、2つ以上のメモリを使用した場合でも同様の制御を行ってもよい。また、共通のアドレスバスを使用しているが、全ビットを共通にする必要はなく一部のアドレスバスでもよいし、アドレス信号だけでなく他の制御信号も共通に使用してもよい。
- [0178] なお、異なるバンクアドレスで、同一ロウアドレスを持つ複数の前記ブロックを組み合わせた単一行矩形領域を構成して配置して、単一行矩形領域内で同一バンクアドレスを持つ複数の前記矩形領域にまたがるアクセスにおいて、同一バンクアドレスで同一ロウアドレスを連続してアクセスしてもよいし、バースト的にアクセスしてもよい。このようなアクセスをすることで、転送効率を向上させることも可能である。
- [0179] なお、この構成によれば、前記フレームバッファに対してアクセスを行う場合には、前記フレームバッファの水平方向に前記メモリデバイス単位のアクセスアライメントでアクセスし、前記フレームバッファの垂直方向にライン単位のアクセスアライメントでア

クセスすることができる。

[0180] なお、図19においてメモリバンクの配置を2つのバンクで構成しているが、2つ以上のバンクを使用した場合でも同様である。また、図26においてカラムアドレスを上から下へと連続アドレスとしているが、連続アドレスである必要はなく、下から上への連続でもよいし、一定の周期的なアドレスでもよいし、任意のアドレス順序でもよい。また、バンク内における各メモリのデータ配置も1行ごとに入れ替えているが、2行ごとに入れ替えてもよいし、2行以上でもよい。また横方向に同一のカラムアドレスを配置しているが、縦方向に同一のカラムアドレスを配置してもよい。また、図28における必要なデータは一例であり、要求により任意の位置から任意の大きさに対してアクセスが可能である。よって同一バンク内の矩形データであったり、2つ以上のバンクにまたがる矩形データであってもよい。

[0181] また、図30においてアクセス順序を記述しているが、これに限ったものではなく、任意の順序でもよい。例えば、バンク1からアクセスをしてもよいし、矩形データの下側から取得を行ってもよい。

[0182] なお、図21では、同じメモリデバイスの(N×整数)バイト領域が縦方向に並ぶように配置する例を示したが、横方向に並ぶように配置してもよい。この場合、次のように構成すればよい。すなわち、各矩形領域内の複数の単位領域は、任意の単一な前記メモリデバイスで構成され、共通のバンクアドレスを有する。ここで、左右に隣接する2つの矩形領域は、異なるカラムアドレスを有する。上下に隣接する2つの前記矩形領域は、異なるメモリデバイスの単位領域で構成され、任意のバンクアドレスおよびカラムアドレスが異なる。

[0183] 各単位領域には、複数のメモリデバイスの互いに対応する複数の(N×整数)バイト領域が、複数のメモリデバイスの並びに対応する順に配置される。

[0184] 以上のように、本実施の形態4では、複数のメモリを共通バスで制御する場合に、チップセレクト信号CSを独立に制御し、なおかつフレームバッファ上におけるデータの配置を各メモリに割り振り、横方向のデータを同一アドレスの異なるメモリに配置し、縦方向をも異なるメモリに配置することで、小さな矩形データへのアクセスにおいて実際に転送するデータ量を削減することができ、転送効率の向上を実現することができ

る。

[0185] (実施の形態5)

図36は、本実施の形態におけるメモリ制御装置およびメモリ装置の構成を示すブロック図である。図36のメモリ制御装置は、図1のメモリ制御装置と比較して、コマンド発行部が2個からm個に拡張されている点と、コマンド変換部108が追加されている点が異なる。図36のメモリ装置400cは、図34Aのメモリ装置400と比較して、メモリユニットが2個からm個に拡張されている点と、コマンド変換部441が追加されている点が異なる。

[0186] コマンド変換部108は、多重化手段として機能する。すなわち、コマンド変換部108は、メモリ装置400cに供給される同期信号の1サイクル期間内に、m個のコマンド発行部から発行されるコマンド1からコマンドmまでのm個のアクセスコマンドを時分割多重化し、時分割多重されたアクセスコマンドをメモリ装置400cに出力する。ここで、多重化の対象となるアクセスコマンド(コマンド1からコマンドm)は、具体的には、ロウアドレスを含むm個の活性化コマンド、およびカラムアドレスを含むm個の読み出しまたは書き込みコマンドである。

[0187] コマンド変換部441は、逆多重化手段として機能する。すなわち、メモリ制御装置からコマンドインターフェースを介して受信した、時分割多重されたアクセスコマンドをm個のアクセスコマンドに逆多重化し(つまり分離し)、アクセスコマンド1からmを対応するメモリユニット1からmに出力する。

[0188] ここでは、マスタ200が、メモリ制御装置101を介してV Byte幅のデータバスを持つメモリデバイスに接続されているシステム形態を示している。同図では、マスタ200は1つしか図示していないが、複数のマスタが接続されていてももちろんよい。ここで前記V Byte幅のデータバスを持つメモリ装置400cはメモリユニットとよばれるモジュールをm個有し、加えてその各々のメモリユニットに対してインターフェース仕様に応じたコマンドを同時に出力できる機能を有したコマンド変換部441を含む。コマンド変換部441はメモリ装置400cに与えられる外部クロックの規定サイクル内にm個のコマンドを受け取り、前記m個のメモリユニットに対して同時にコマンド発行できるコマンド変換機能も有している。これによれば、パッケージ化されたメモリ装置へのアクセスコ

マンド供給を高速化することが可能になり、その結果、パッケージのピン数およびパッケージへの配線数を低減することができる。前記m個のユニットメモリのデータバスは前記V Byte幅のデータバスをm分割した各々と接続されている。尚、メモリユニットは通常のDRAMのバンクが1つ以上複数に集合したものであっても良く、メモリの種別は問わず、広く記憶素子とする。

[0189] 本実施の形態におけるメモリ制御装置は、マスタから発行された前記メモリアクセス要求を、後述するメモリユニット毎のアクセスコマンドに分割し、前記複数のメモリユニットにアクセスコマンドを発行するコマンド制御手段(コマンド生成部および第1～第mコマンド発行部)と、前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリデバイス毎のデータに分割して各メモリデバイスへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリデバイスからの読み出しデータを組み合わせて、前記マスタへ出力するデータ制御手段とを有している。ここで、コマンド制御手段は、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが同じ場合と異なる場合とで、複数のメモリユニットへ同じ物理アドレスを出力する制御と、異なる物理アドレスを出力する制御とを切り替える。

[0190] これにより、メモリ帯域を広げ、かつ、最小アクセス単位を増加させずに、無効なデータ転送の増加を抑制するという効果がある。すなわち、メモリ帯域は(1つのメモリユニットのバス幅)×(メモリユニットの個数)に拡大され、しかも、マスタからアクセス可能な最小アクセス単位は1つのメモリユニットの最小のアクセス単位とすることができる。ここで、最小アクセス単位とは、一つのメモリユニットのバス幅×最小バースト長で求まる値を指す。図36では、一つのメモリデバイスのバス幅がVByte、最小バースト長が1であるものとする。

[0191] また図36においてメモリ制御装置101は、コマンド生成部102と、データ制御部106とコマンド変換部108、及びメモリ装置400cにコマンド変換部441を介して接続されているm個のコマンド発行部から構成されている。ここでm個のコマンド発行部とコマンド変換部108は一体であってもよい。コマンド生成部102は、マスタ200からのメモリアクセスコマンド(メモリアクセス要求)に含まれる論理アドレスをメモリユニット1か

らm毎の物理アドレスに変換する変換部103を備える。コマンド生成部102、m個のコマンド発行部およびコマンド変換部108は、上記のコマンド制御手段として機能する。

- [0192] マスタ200からのメモリアクセスコマンドは、コマンドバスを介して、コマンド生成部102に入力される。ここで、メモリアクセスコマンドとは、データ転送の方向、転送サイズ、メモリのアクセス開始アドレス(論理アドレス)を示すデータを含む。
- [0193] マスタ200からメモリアクセスコマンドを受け取ったコマンド生成部102は、まず、受け取ったコマンドを、変換部103において論理アドレスからメモリユニット0からm毎の物理アドレスに変換する。さらに、コマンド生成部102は、接続されているメモリユニットの最小アクセス単位のコマンドに分割する。その後、個々のメモリユニットに対応したユニット別アクセスコマンドを生成し、それぞれのコマンド発行部に、前記ユニット別アクセスコマンドを発行する。
- [0194] 各コマンド発行部と各メモリユニットとは、それぞれ1対1で、メモリを制御するチップセレクト信号(CS)と、コマンド信号が対応付けられるが、その際、メモリ制御装置内のコマンド変換部108で時間多重され、規定サイクル内(ここでは1外部クロックサイクル)に、メモリ装置400cのタイミング仕様に依じて、発行可能なコマンドをメモリデバイスへ出力する。この前記多重化されたコマンドをメモリ装置400c内のコマンド変換部441で逆多重化し、それぞれ対応するコマンドを各メモリユニットへ出力する。また、コマンド発行部は、上記タイミング仕様に基づいてメモリデバイスに発行したコマンドの発行順を示すコマンド発行順情報を、データ制御部106に通知する。
- [0195] 一方、マスタ200とメモリ装置400c間のデータ転送は、マスタ200とデータ制御部106間のVByteのデータバスを通して転送される。ここで、データバスは、双方向バスとしてもよいし、書き込みデータ専用と読み出しデータ専用の2系統のバスとしてもよい。
- [0196] データ制御部106と各メモリデバイスとはVByteのデータバスが接続されている。データ制御部106では、マスタ200からのメモリデバイスへのデータ書き込み処理時には、マスタ200からのVByte データを、前記コマンド発行部から受け取った前記コマンド発行順情報に基づいて、各メモリユニットに接続されるV/mByte のデータバ

スに分割し、転送を行う。また、メモリデバイスからのデータ読み出し処理時には、各メモリユニットからのV/mByte 出力データを、前記コマンド発行部から受け取った前記コマンド発行順情報に基づいて、VByteのデータにくみ上げた後、マスタ200に接続されるVByteデータバスに転送を行う。この制御により、メモリデバイスに発行したコマンドと、転送されるデータとの整合性をとる制御を行う。

ここでマスタ200とデータ制御部とを繋ぐデータバスの幅はVByteに限らずシステム成立の要件によって決まる幅でよい。

[0197] これまでに述べた本発明のメモリ制御装置101に接続されるマスタ200およびコマンド生成部102は実施の形態1と同様の機能を有している。またコマンド生成部102は、前述のマスタ200から受け取るコマンドを分割、変換したときに、メモリユニットが異なり、かつアドレスも異なる場合である時、メモリユニット毎のコマンド発行部へ発行し、メモリユニット毎に同時に異なるアドレスを発行してアクセスすることができる。更に、メモリユニットが異なるが、アドレスが同じ場合である時、メモリユニット毎のコマンド発行部へ発行し、メモリユニット毎に同時に同じアドレスを発行してアクセスすることもできる。

[0198] 次に、コマンド生成部102における動作を説明する。図3は、コマンド生成部102における、フローチャートを示した図である。図3に示すように、コマンド生成部102では、マスタ200から受け付けたコマンドの開始アドレスが、8Byte境界か、そうでないかにより処理が異なる。開始アドレスが8Byte 境界の場合(開始アドレスが $8n$ Byte (n は整数)の場合)は、コマンド発行部0、1それぞれに、アドレス n へのアクセスコマンドを発行する。その後、 n を1ずつインクリメントしていき、マスタ200からの要求転送サイズを満たすまで上記処理を繰り返す。

[0199] 一方、開始アドレスが8Byte 境界でない場合(開始アドレスが $8n+4$ Byte (n は整数)の場合)は、コマンド発行部0に、アドレス $n+1$ へのアクセスコマンドを、コマンド発行部1に、アドレス n へのアクセスコマンドをそれぞれ発行する。その後、 n を1ずつインクリメントしていき、マスタ200からの要求転送サイズを満たすまで上記処理を繰り返す。

[0200] ここで4Byte境界単位でメモリデバイスをメモリユニット1とメモリユニット2と特定する

場合において、本発明のメモリ制御装置101を通じてメモリデバイスへ論理アドレス及び画像イメージアドレスの両方でアクセスができるマスタ200が発行するコマンドは、図2が示すアドレスマップに従って、コマンド生成部102で分割、変換され、1)メモリデバイス0からメモリデバイス1へ跨る場合はメモリデバイス間で同じアドレスであり、2)メモリユニット1からメモリユニット2へ跨る場合はメモリユニット間で異なるアドレスになる。本実施形態1の発明では、このようにメモリユニットにデータを格納し、読み出し可能な配置にすることにより2)の場合は同時に異なるアドレスを異なるメモリユニット1及び2に発行でき、かつ1)の場合には同時に同じアドレスを異なるメモリユニット1及び2に発行することができる。

[0201] 図37は、本実施形態5におけるメモリ制御装置101とメモリ装置400cの動作タイミングの一例を示すタイミングチャートである。ここでは、 $t_{RCD} = 3$ サイクル、 $CL = 3$ サイクルのSDRAMと同等の動作をするメモリユニット m 個を使用して、マスタ200から、 $V \times 4$ Byte データの読み出しコマンドが発行された場合のメモリデバイスへの制御信号と、マスタ200への読み出しデータバスの動作タイミングを示している。

[0202] コマンド生成部102において生成されたアクセスコマンドは m 個のコマンド発行部の各々において各メモリユニットのコマンドへ分解された後、メモリ制御装置101内のコマンド変換部108にて時間多重され1クロックサイクル中に m 個のコマンドとしてメモリ装置400cに発行される。多重化された m 個のコマンドはメモリ装置400c内のコマンド変換部441で各々該当するメモリユニットへのコマンドとCS信号に分解され各メモリユニットへ発行される。以上のようなコマンド転送をメモリ制御装置101とメモリ装置400cのインターフェースで示した図が図37である。最初にメモリユニット1から m のそれぞれ独立したアクティベートコマンドを時間多重し、メモリ装置400cに対して1サイクルの間に発行する。その後、 t_{RCD} を満たすよう3クロックサイクルにおいて、ユニットメモリ1から m のそれぞれ独立したRead コマンドを時間多重し発行する。メモリ装置400c内の1から m のメモリユニットのそれぞれは、Read コマンド受信後、 $CL=3$ 後からそれぞれ所望のリードデータを自らのデータバスに出力する。

[0203] 上記制御をおこなうことにより、マスタ200からのアクセス要求において、アクセス開始アドレスが、接続されるトータルデータバス幅の境界でなく、要求転送サイズがトー

タルデータバス幅を超えたアクセスである場合に、メモリユニットごとに異なるアドレスで同時に独立してアクセスすることができるため、下記に示す従来システムに比べアクセス効率を向上することが出来る。

- [0204] このように、本実施例においては、系統的に同一のVByteのSDRAMを接続したものと等価なメモリ帯域を利用できると同時に、アクセスアドレス境界を、使用する一つのメモリデバイスの最小アクセス単位(本実施例では4Byte単位)にまで落として、データ転送制御を行うことが可能となるため、アクセス開始アドレスの粒度が小さいシステムにおいて、より効果的なメモリ帯域の利用が可能となる。
- [0205] さらに、一つのメモリデバイスに対してm個のコマンドを時間多重して転送する構成であるため、CS信号線およびコマンド(アドレスも含む)バスが一つのメモリユニット分で済むため、全部を独立配線する場合と比べて、コマンドバスの配線面積を大幅に削減することができる。
- [0206] なお、本実施例では、使用するメモリデバイスとして、V ByteバスのSDRAMの機能と同等のメモリユニットm個を接続した場合を例として説明したがデバイスの種類もSDRAMに限らず、DDR、DDR2、Direct-Rambus DRAM、XDR、といった他のDRAMであっても、SRAM、フラッシュメモリといったDRAMでないメモリであっても、記憶媒体として使用できるメモリデバイスであれば同様に実施可能である。その際、前述した最小アクセス単位とは、一つのメモリデバイスのバス幅×最小バースト長で求まる値を指す。
- [0207] また、図36で示したコマンド生成部102及びコマンド制御部107は最小アクセス単位に基づくメモリマッピングに従って、マスタ200からのアクセスコマンドを最小アクセス単位に分割し、デバイスへコマンドを発行しアクセスするコマンド発行部へ結果を振り分ける機能を有している。
- [0208] なお、本実施例では、コマンド発行部がデータ制御部106に発行するコマンド発行順情報を、マスタ200のアクセスコマンドのうち、何番目のデータに対するコマンドであるかを示す番号情報としているが、接続されるメモリデバイスのどちらが上位かを示す1ビットの情報として制御することも可能である。
- [0209] メモリデバイスがDRAMでない場合、コマンド発行部はほとんど必要としない構成

を採りうる。また、コマンド生成部102から直接データ制御部106へ、コマンド発行順制御情報を通知することも可能である。

- [0210] なお、図36において、コマンドだけでなくデータをも多重化するようにメモリ制御装置およびメモリ装置を構成してもよい。その場合、メモリ制御装置は、メモリ装置に送信すべきデータ1からデータmを1サイクル期間に時分割多重化するデータ多重化部と、メモリ装置から受信される多重化されたデータをデータ1からデータmに逆多重化するデータ逆多重化部と備え、かつ、メモリ装置は、メモリ制御装置に送信すべきデータ1からデータmを1サイクル期間に時分割多重化するデータ多重化部と、メモリ制御装置から受信される多重化されたデータをデータ1からデータmに逆多重化するデータ逆多重化部と備えるようにすればよい。
- [0211] また、上記多重化部は、メモリユニットに供給される同期信号の1サイクル期間内にm個のアクセスコマンドを時分割多重化しているが、この代わりに、1サイクル期間内に少なくとも2つのアクセスコマンドを時分割多重化することにより、複数サイクル期間でm個のアクセスコマンドを多重化するようにしてもよい。データが多重化される場合も同様にしてよい。
- [0212] なお、上記各実施の形態に示したブロック図の各機能ブロックおよびフローチャートの各モジュールは典型的には集積回路装置であるLSIとして実現される。このLSIは1チップ化されても良いし、複数チップ化されても良い。例えば、メモリ以外の機能ブロックが1チップ化されていても良い。ここでは、LSIとしたが、集積度の違いにより、IC、システムLSI、スーパーLSI、ウルトラLSIと呼称されることもある。
- [0213] 集積回路化の手法はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後に、プログラムすることが可能なFPGA (Field Programmable Gate Array) や、LSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用しても良い。
- [0214] さらに、半導体技術の進歩又は派生する別技術によりLSIに置き換わる集積回路化の技術が登場すれば、当然、その技術を用いて機能ブロックの集積化を行ってもよい。バイオ技術の適応等が可能性としてありえる。
- [0215] また、各機能ブロックのうち、データを格納するユニットだけ1チップ化せずに、記録

媒体やDRAMなど別構成としても良い。

産業上の利用可能性

[0216] 本発明にかかる、実転送効率向上を図るメモリ制御装置及び制御方式は、画像やAudioに代表されるコーデック及びCPU等のようなマスターデバイスと、DRAM等のようなメモリとの間において生じるデータ転送を仲介するメモリ制御装置101に利用することができる。具体的には、画像処理制御を行うシステムにおけるメモリ制御回路として有用である。また、これらはテレビやビデオ、レコーダ、カメラなどの画像処理システムや、パソコンなどにおける画像処理システムに適している。

請求の範囲

- [1] メモリアクセス要求を発行するマスタと複数のメモリユニットとに接続され、メモリユニットのアクセスを制御するメモリ制御装置であって、
- 前記マスタから発行された前記メモリアクセス要求を、メモリユニット毎のアクセスコマンドに分割し、前記複数のメモリユニットにアクセスコマンドを発行するコマンド制御手段と、
- 前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリユニットからの読み出しデータを組み合わせて、前記マスタへ出力するデータ制御手段とを有し、
- 前記コマンド制御手段は、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが同じ場合と異なる場合とで、複数のメモリユニットへ同じ物理アドレスを出力する制御と、異なる物理アドレスを出力する制御とを切り替えることを特徴とするメモリ制御装置。
- [2] 前記コマンド制御手段は、前記複数のメモリユニットに共通のアドレスバスと、前記複数のメモリユニットに個別のチップセレクト信号とを介して前記複数のメモリユニットに接続され、
- 前記コマンド制御手段は、
- 分割した複数のアクセスコマンドが同じ物理アドレスを示す場合に、前記個別のチップセレクト信号を同時に有効にすることによって、前記複数のメモリユニットへ同じ物理アドレスを出力し、
- 分割した複数のアクセスコマンドが異なる物理アドレスを示す場合に、前記個別のチップセレクト信号をタイミングをずらして有効にすることによって、前記複数のメモリユニットへ異なる物理アドレスを出力し、
- 前記データ制御手段は、前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して、前記アクセスコマンドのタイミングに従って各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記アクセスコマンドのタイミングに従って前記複

数のメモリユニットから読み出されたデータを組み合わせて、前記マスタへ出力することを特徴とする請求項1記載のメモリ制御装置。

- [3] 前記コマンド制御手段は、コマンド生成部と、メモリユニット毎に設けられたコマンド発行部とを備え、
- 前記コマンド生成部は、前記メモリアクセス要求に含まれる論理アドレスをメモリユニット毎の物理アドレスに変換し、メモリユニット毎のアクセスコマンドに分割し、
- 前記各コマンド発行部は、対応するメモリユニットに、前記コマンド生成部からのアクセスコマンドを発行し、
- 前記コマンド生成部は、複数のアクセスコマンドを複数のコマンド発行部に同時に出力する

ことを特徴とする請求項1または2記載のメモリ制御装置。

- [4] 前記コマンド制御手段は、コマンド生成部と、メモリユニット毎に設けられたコマンド発行部とを備え、
- 前記コマンド生成部は、前記メモリアクセス要求に含まれる論理アドレスをメモリユニット毎の物理アドレスに変換し、メモリユニット毎のアクセスコマンドに分割し、
- 前記各コマンド発行部は、対応するメモリユニットに、前記コマンド生成部からのアクセスコマンドを発行し、
- 前記コマンド生成部は、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが同じ場合に、複数のアクセスコマンドを複数のコマンド発行部に同じタイミングで出力し、
- 分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが異なる場合に、複数のアクセスコマンドを複数のコマンド発行部に異なるタイミングで出力する

ことを特徴とする請求項1または2記載のメモリ制御装置。

- [5] 前記複数のメモリユニットは、2つの第1、第2メモリユニットであり、
- 前記コマンド制御手段は、前記アクセス要求を第1アクセスコマンドと第2アクセスコマンドに変換し、
- 第1および第2メモリユニットは、

前記アクセス要求が第1メモリユニットのデータを先頭とし、当該データの先頭が第1および第2メモリユニットのデータを含むデータバスのアライメントに一致する場合には、前記第1のアクセスコマンドに対応する物理アドレスと前記第2のアクセスコマンドに対応するアクセスコマンドの物理アドレスとが同じとなるように、データを格納し、

前記アクセス要求が第2メモリユニットのデータを先頭とし、当該データの先頭が第1および第2メモリユニットのデータを含むデータバスのアライメントに一致しない場合には、前記第1のアクセスコマンドに対応する物理アドレスと前記第2のアクセスコマンドに対応するアクセスコマンドの物理アドレスとが異なるように、データを格納する

ことを特徴とする請求項3または4記載のメモリ制御装置。

- [6] 前記コマンド制御手段は、複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが異なる場合に、アドレスおよびチップセレクト信号の出力タイミングをメモリユニット毎に遅らせることにより、複数メモリユニットの同一のアドレスと異なるアドレスを切り替える

ことを特徴とする請求項2記載のメモリ制御装置。

- [7] 前記複数のメモリユニットは第1～第mのメモリユニットであり、
前記複数のメモリユニットの各々は、Nバイトの最小アクセス単位を有し、
前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、

各単位領域は、第1～第mのメモリユニットの互いに対応するm個の(N×整数)バイト領域が順に配置される

ことを特徴とする請求項1または2記載のメモリ制御装置。

- [8] 各単位領域において第1～第mのメモリユニットの物理アドレスは共通であり、
前記コマンド制御手段は、

前記アクセス要求が前記単位領域を越えないデータサイズのアクセス要求である場合、前記第1～第mのメモリユニットのうち、当該アクセス要求に対応するメモリユニットに同時にアクセスコマンドを発行する

ことを特徴とする請求項7記載のメモリ制御装置。

- [9] 前記第1～第mのメモリユニットの各々はi個のバンクを有し、

前記論理アドレス空間は、 p 個の第1～第 p の前記単位領域が繰り返し配置され、
前記第1～第 p の単位領域は、共通のロウアドレスを有し、異なるカラムアドレスを有し、

前記第1～第 p の単位領域の各々において前記 m 個の($N \times$ 整数)バイト領域は、
バンクアドレスが共通であり、

前記第1～第 p の単位領域は、互いにバンクアドレスが異なる
ことを特徴とする請求項8記載のメモリ制御装置。

- [10] 前記 p 個の第1～第 p の前記単位領域が繰り返し配置される論理アドレス空間において、隣接する前記単位領域は異なるバンクアドレスを有し、
前記コマンド制御手段は、バンクインタリーブにより隣接する前記単位領域にアクセスするように前記アクセスコマンドを発行することを特徴とする請求項9記載のメモリ制御装置。

- [11] 前記複数のメモリユニットは画像を記憶するフレームバッファとして用いられ、
前記複数のメモリユニットの各々は、 N バイトの最小アクセス単位を有し、
前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、
各単位領域には、前記複数のメモリユニットの互いに対応する複数の($N \times$ 整数)バイト領域が順に配置され、
前記画像の水平アドレスに対応して A 個の単位領域が隣接して配置され、垂直アドレスに対応して B 個の単位領域が配置される
ことを特徴とする請求項1または2記載のメモリ制御装置。

- [12] 前記各単位領域内における複数の($N \times$ 整数)バイト領域は、バンクアドレス、ロウアドレスおよびカラムアドレスが共通である
ことを特徴とする請求項11記載のメモリ制御装置。

- [13] 前記フレームバッファの水平方向または垂直方向に隣接する前記単位領域は異なるバンクアドレスを有し、
前記コマンド制御手段は、バンクインタリーブにより隣接する前記単位領域にアクセスするように前記アクセスコマンドを発行する

- ことを特徴とする請求項10記載のメモリ制御装置。
- [14] 前記mは2であることを特徴とする請求項7から10の何れかに記載のメモリ制御装置。
- [15] 前記mは2であり、
前記2つのメモリユニットは画像を記憶するフレームバッファとして用いられ、
前記2つのメモリユニットの各々は、Nバイトの最小アクセス単位を有し、
各単位領域には、前記2つのメモリユニットの互いに対応する2つの(N×整数)バイト領域が交互に配置され、
前記画像の水平アドレスに対応してA個の単位領域が隣接して配置され、垂直アドレスに対応してB個の単位領域が配置され、
前記マスタからのアクセス要求は、水平アドレスと、行単位の垂直アドレスとを含むことを特徴とする請求項7から10の何れかに記載のメモリ制御装置。
- [16] 前記コマンド制御手段は、前記複数のメモリユニットに共通の第1アドレスバスと、前記複数のメモリユニットに個別の第2アドレスバスと、前記複数のメモリユニットに個別のチップセレクト信号を介して前記複数のメモリユニットに接続され、
前記第1アドレスバスと第2アドレスバスは、アドレスバスを構成する一部のアドレス信号線と他部のアドレス信号線である
ことを特徴とする請求項1記載のメモリ制御装置。
- [17] 前記コマンド制御手段は、
分割した複数のアクセスコマンドが同じ物理アドレスを示す場合に、前記の個別のチップセレクト信号と第1および第2アドレスバスとを同時に有効にすることによって、前記複数のメモリユニットへ同じ物理アドレスを出力し、
分割した複数のアクセスコマンドが異なる物理アドレスを示す場合でかつ第1アドレスバスが異なる物理アドレスを示す場合、前記の個別のチップセレクト信号および第1、第2アドレスバスを共に出力するタイミングをずらして有効にすることによって、前記複数のメモリユニットへ異なる物理アドレスを出力し、
分割した複数のアクセスコマンドが異なる物理アドレスを示す場合でかつ第2アドレスバスが異なる物理アドレスを示す場合、前記の個別のチップセレクト信号および第

1及び第2アドレスバスを同時に有効にすることによって、前記複数のメモリユニットへ異なる物理アドレスを出力する

ことを特徴とする請求項16記載のメモリ制御装置。

- [18] 前記複数のメモリユニットは画像を記憶するフレームバッファとして用いられ、前記複数のメモリユニットの各々は、Nバイトの最小アクセス単位を有し、前記論理アドレス空間は、繰り返し配置される単位領域に沿って連続する論理アドレスを有し、

各単位領域には、前記複数のメモリユニットの互いに対応する複数の(N×整数)バイト領域が順に配置され、

前記フレームバッファは複数の矩形領域から構成され、

前記矩形領域は、水平アドレスに対応してE個の単位領域が隣接して配置され、垂直アドレスに対応してF個の単位領域が配置される

ことを特徴とする請求項1または2記載のメモリ制御装置。

- [19] 前記各矩形領域内の複数の前記単位領域は、共通のバンクアドレスおよび共通のロウアドレスを有し、

左右に隣接する2つの前記矩形領域は、異なるバンクアドレスを有し、

上下に隣接する2つの前記矩形領域は、任意のバンクアドレスおよび異なるロウアドレスを有する

ことを特徴とする請求項18記載のメモリ制御装置。

- [20] 各単位領域には、前記複数のメモリユニットの互いに対応する複数の(N×整数)バイト領域が、前記複数のメモリユニットの並びに対応する順に配置される

ことを特徴とする請求項19記載のメモリ制御装置。

- [21] 前記各矩形領域内の複数の前記単位領域は、任意の単一な前記メモリユニットで構成され、共通のバンクアドレスを有し、

左右に隣接する2つの前記矩形領域は、異なるカラムアドレスを有し、

上下に隣接する2つの前記矩形領域は、異なるメモリユニットの単位領域で構成され、任意のバンクアドレスおよびカラムアドレスが異なることを特徴とする請求項18記載のメモリ制御装置。

- [22] 各单位領域には、前記複数のメモリユニットの互いに対応する複数の(N×整数)バイト領域が、前記複数のメモリユニットの並びに対応する順に配置されることを特徴とする請求項21記載のメモリ制御装置。
- [23] 1行以上連続するG行からなる第1の小矩形領域における各单位領域は、前記複数の(N×整数)バイト領域が、前記複数のメモリユニットの並びに対応する順に配置され、
隣接する1行以上連続するH行からなる第2の小矩形領域における各单位領域には、前記複数の(N×整数)バイト領域が、前記第1の小矩形領域と異なる順に配置され、
前記第1小矩形領域と前記第2小矩形領域の関係が前記矩形領域内において繰り返されることを特徴とする請求項19または21記載のメモリ制御装置。
- [24] メモリアクセス要求を発行するマスタと複数のメモリユニットとに接続され、メモリユニットのアクセスを制御するメモリ制御方法であって、
前記マスタから発行された前記メモリアクセス要求を、メモリユニット毎のアクセスコマンドに分割し、前記複数のメモリユニットにアクセスコマンドを発行するステップと、
前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリユニットからの読み出しデータを組み合わせて、前記マスタへ出力するステップと
を有し、
前記アクセスコマンドを発行するステップにおいて、分割した複数のアクセスコマンドに対応する前記複数のメモリユニットの物理アドレスが同じ場合と異なる場合とで、複数のメモリユニットへ同じ物理アドレスを出力する制御と、異なる物理アドレスを出力する制御とを切り替える
ことを特徴とするメモリ制御方法。
- [25] 請求項1記載のメモリ制御装置を備えることを特徴とする半導体装置。
- [26] 1パッケージ化されたメモリ装置であって、

複数のメモリユニットと、
外部から、アクセスコマンドを受信し、前記複数のメモリユニットに供給するコマンド
インターフェースと、
前記複数のメモリユニットと同数の部分的なバスにビット分割されたデータバスと、
外部から供給される同期信号に従って、外部と前記複数のメモリユニットの各々との
間で前記データバスを介して独立にデータを入出力するデータインターフェースと
を備えることを特徴とするメモリ装置。

[27] 前記コマンドインターフェースは、時分割多重化された複数のアクセスコマンドを前
記同期信号の1サイクル期間に受信し、

前記メモリ装置は、さらに、
前記コマンドインターフェースによって受信された、時分割多重されたアクセスコマ
ンドを逆多重化し、アクセスコマンドを対応するメモリユニットに分配する逆多重化部
を備える

ことを特徴とする請求項26記載のメモリ装置。

[28] 前記コマンドインターフェースは、前記複数のメモリユニット個別に有効または無効
にする複数のセレクト信号を受信し、受信したセレクト信号を対応するメモリユニットに
供給する

ことを特徴とする請求項26記載のメモリ装置。

[29] 前記コマンドインターフェースは、前記複数のメモリユニット毎に有効か無効かを示
すユニット情報を受信し、

前記メモリ装置は、さらに、
前記ユニット情報を前記複数のメモリユニット個別のセレクト信号に変換し、変換し
たセレクト信号を各メモリユニットに供給する変換手段を有する

ことを特徴とする請求項26記載のメモリ装置。

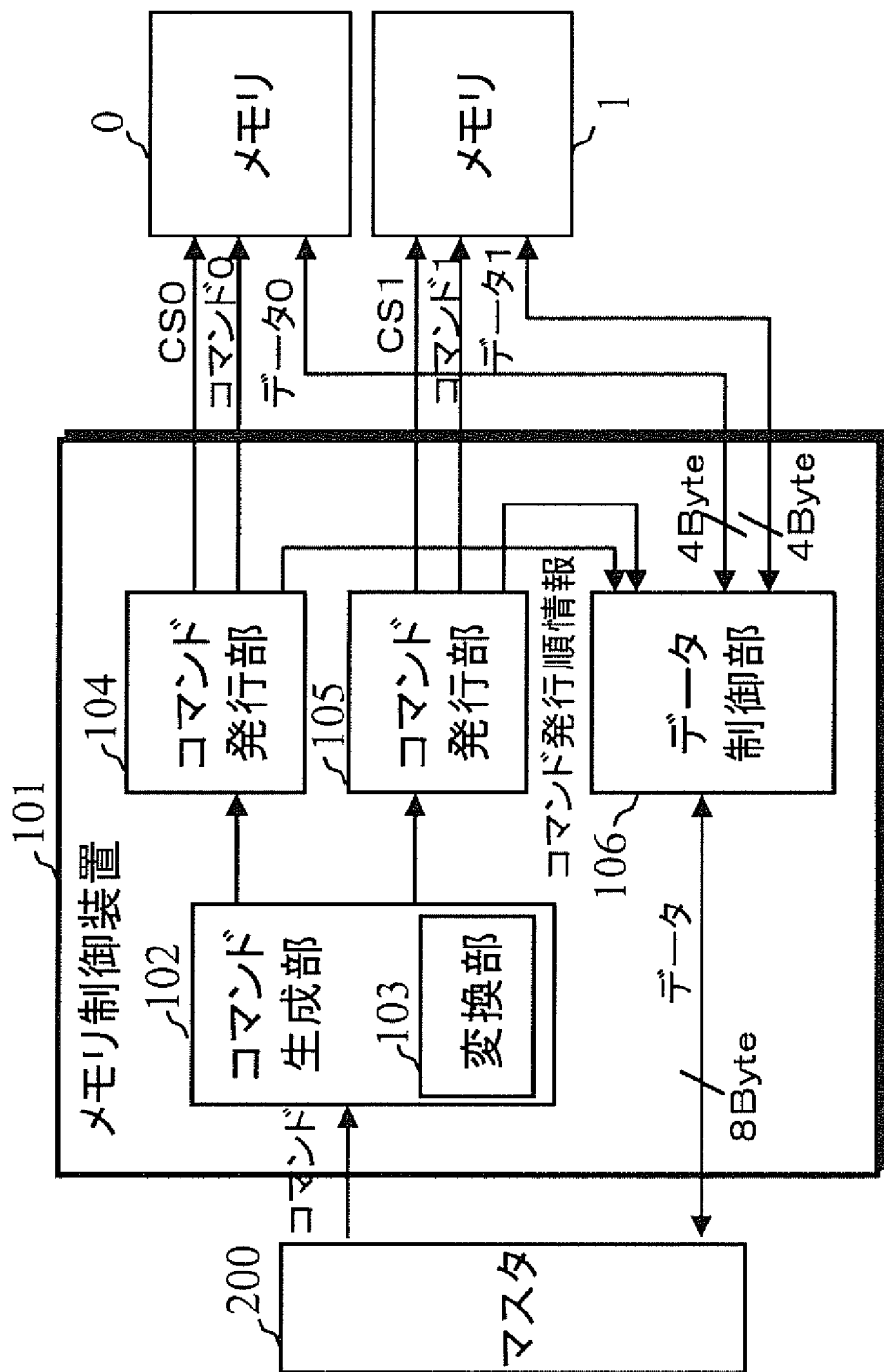
[30] メモリアクセス要求を発行するマスタと、複数のメモリユニットとに接続され、メモリユ
ニットのアクセスを制御するメモリ制御装置であって、

前記マスタから発行された前記メモリアクセス要求を、メモリユニット毎のアクセスコ
マンドに分割するコマンド制御手段と、

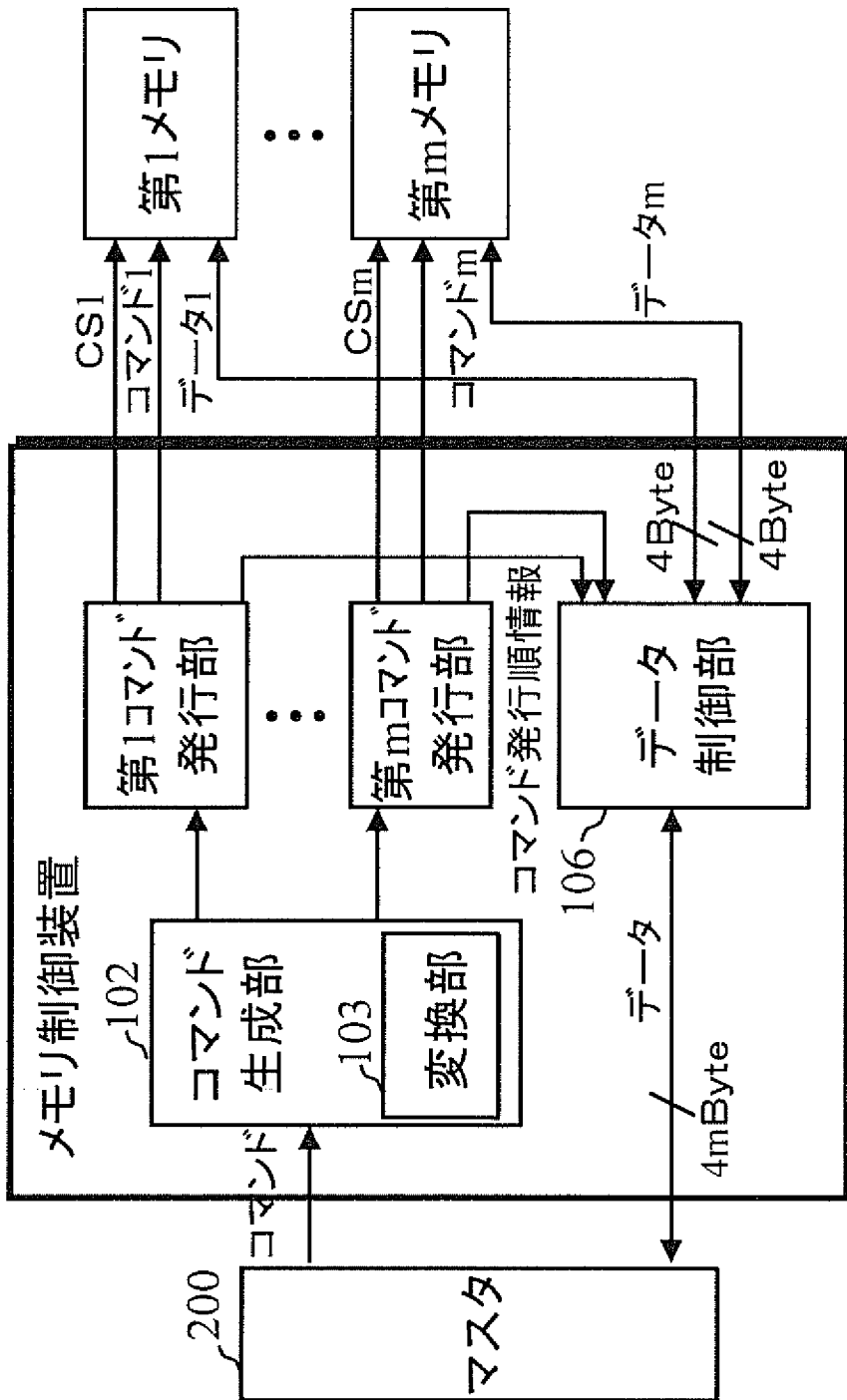
前記複数のメモリユニットに供給される同期信号の1サイクル期間内に複数のアクセスコマンドを時分割多重化し、時分割多重されたアクセスコマンドを発行する多重化手段と、

前記複数のメモリユニットと同数の部分的なバスにビット分割されたデータバスと、
前記メモリアクセス要求が書き込み要求である場合に、マスタからの書き込みデータを、前記複数のメモリユニット毎のデータに分割して各メモリユニットへ出力し、前記メモリアクセス要求が読み出し要求である場合に、前記複数のメモリユニットからの読み出しデータを組み合わせて、前記マスタへ出力するデータ制御手段と
を有することを特徴とするメモリ制御装置。

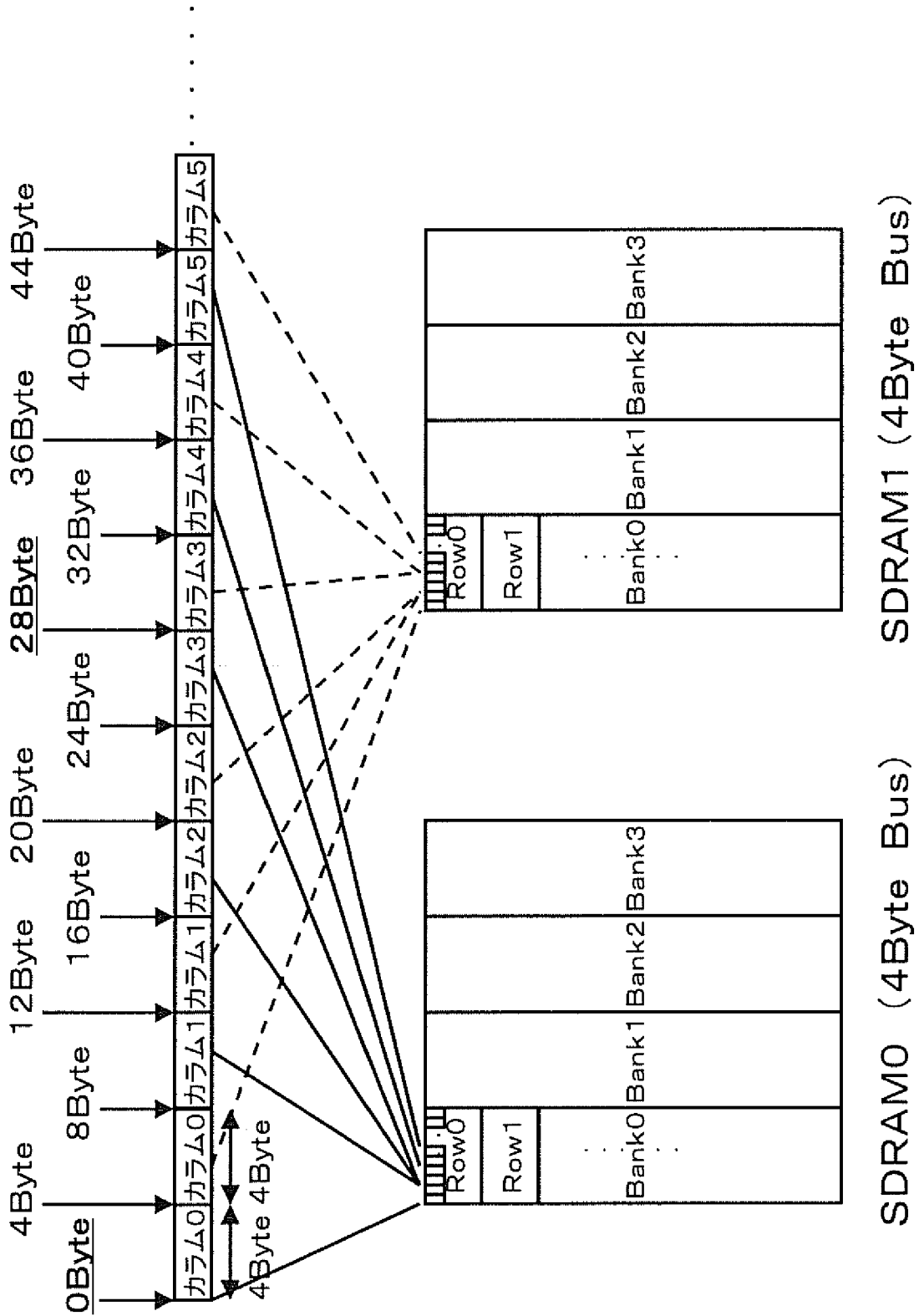
[図1A]



[図1B]

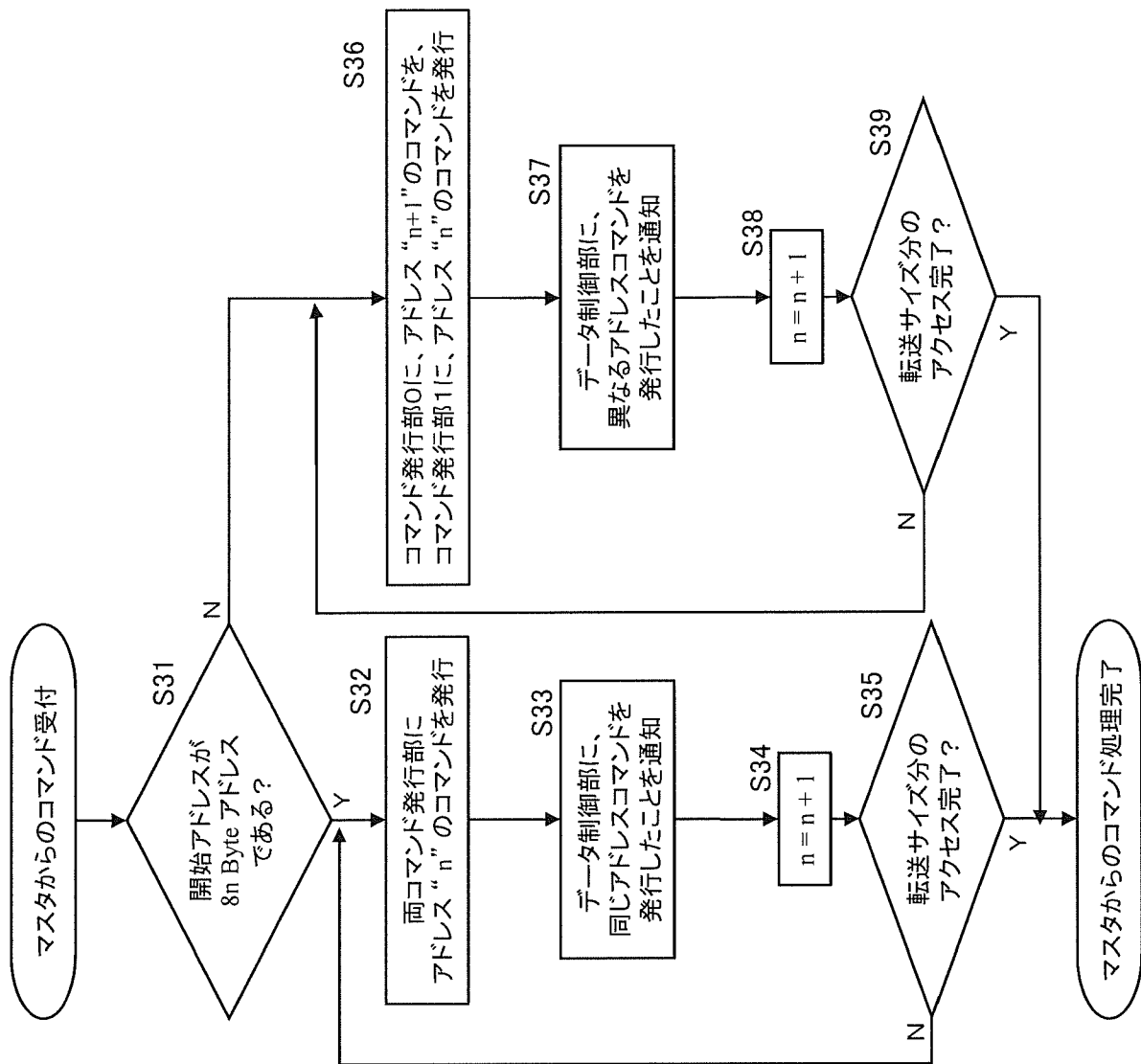


[図2]

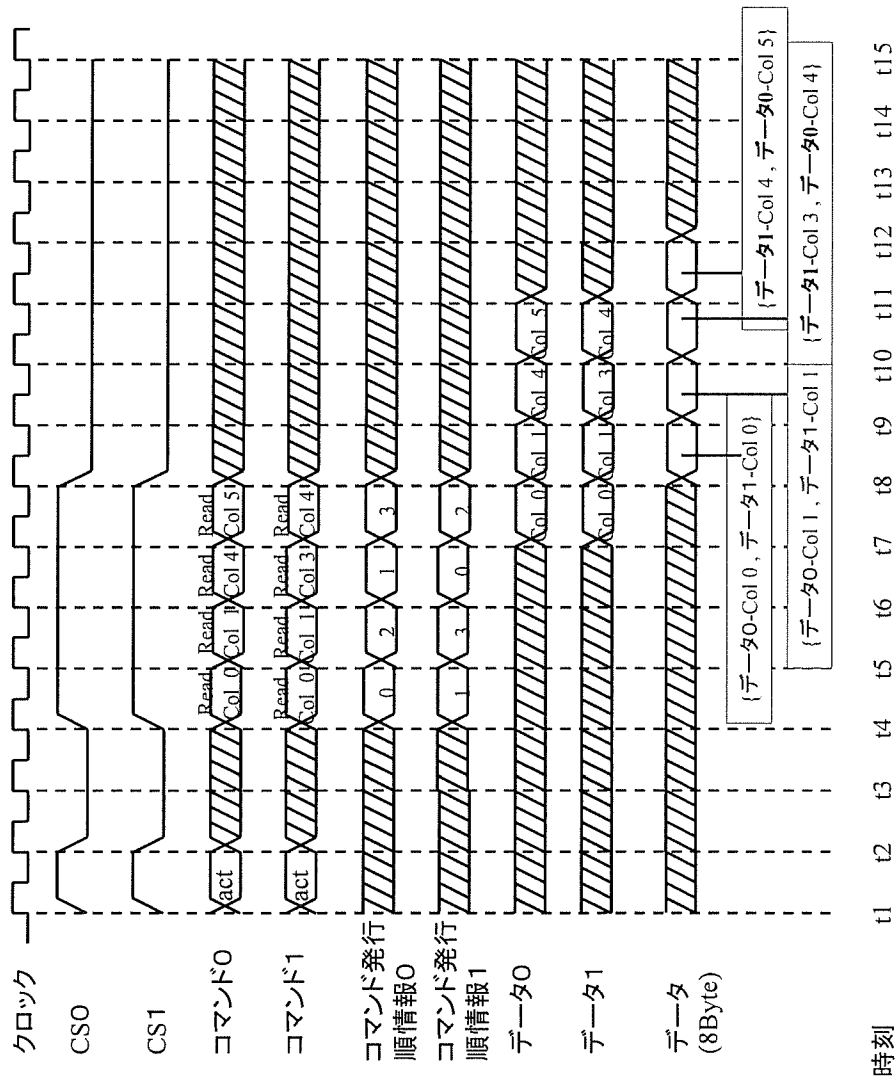


SDRAM0 (4Byte Bus) SDRAM1 (4Byte Bus)

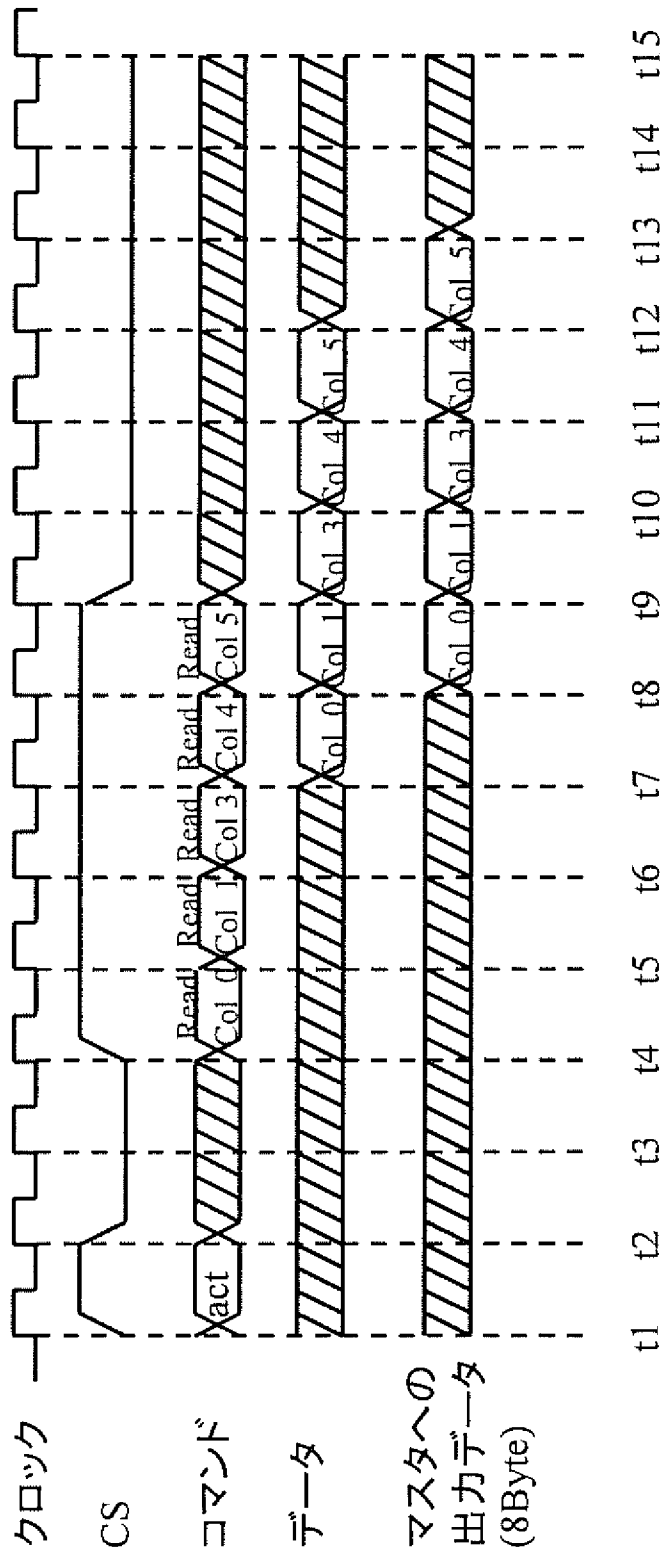
[図3]



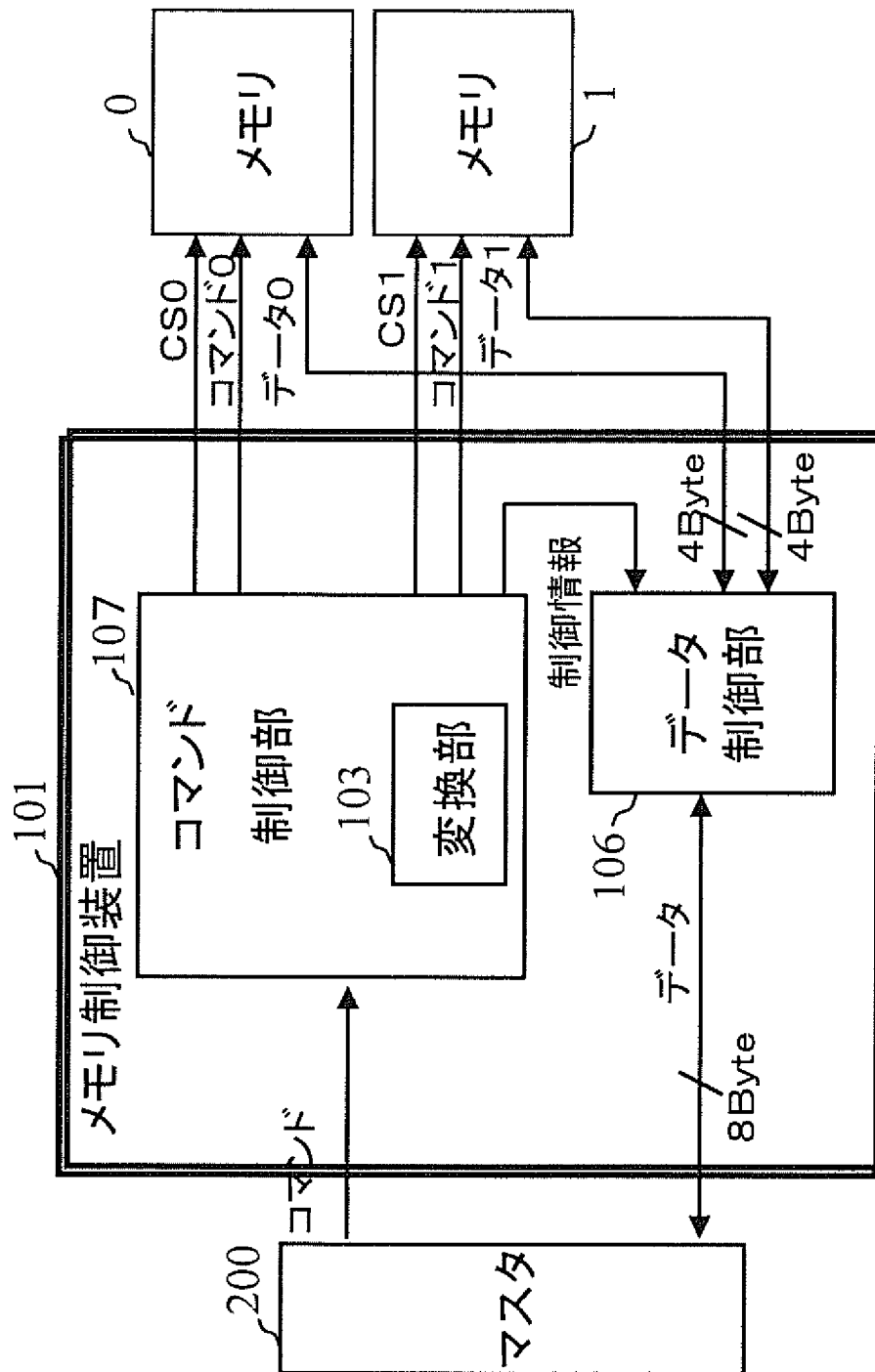
[図4]



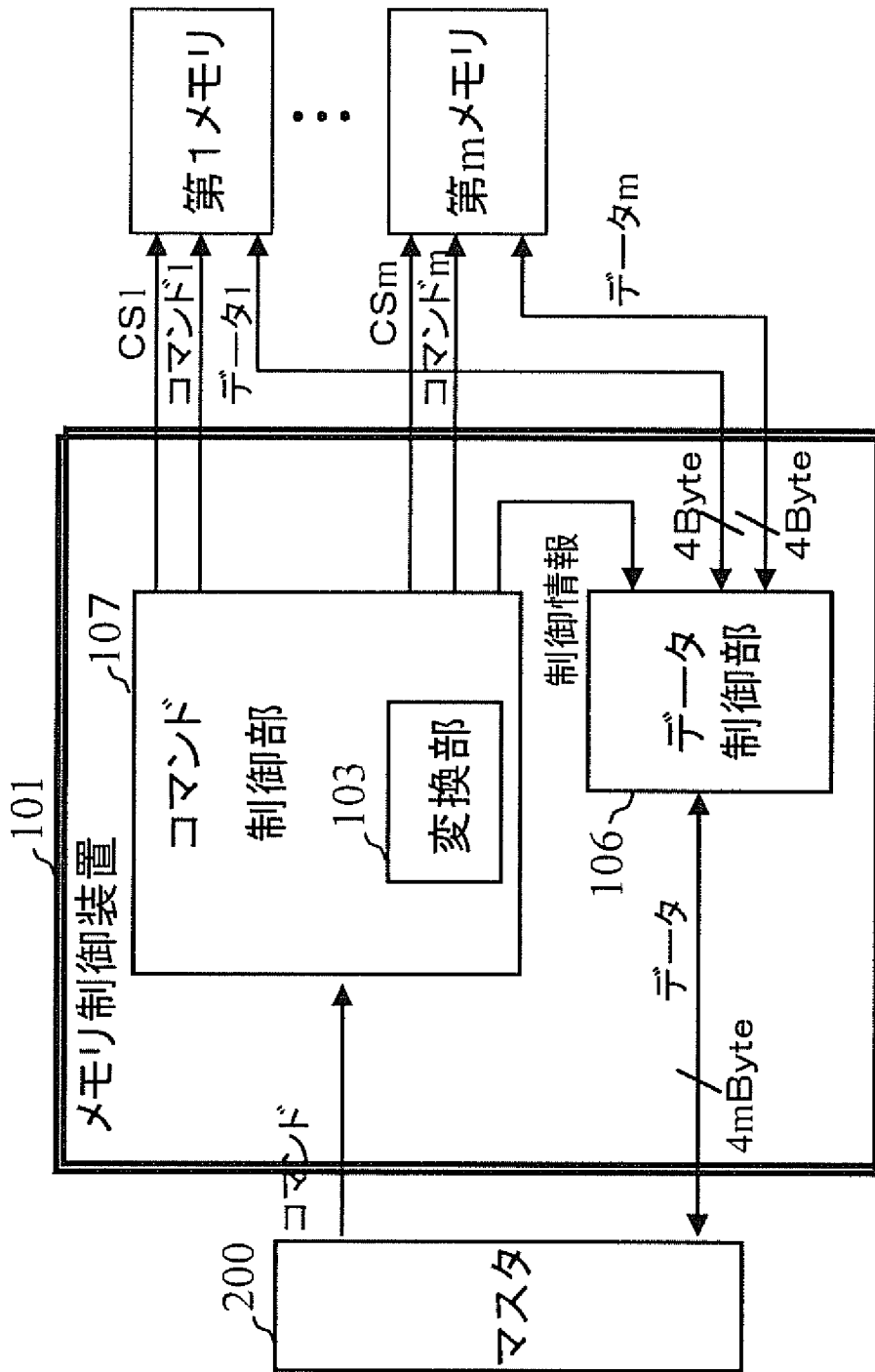
[図5]



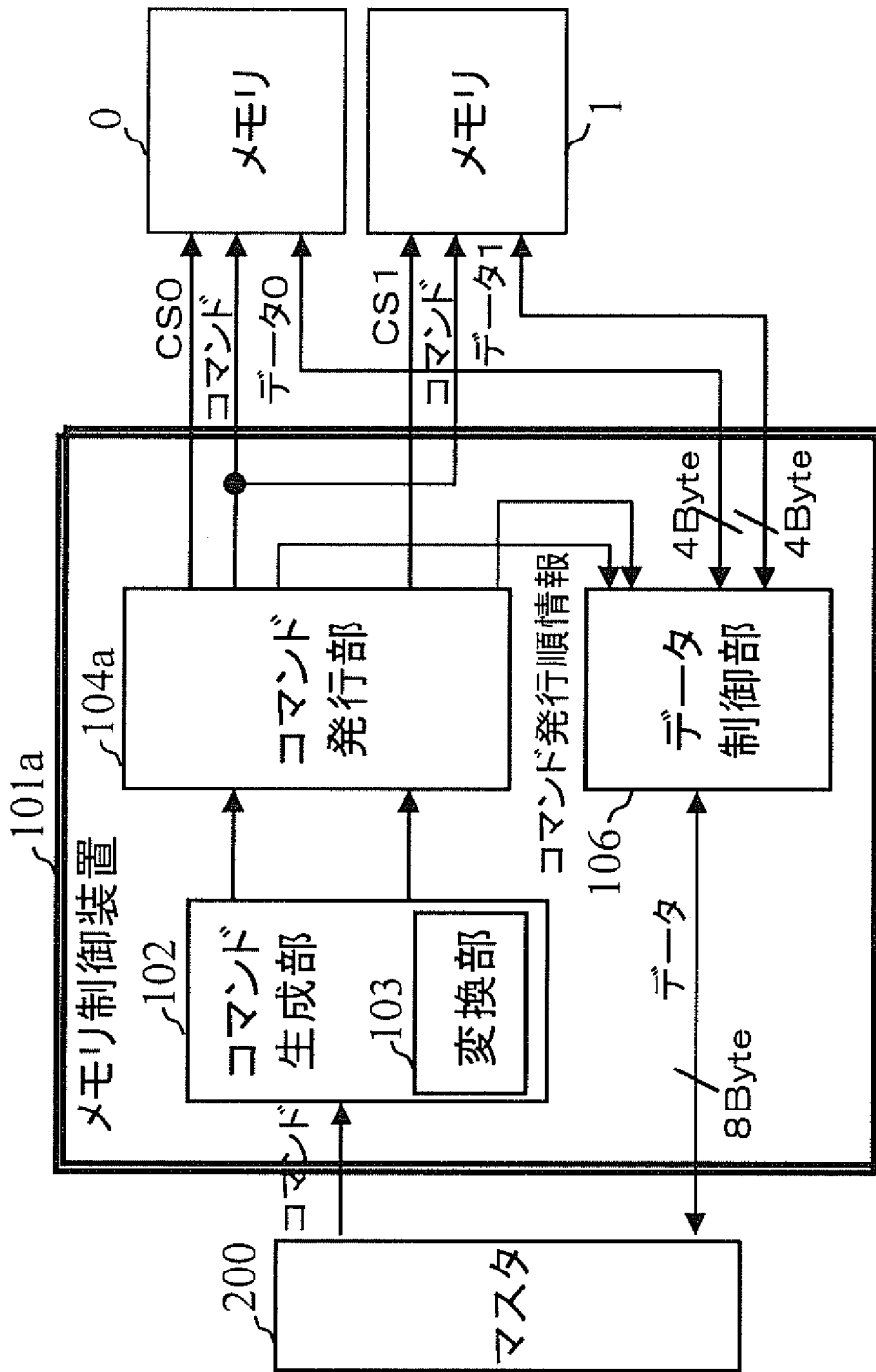
[図6A]



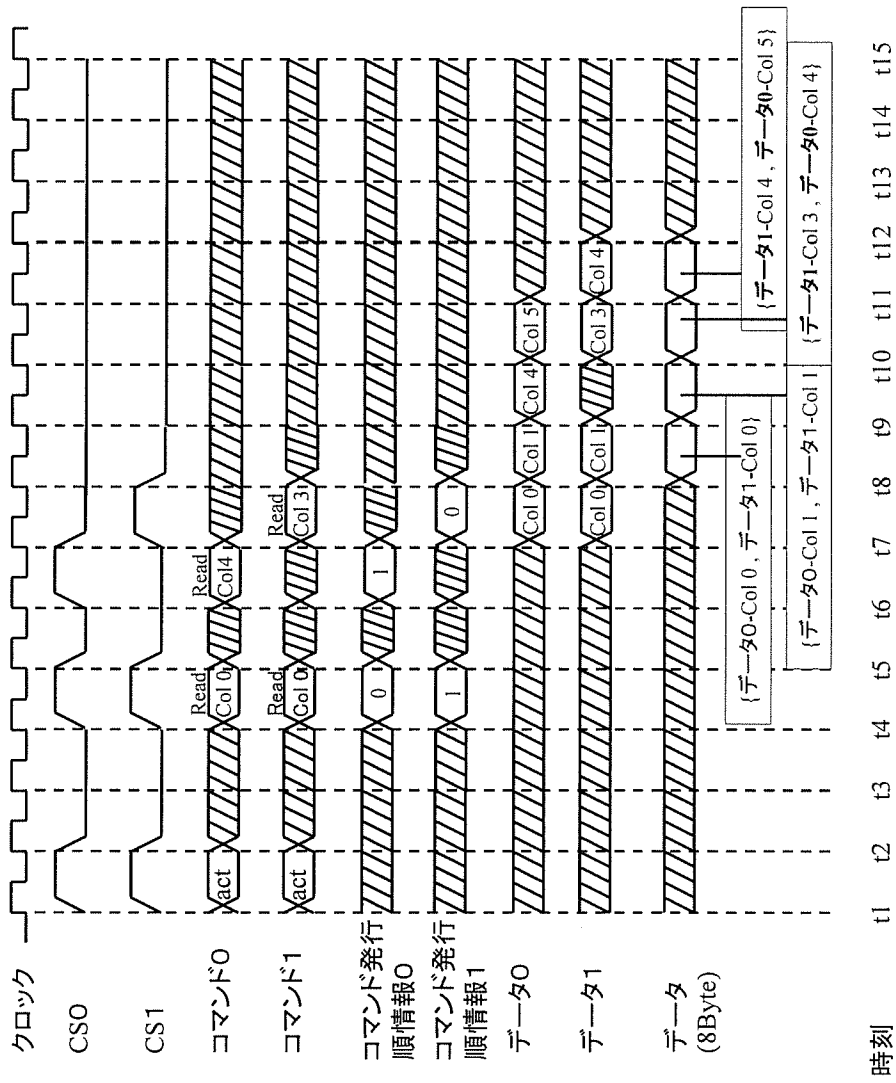
[図6B]



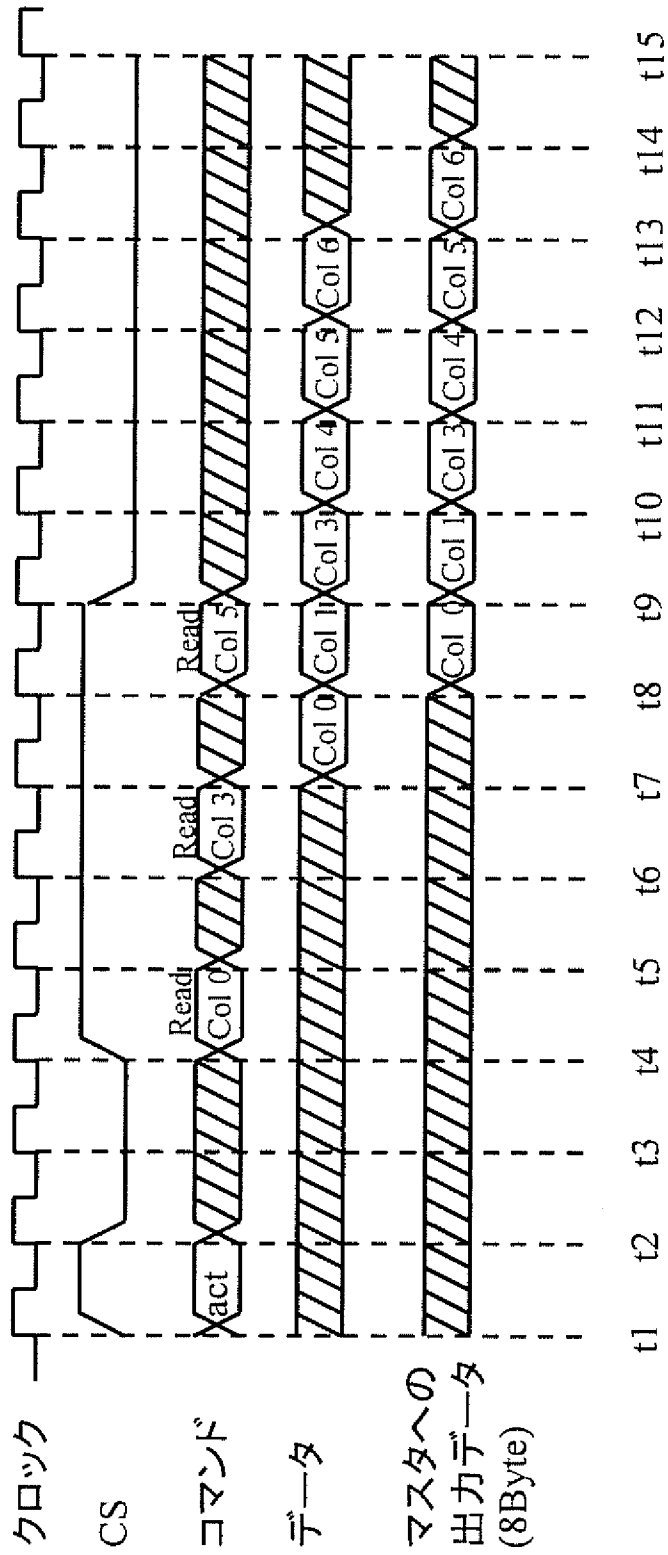
[図7]



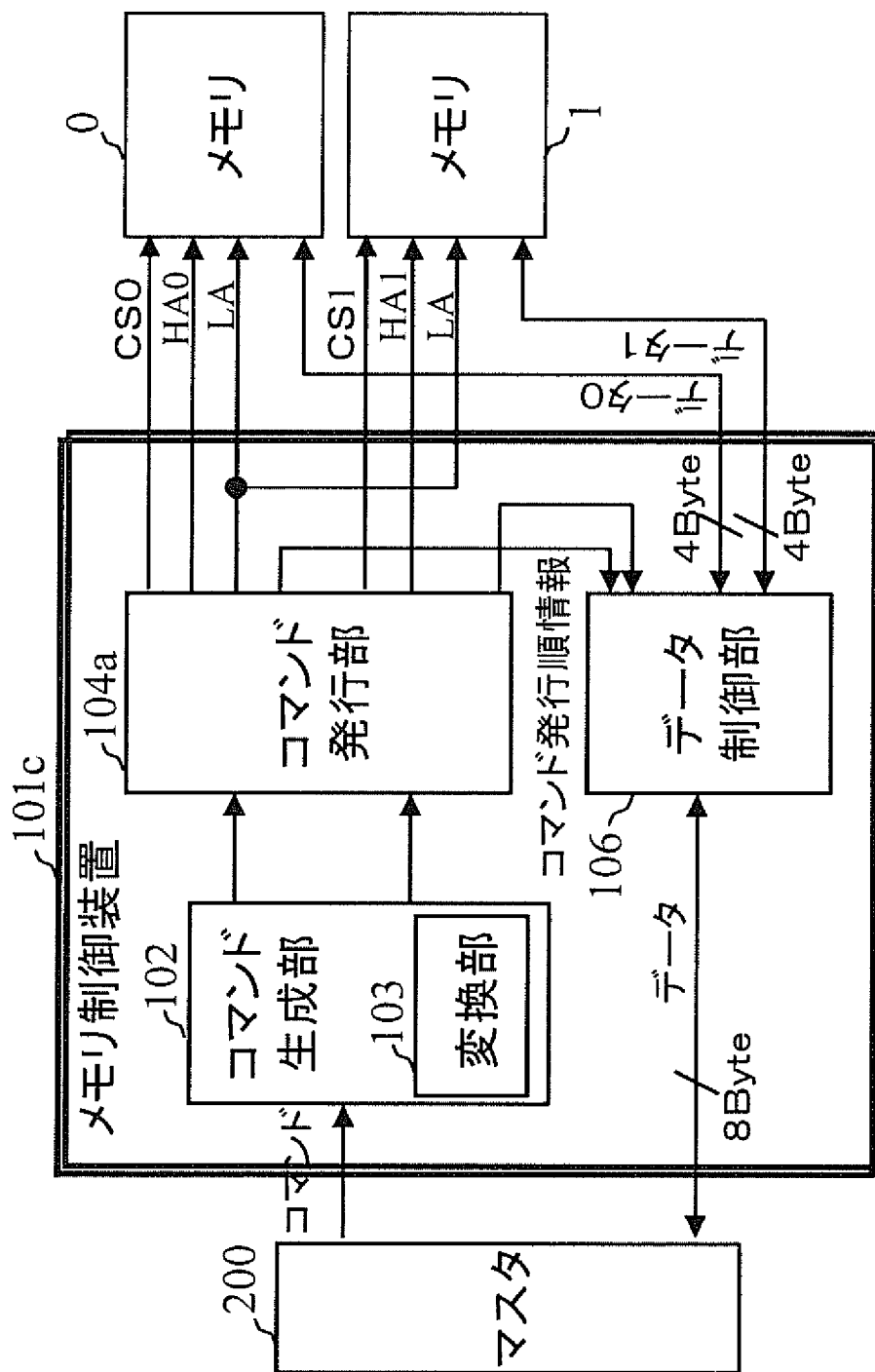
[図8]



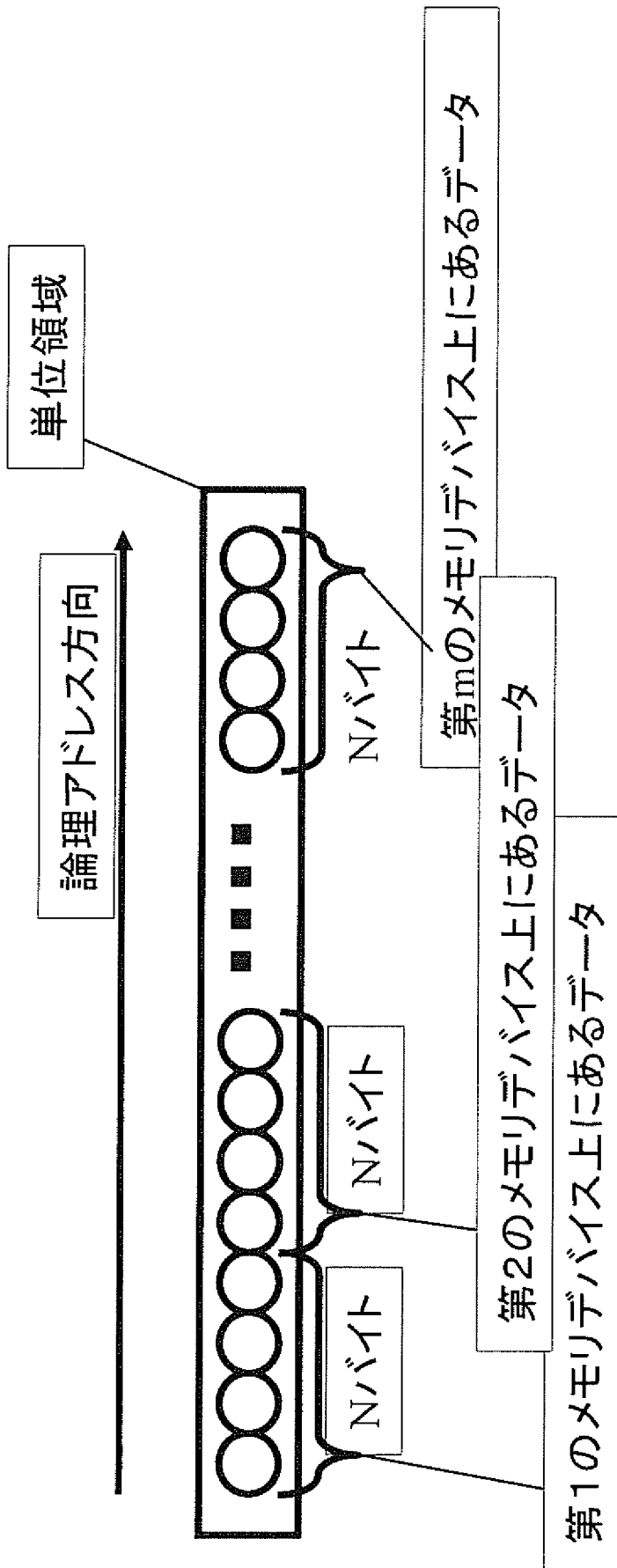
[図9]



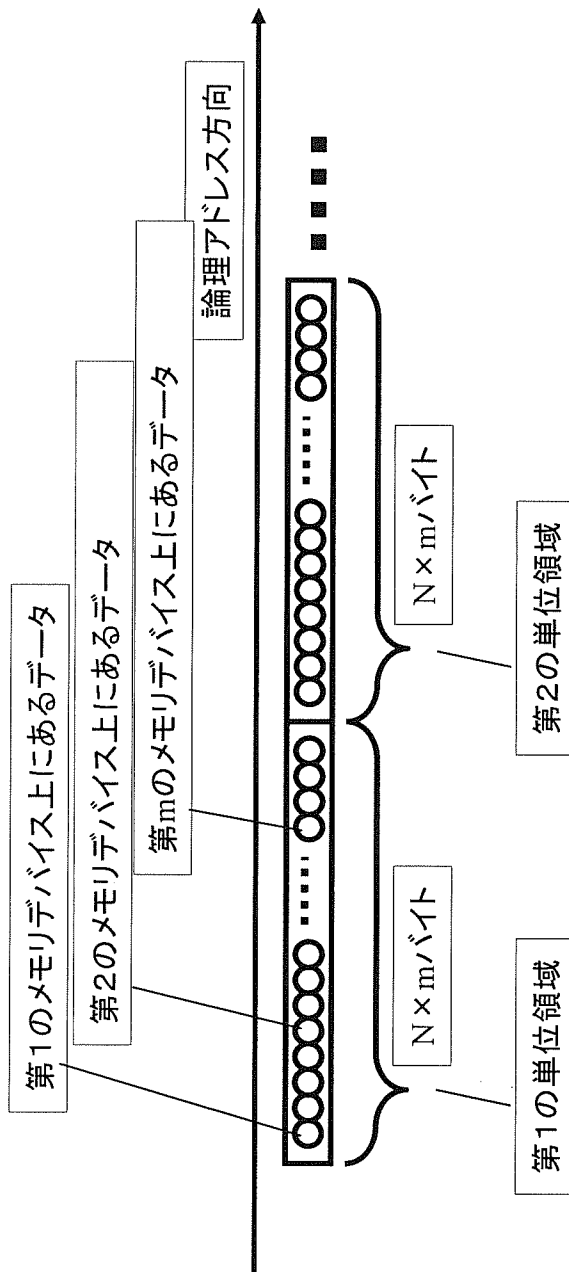
[図10]



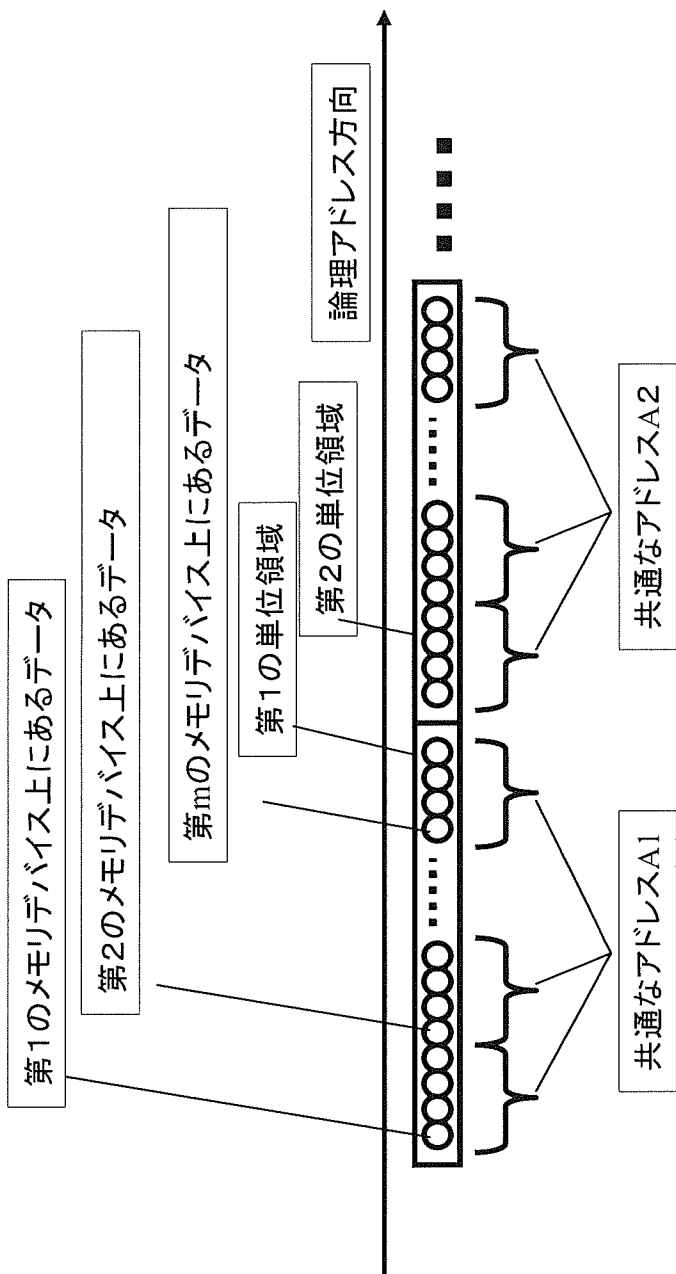
[図11A]



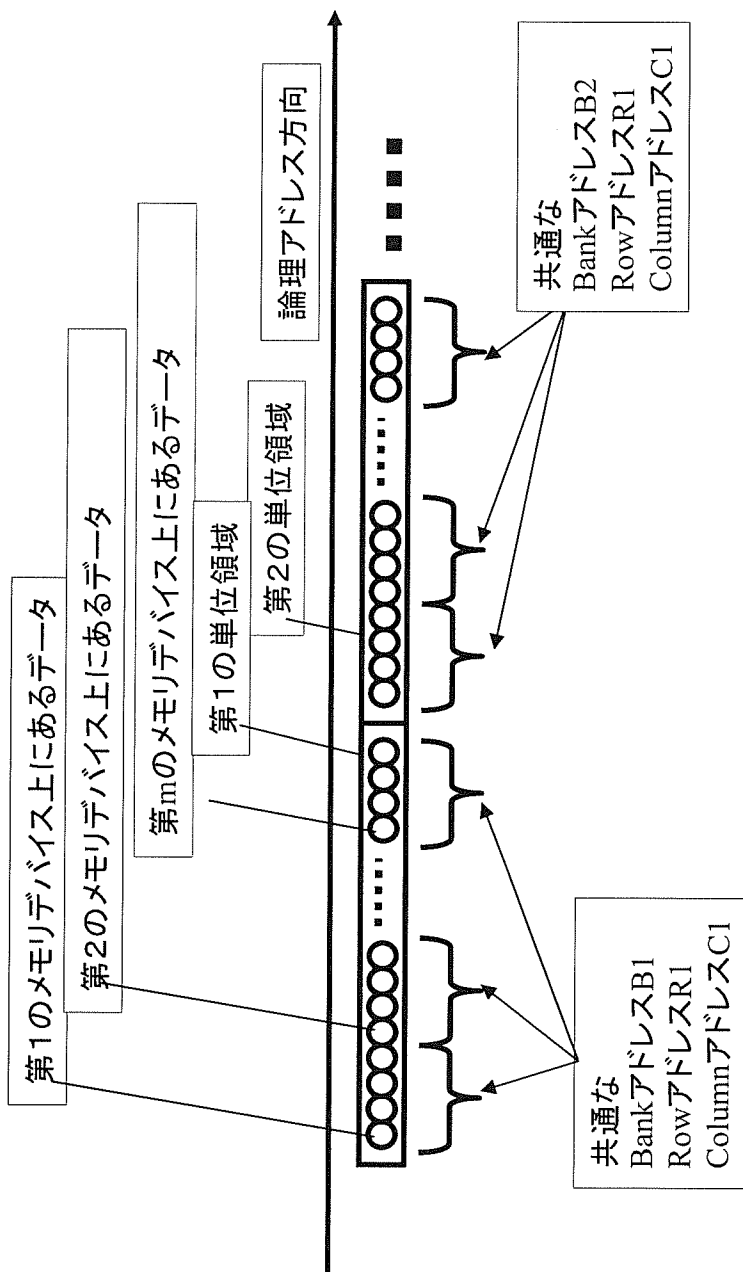
[図11B]



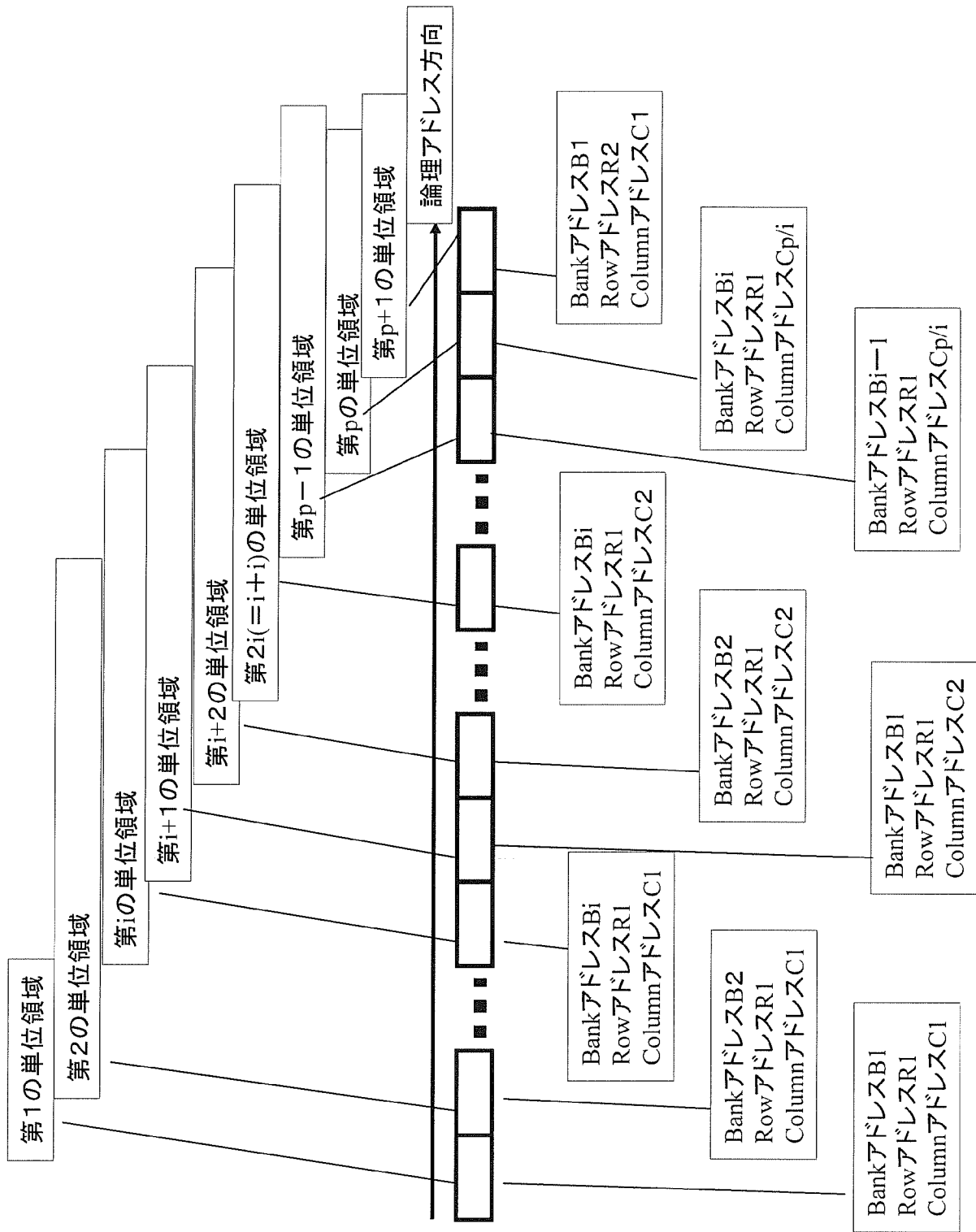
[図12]



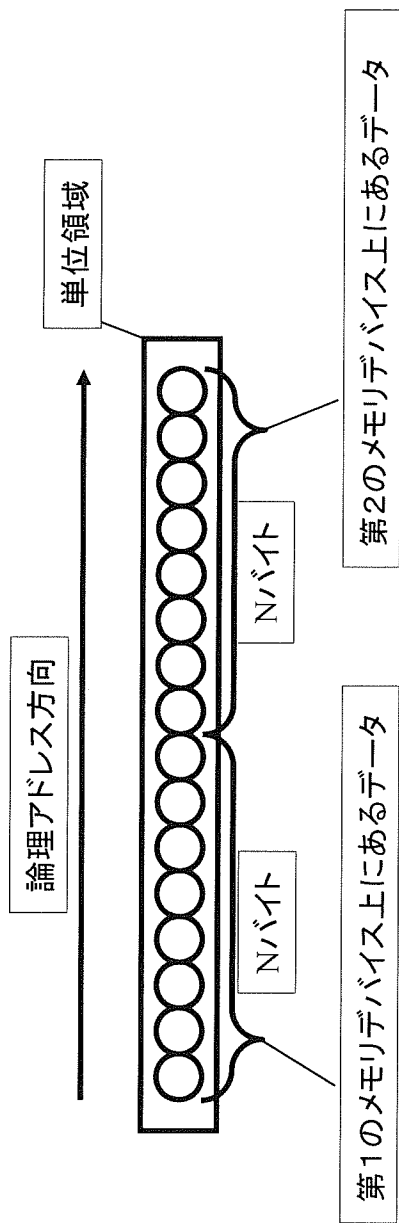
[図13A]



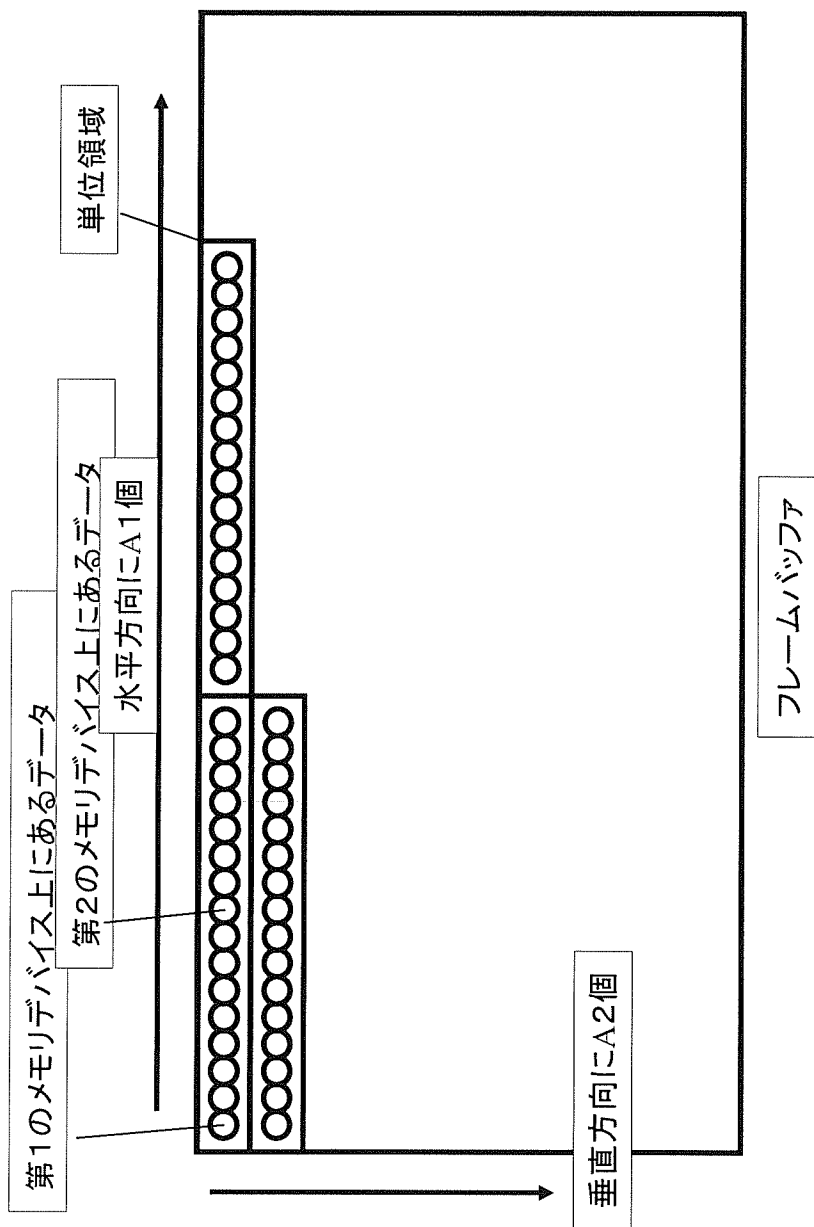
[図13B]



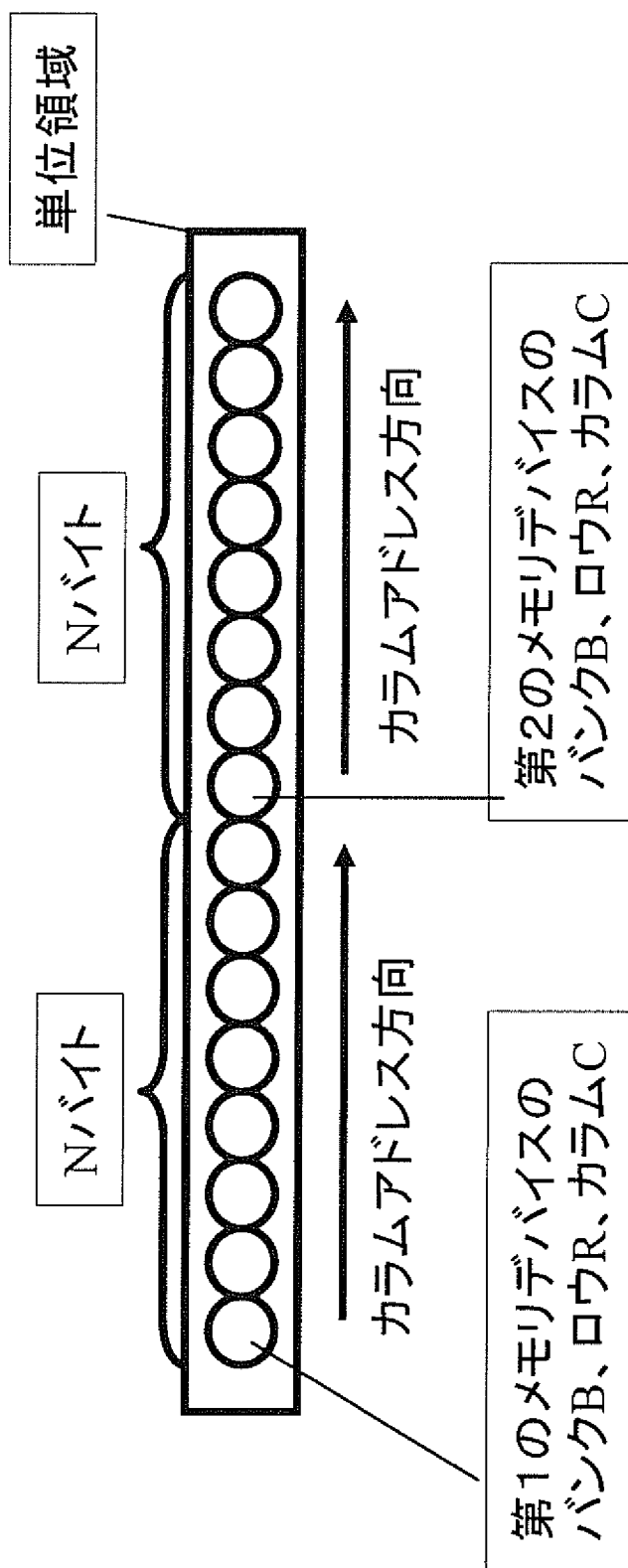
[図14]



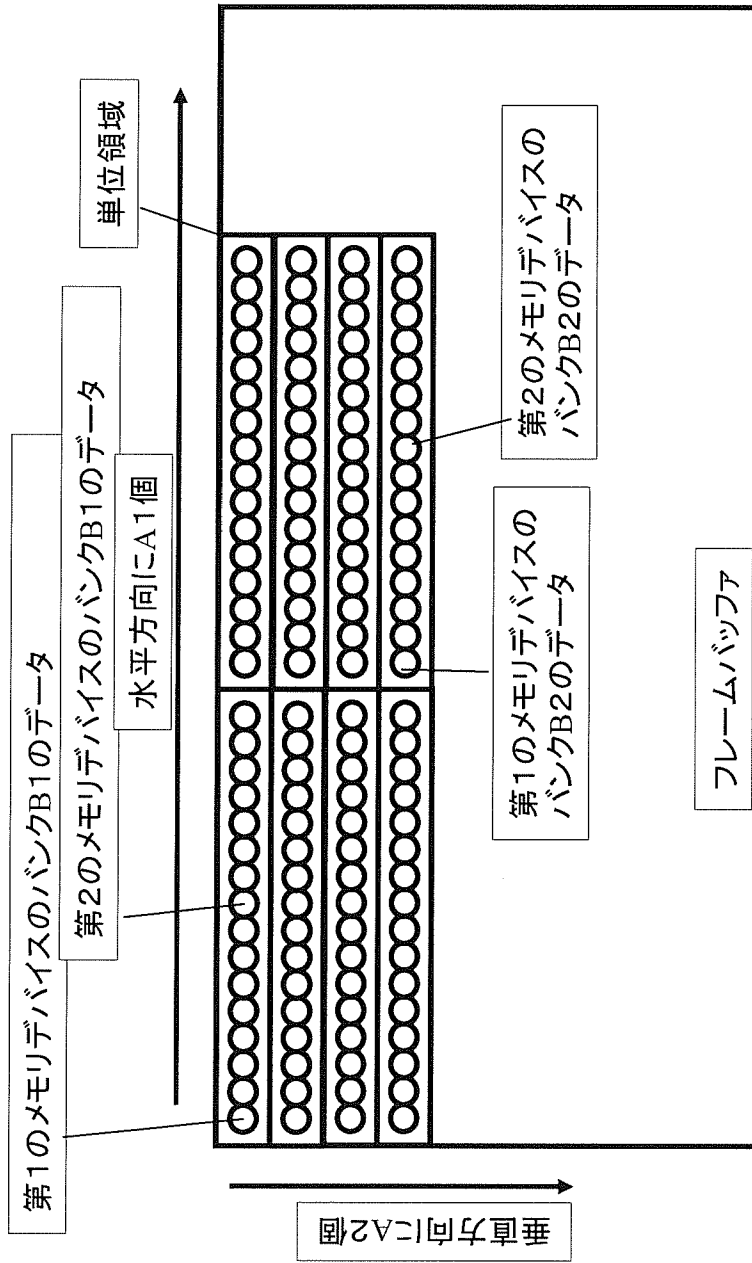
[図15]



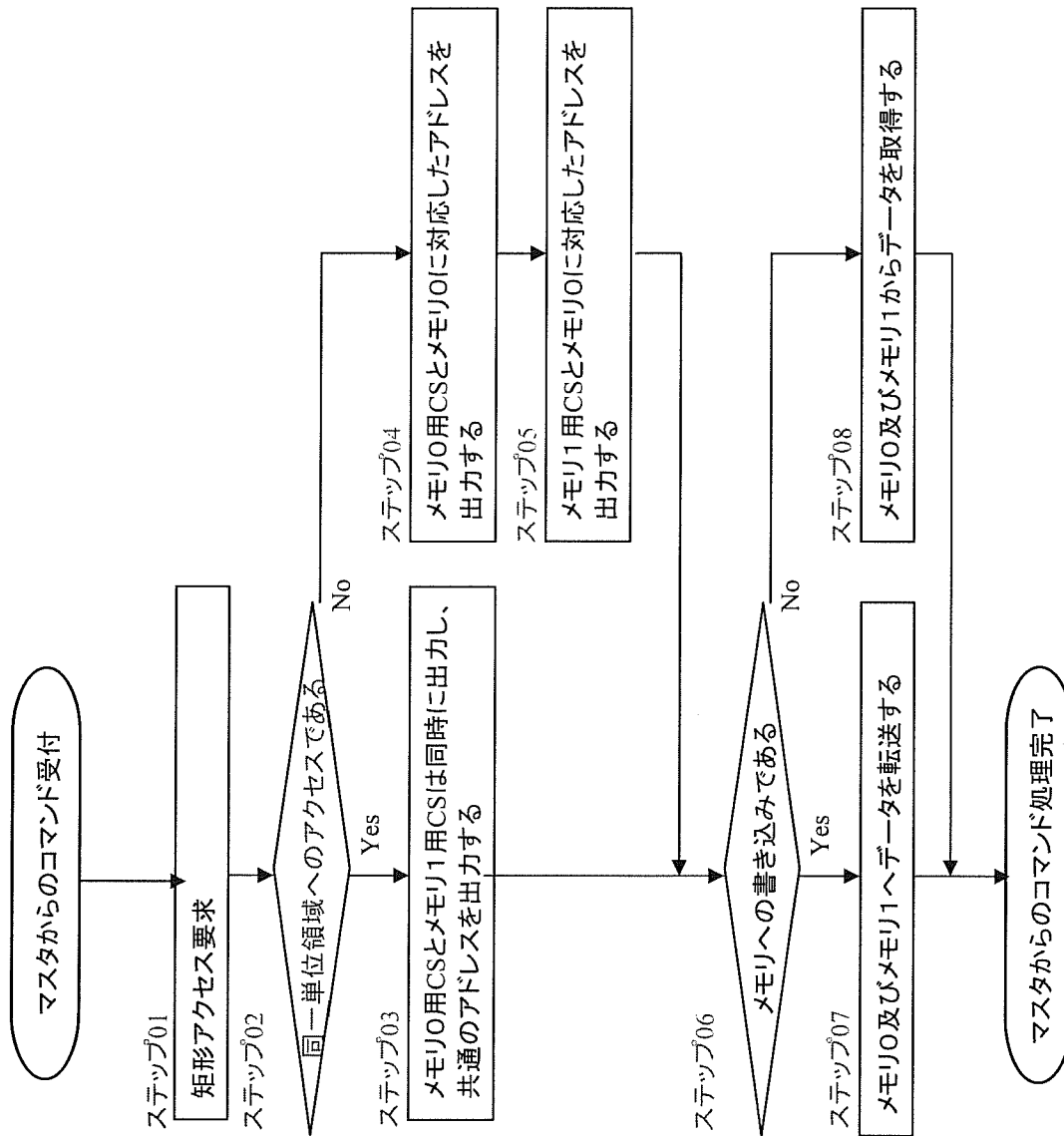
[図16]



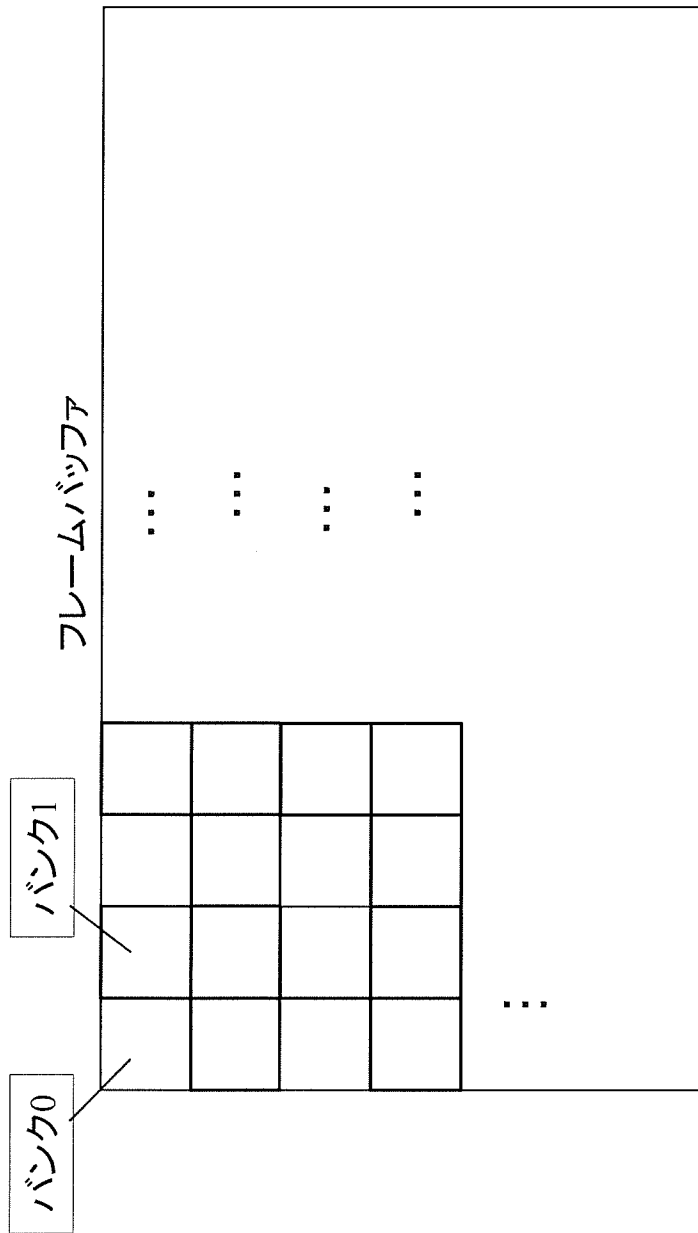
[図17]



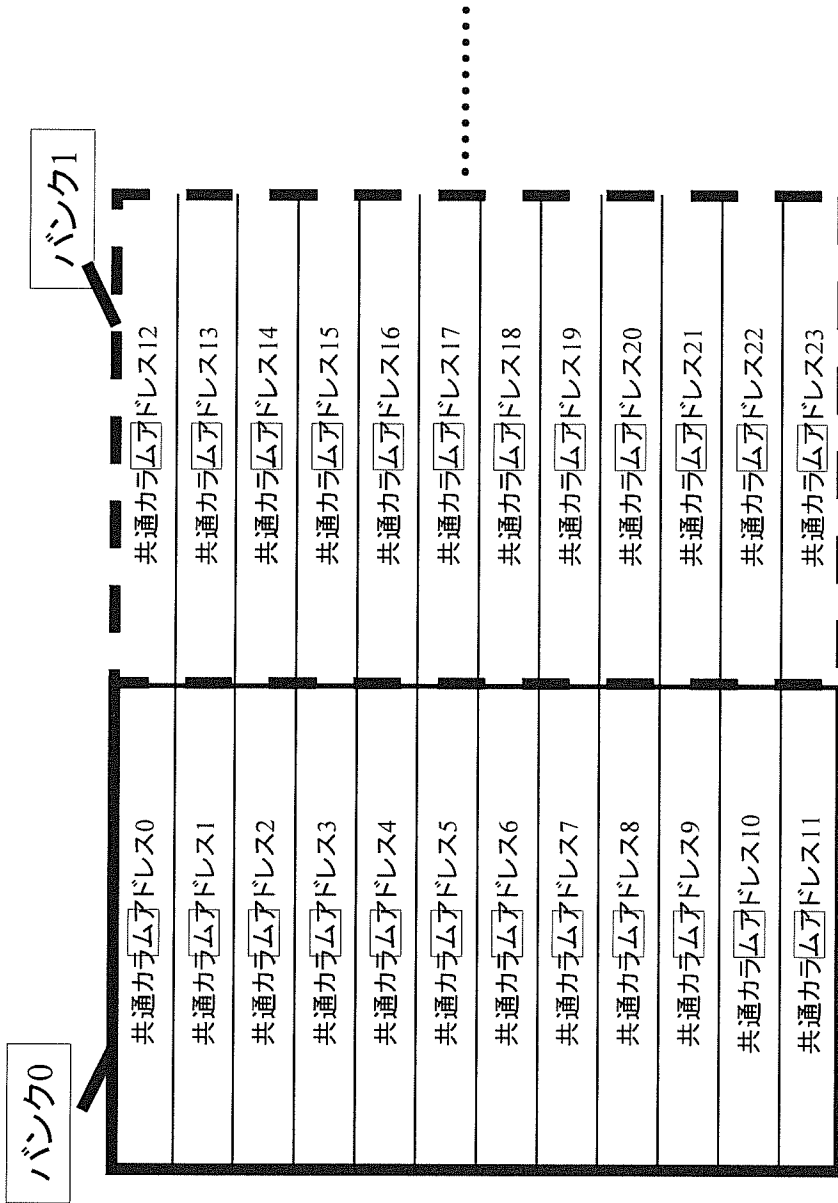
[図18]



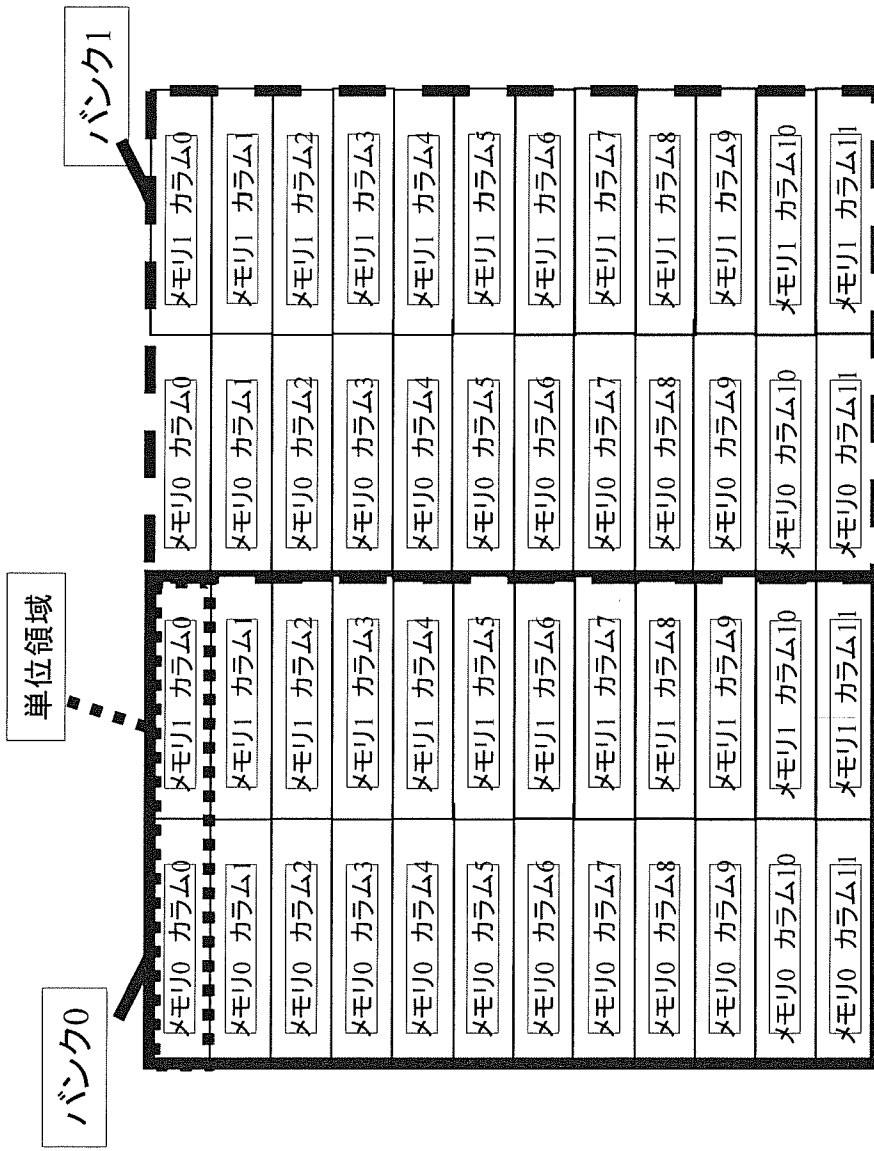
[図19]



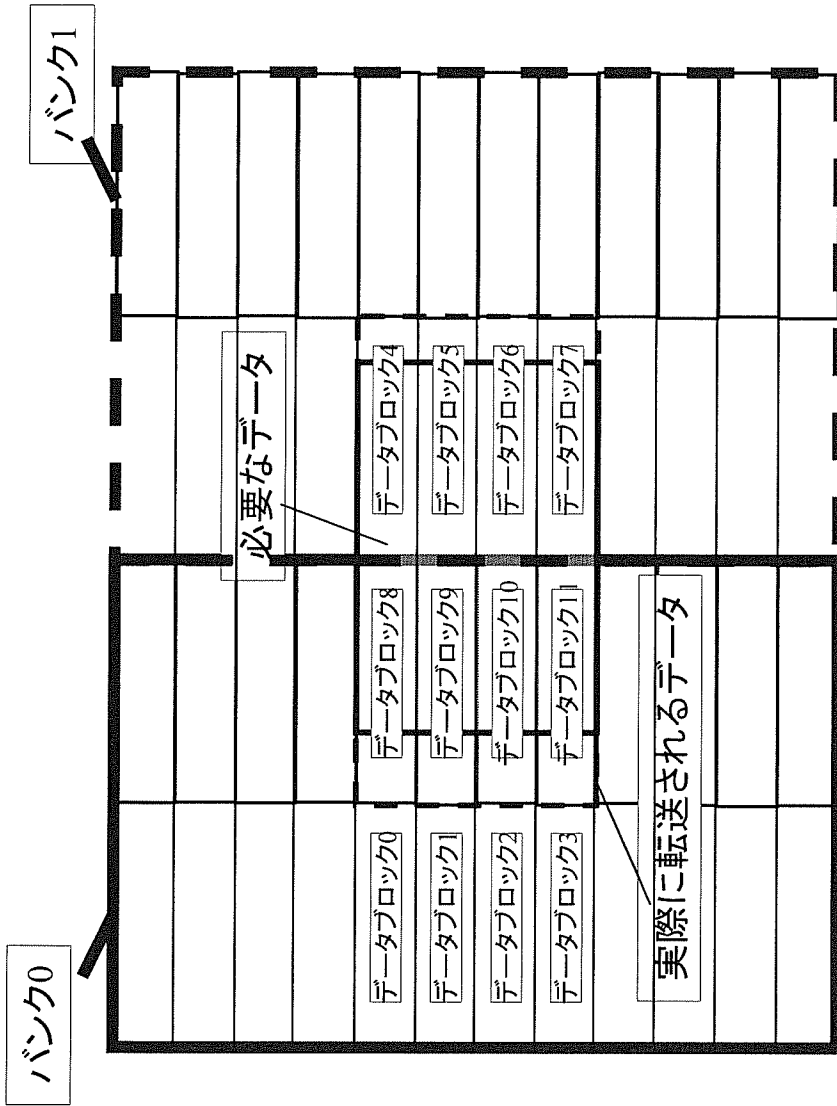
[図20]



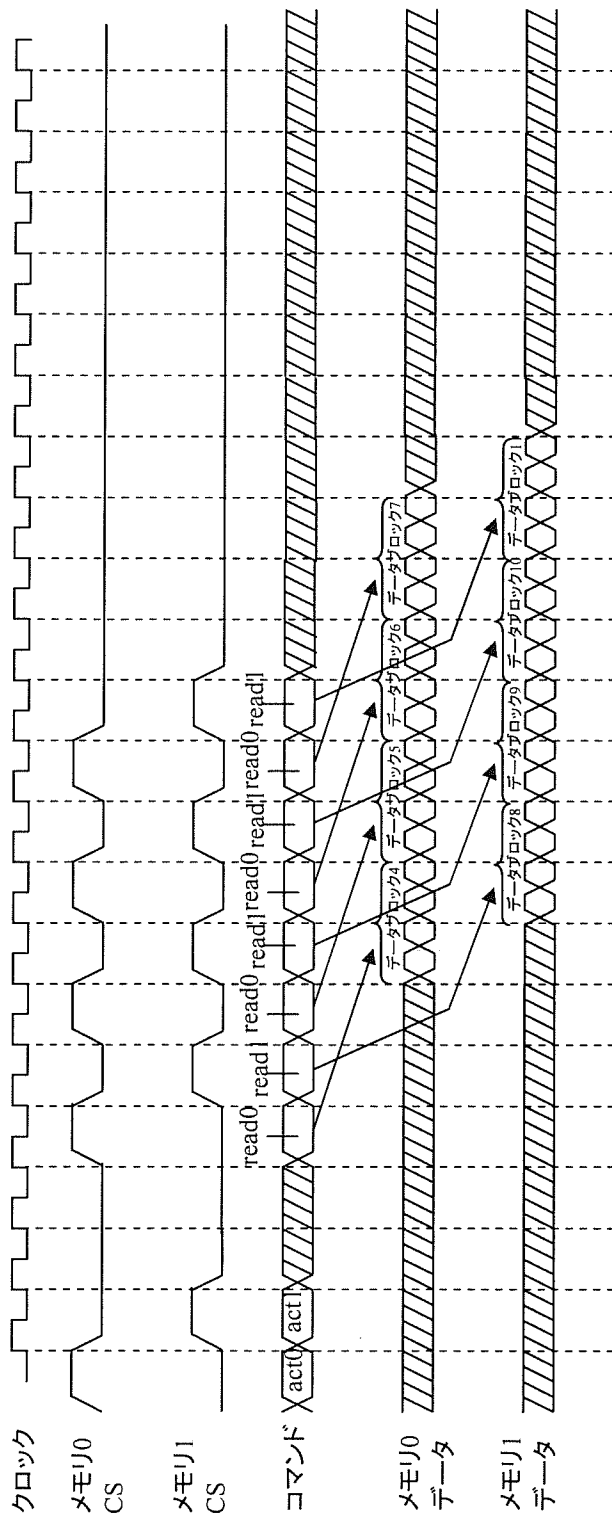
[図21]



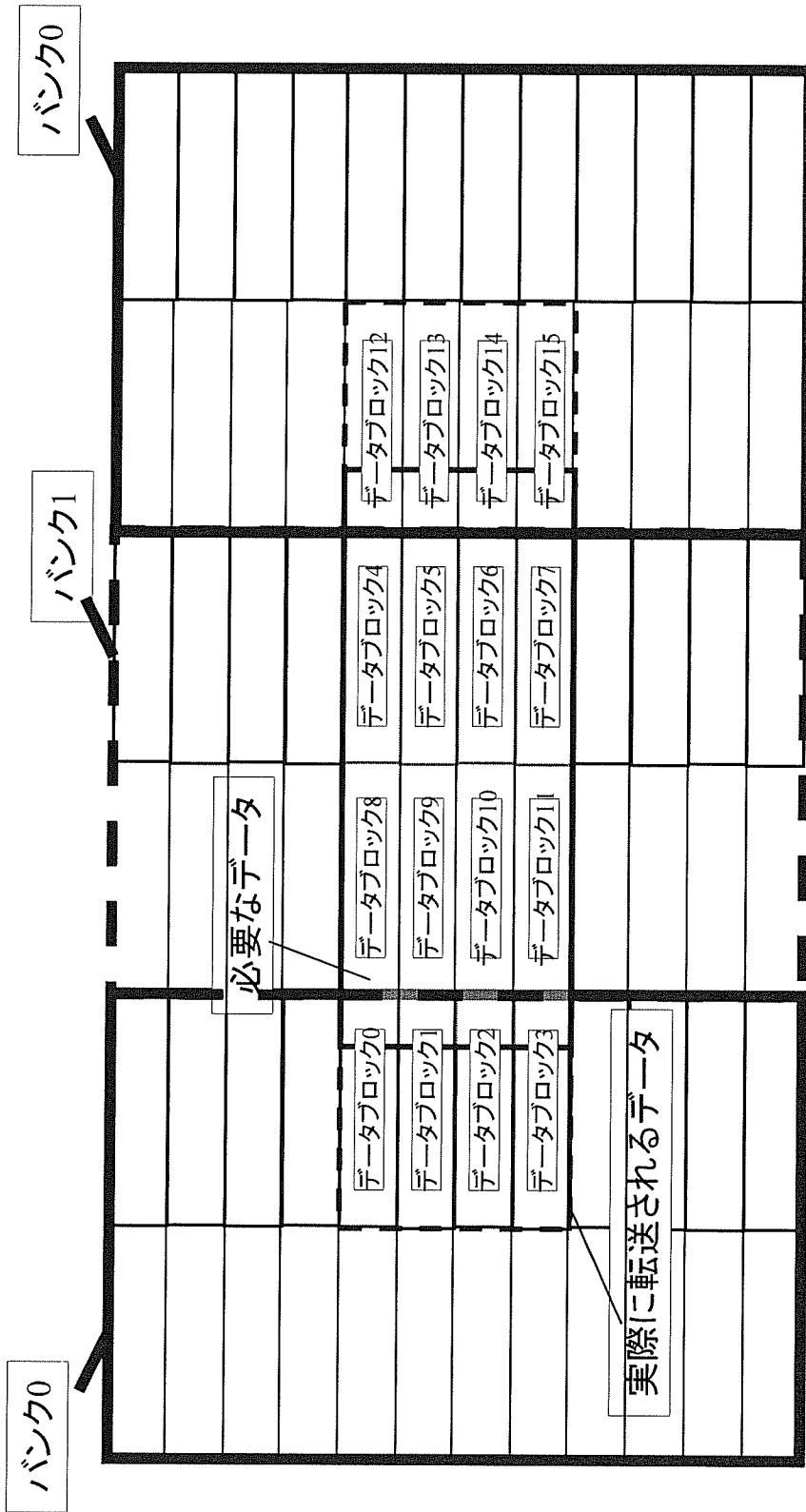
[図22]



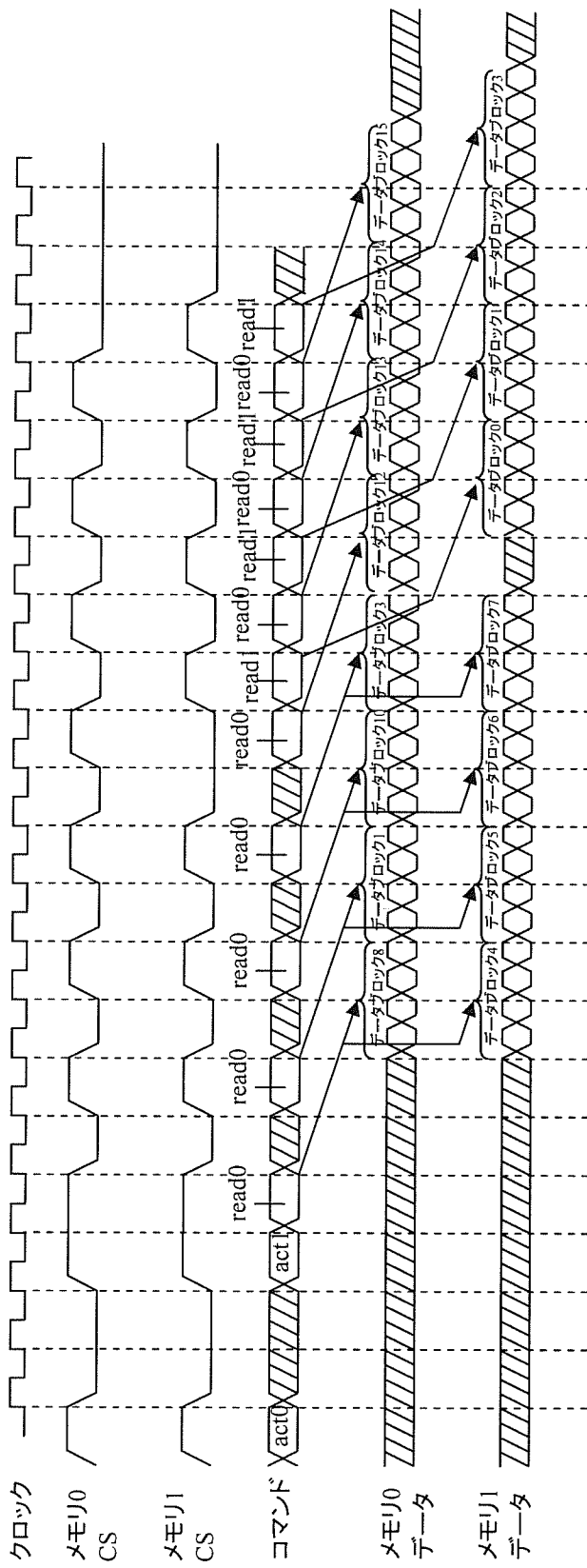
[図23]



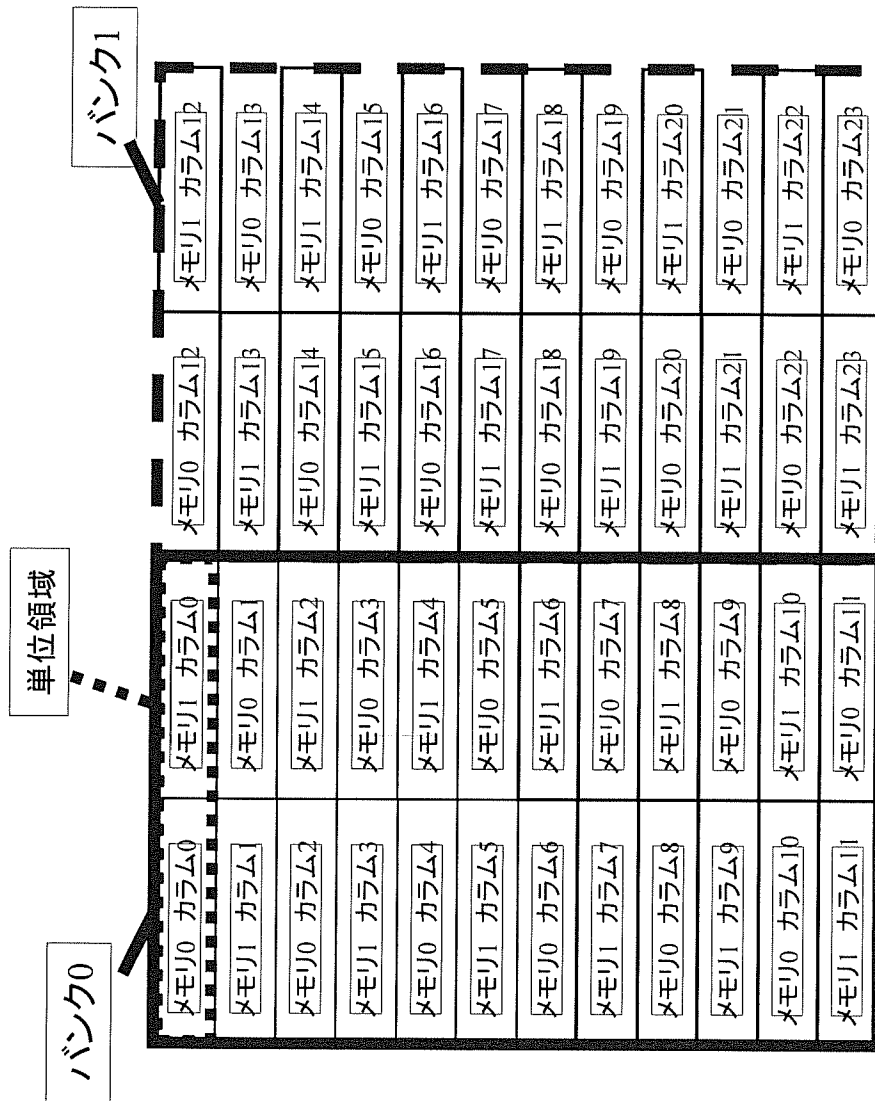
[図24]



[図25]



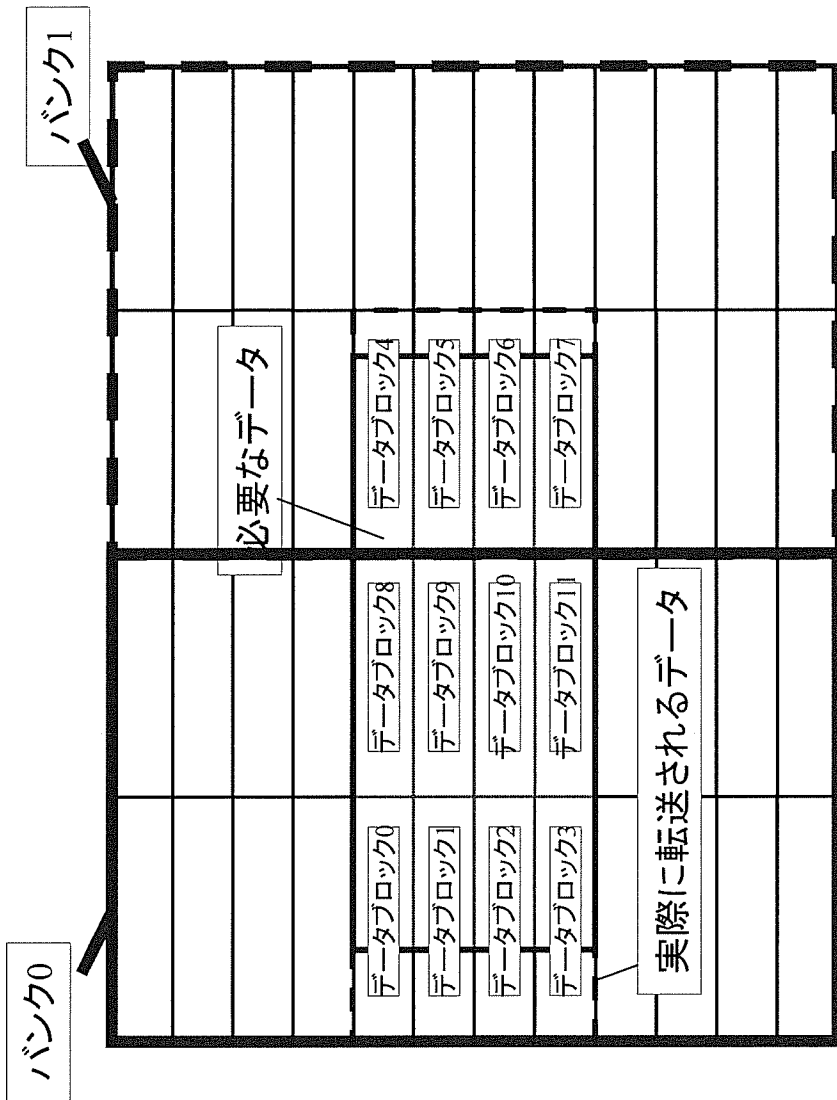
[図26]



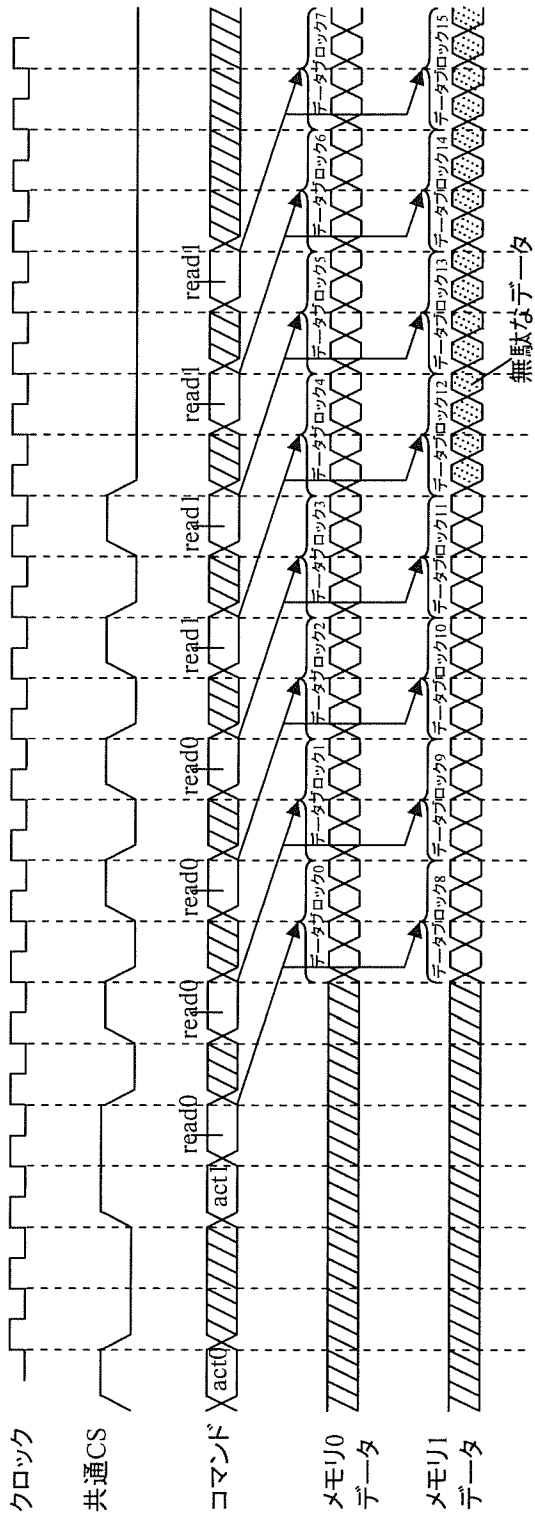
[図27]



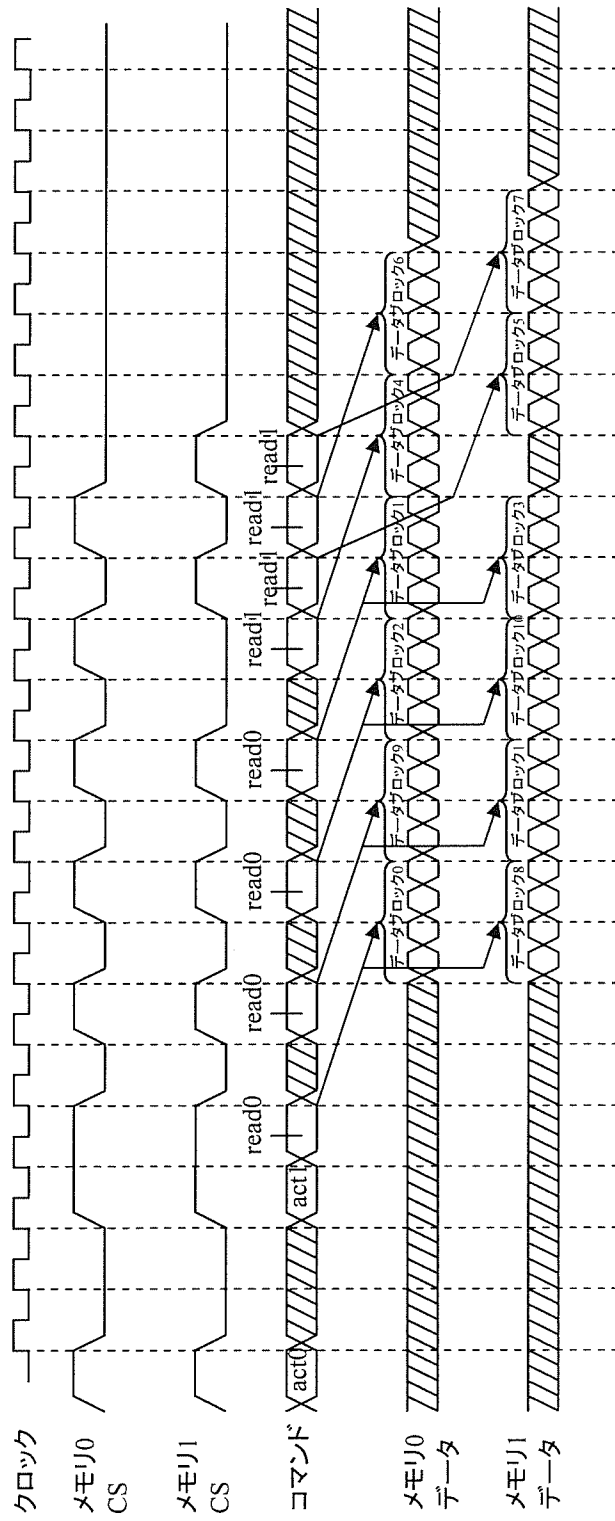
[図28]



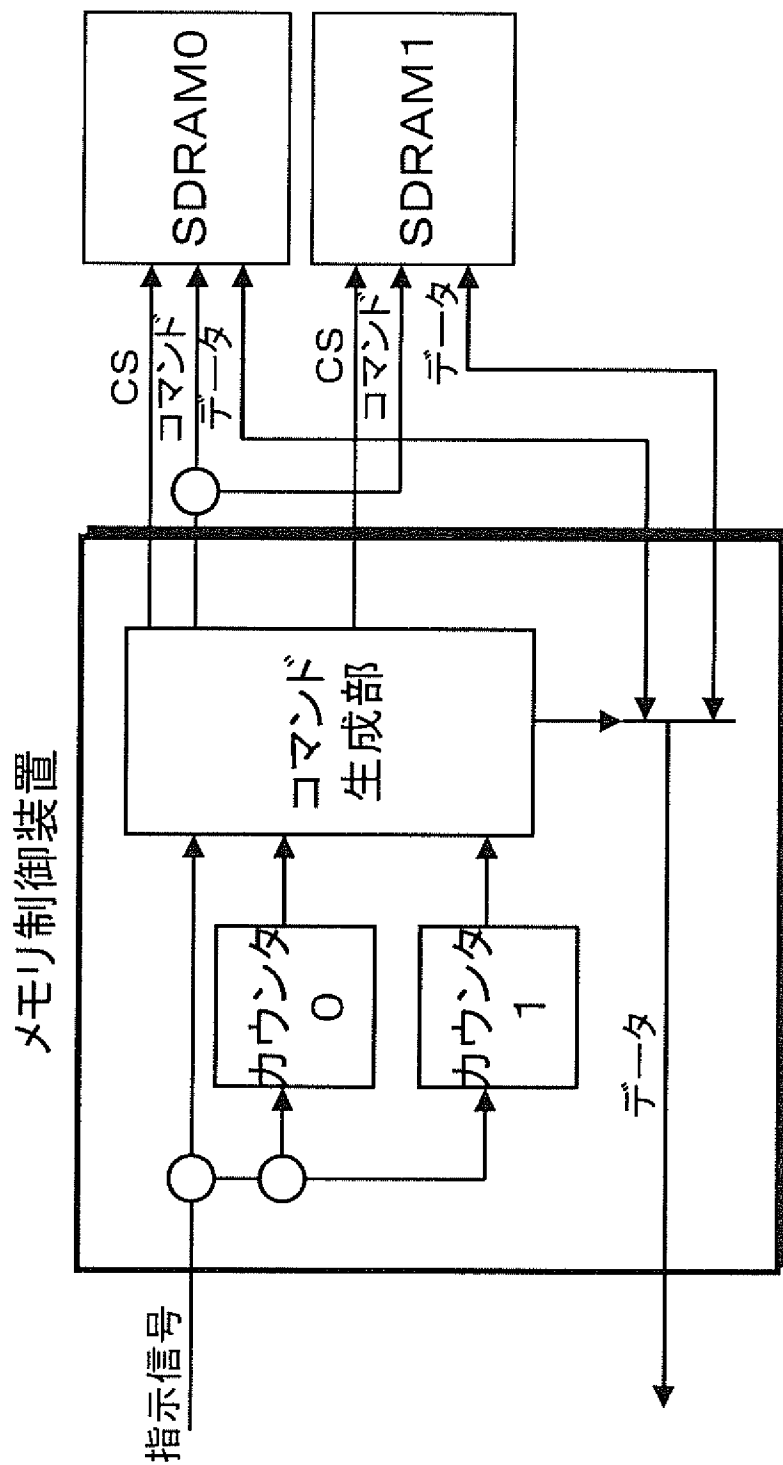
[図29]



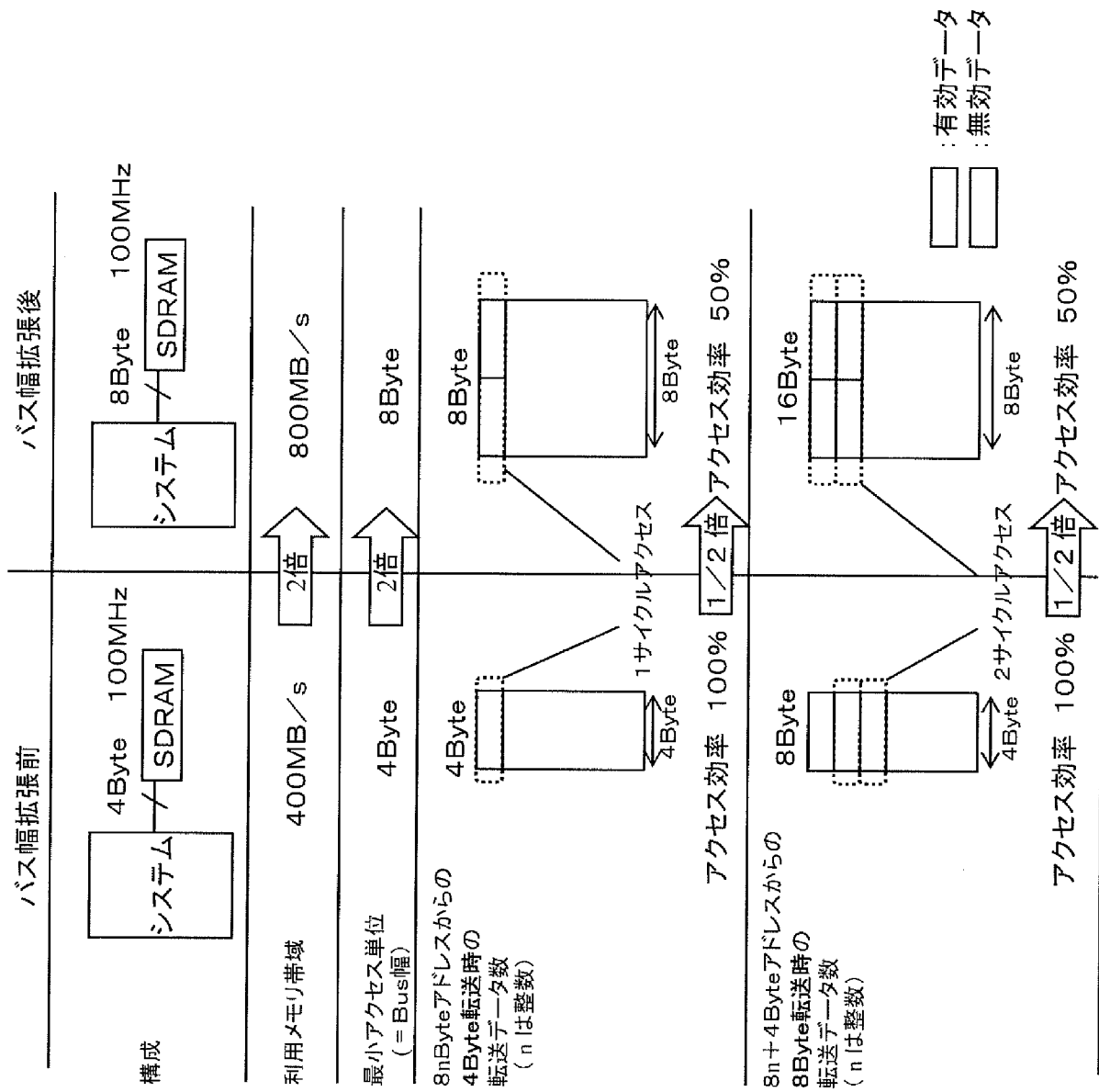
[図30]



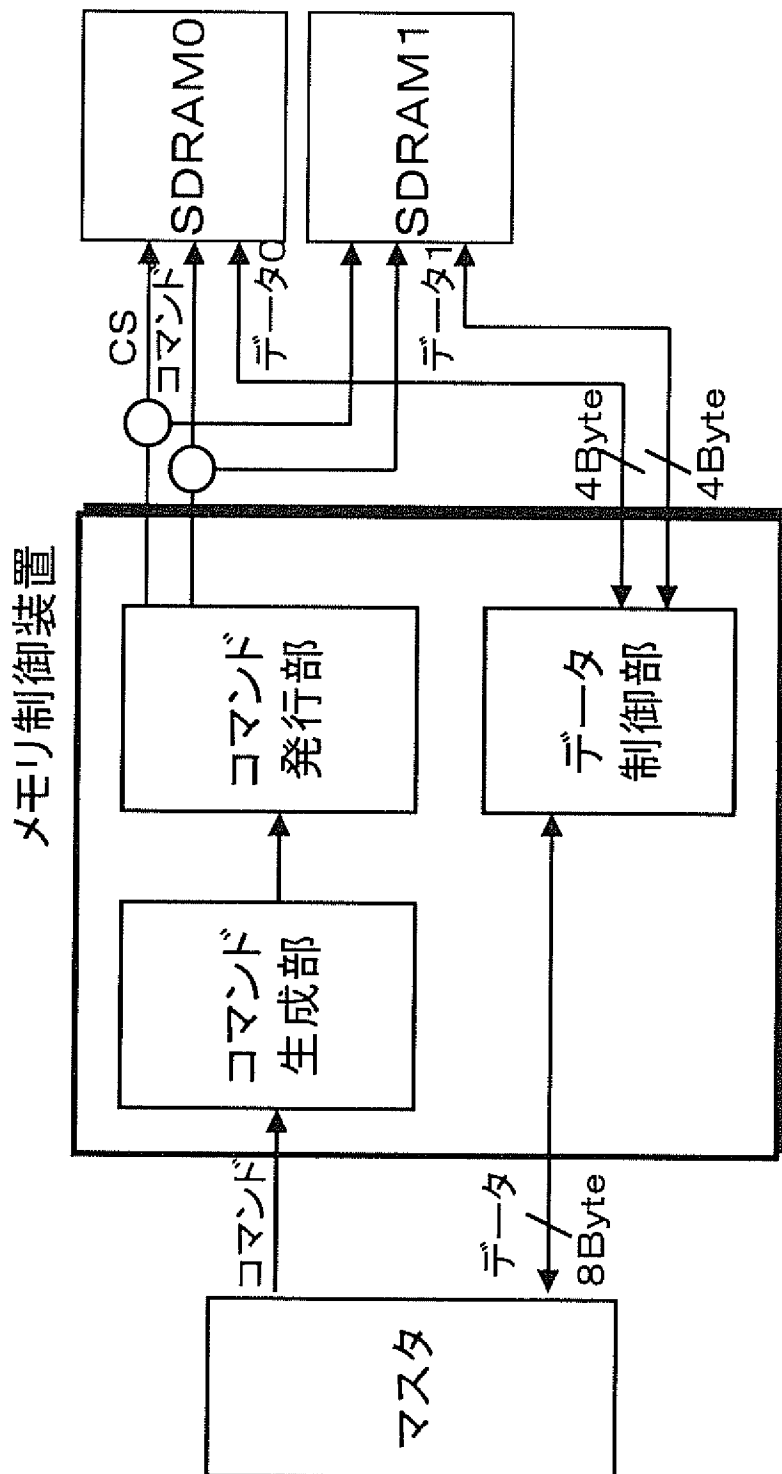
[図31]



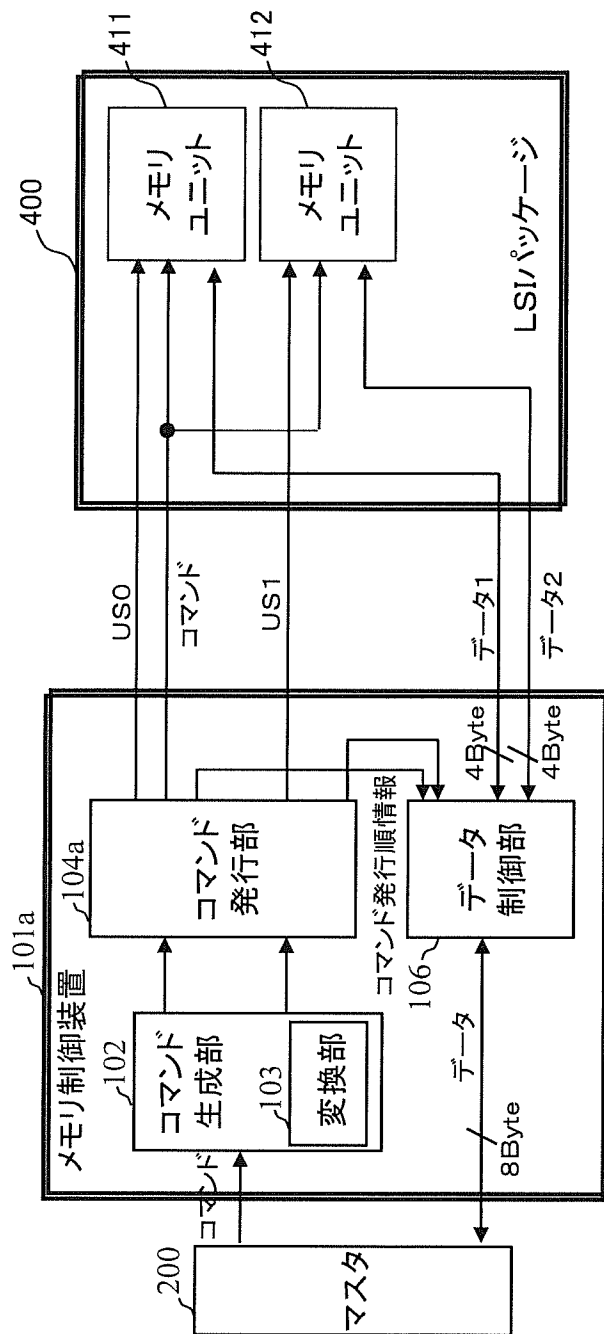
[図32]



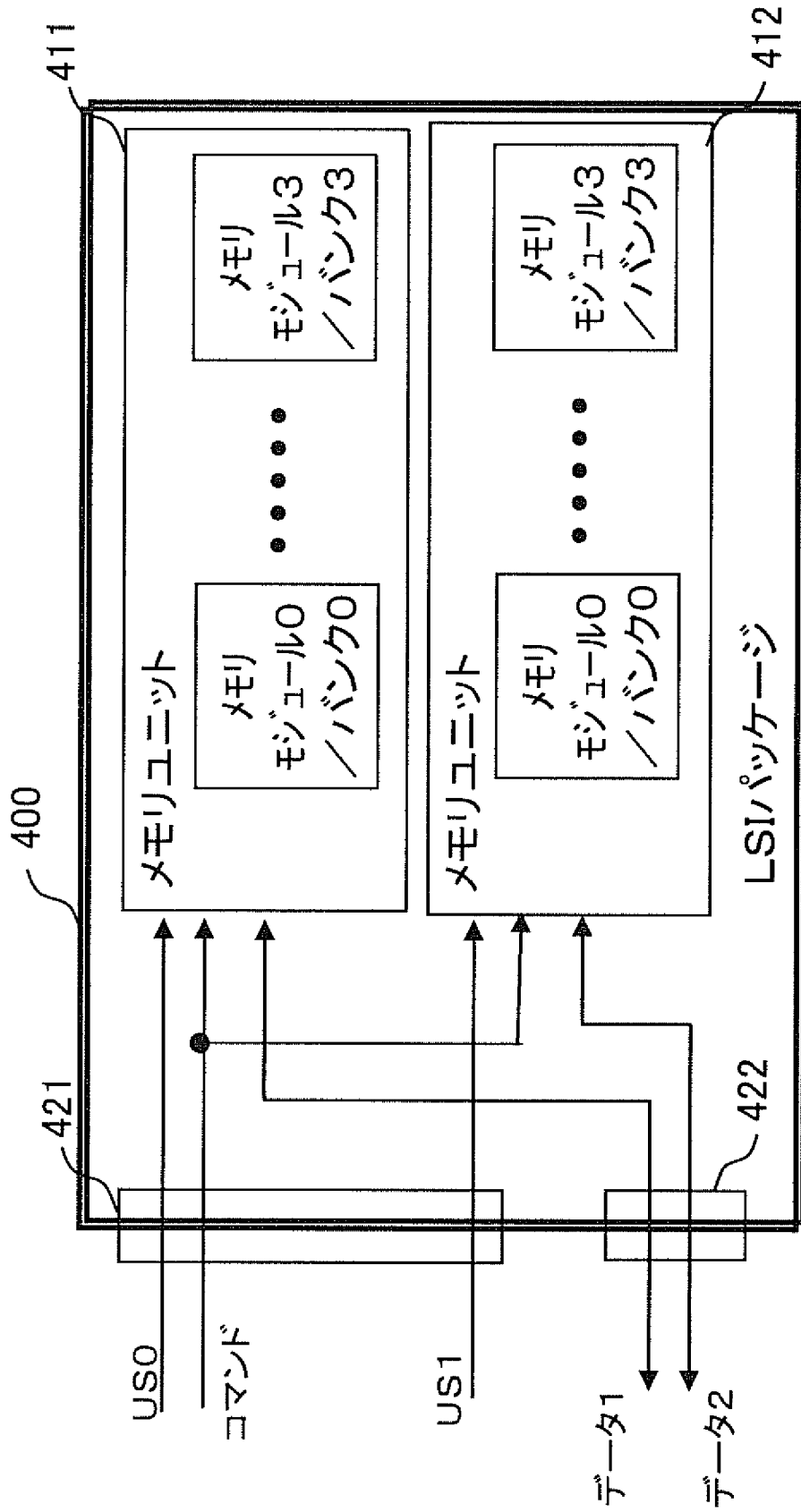
[図33]



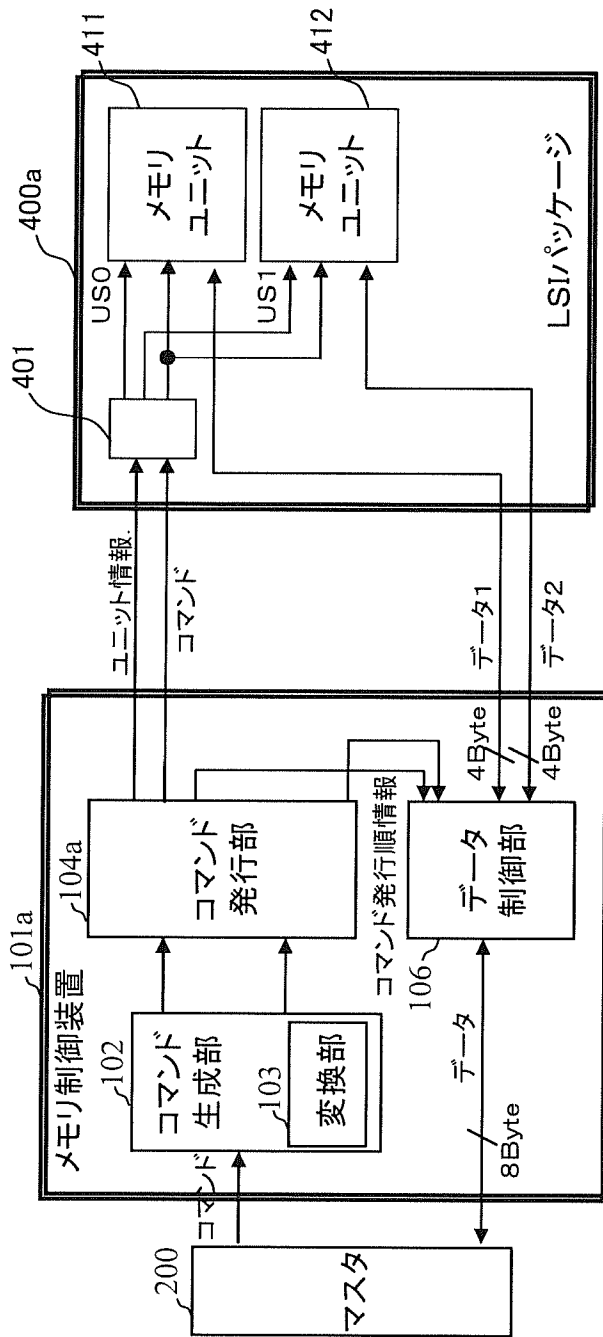
[図34A]



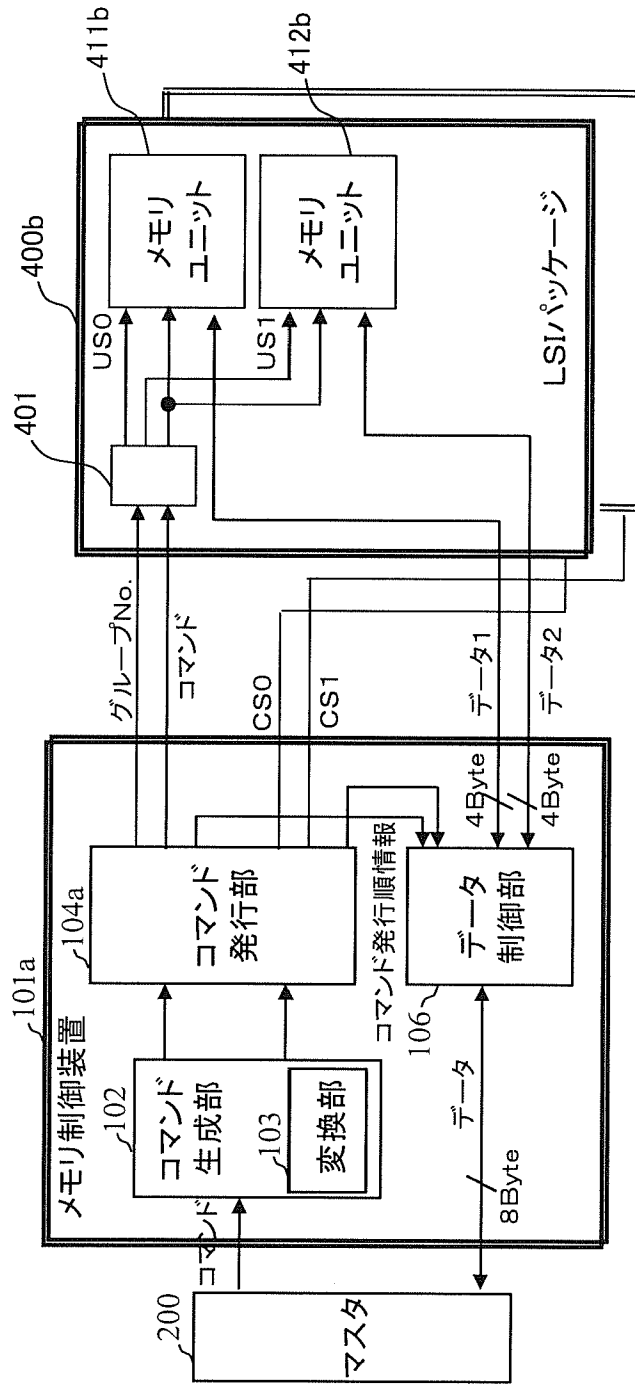
[図34B]



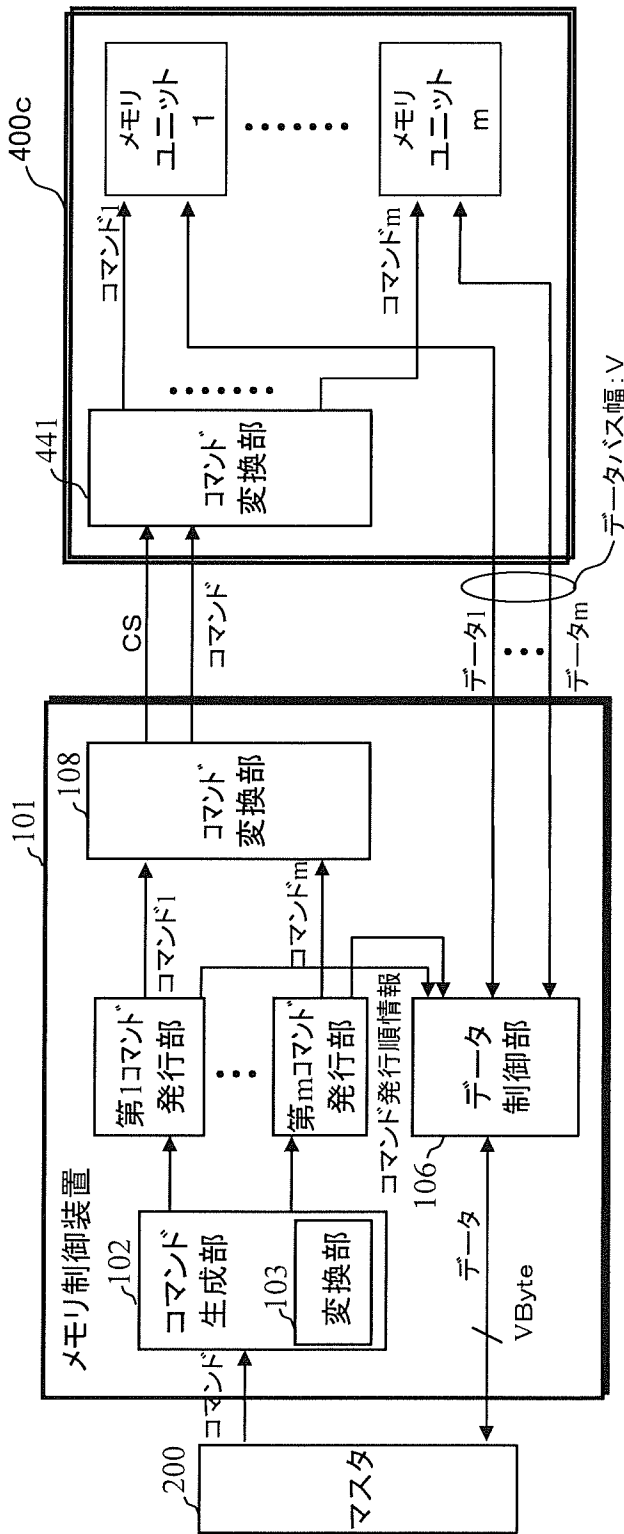
[図35A]



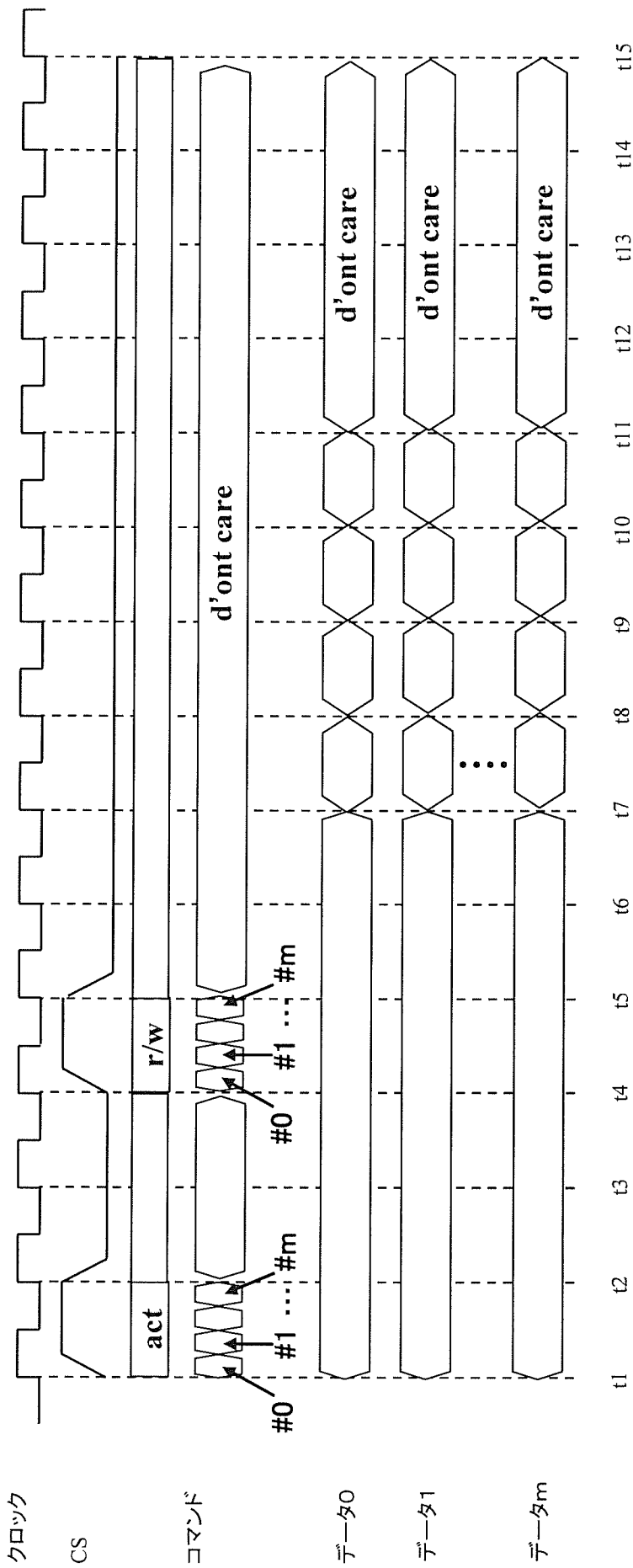
[図35B]



[図36]



[図37]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/074878

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/06(2006.01)i, G06F12/02(2006.01)i, G06T1/20(2006.01)i, G06T1/60(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/06, G06F12/02, G06T1/20, G06T1/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2003/060722 A1 (Renesas Technology Corp.), 24 July, 2003 (24.07.03), Full text; all drawings (Family: none)	1, 3, 4, 6, 24-26, 28, 29 2, 7, 11-16, 18-22, 27, 30 5, 8-10, 17, 23
Y	JP 2005-148218 A (Seiko Epson Corp.), 09 June, 2005 (09.06.05), Par. No. [0009] (Family: none)	2
Y	JP 11-98462 A (Hitachi, Ltd.), 09 April, 1999 (09.04.99), Full text; all drawings (particularly, Par. Nos. [0031] to [0038]; Figs. 6, 7) & US 6295596 B1	7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 March, 2008 (19.03.08)Date of mailing of the international search report
01 April, 2008 (01.04.08)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/074878

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-105367 A (Toshiba Corp.), 24 April, 1998 (24.04.98), Full text; all drawings & US 6005592 A1	11-15, 18-22
Y	JP 11-203197 A (Oki Data Corp.), 30 July, 1999 (30.07.99), Par. Nos. [0007] to [0020]; Fig. 1 (Family: none)	16
Y	JP 2001-92771 A (Toshiba Corp.), 06 April, 2001 (06.04.01), Full text; all drawings (particularly, Par. Nos. [0015] to [0023]; Fig. 1) (Family: none)	27, 30
A	EP 1026595 A1 (ST Microelectronics Ltd.), 09 August, 2000 (09.08.00), Full text; all drawings & US 6182192 B1	1-30
A	WO 97/24727 A1 (MICRON TECHNOLOGY, INC.), 10 July, 1997 (10.07.97), Full text; all drawings & US 5748551 A1 & US 5903509 A1	1-30
A	JP 4-167160 A (Matsushita Electric Industrial Co., Ltd.), 15 June, 1992 (15.06.92), Full text; all drawings (Family: none)	5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/074878

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-25, 30 relate to a memory control device (method).
The inventions of claims 26-29 relate to a memory device.

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

- Remark on Protest**
- the The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G06F12/06(2006.01)i, G06F12/02(2006.01)i, G06T1/20(2006.01)i, G06T1/60(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G06F12/06, G06F12/02, G06T1/20, G06T1/60

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2008年
 日本国実用新案登録公報 1996-2008年
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 2003/060722 A1 (株式会社ルネサステクノロジ) 2003.07.24, 全文, 全図 (ファミリーなし)	1, 3, 4, 6, 24-26, 28, 29
Y		2, 7, 11-16, 18-22, 27, 30
A		5, 8-10, 17, 23

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 19.03.2008	国際調査報告の発送日 01.04.2008
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 秀人 電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2005-148218 A (セイコーエプソン株式会社) 2005.06.09, 段落【0009】 (ファミリーなし)	2
Y	JP 11-98462 A (株式会社日立製作所) 1999.04.09, 全文, 全図 (特に、段落【0031】 - 【0038】, 第6図, 第7図) & US 6295596 B1	7
Y	JP 10-105367 A (株式会社東芝) 1998.04.24, 全文, 全図 & US 6005592 A1	11-15, 18-22
Y	JP 11-203197 A (株式会社沖データ) 1999.07.30, 段落【0007】 - 【0020】, 第1図 (ファミリーなし)	16
Y	JP 2001-92771 A (株式会社東芝) 2001.04.06, 全文, 全図 (特に、段落【0015】 - 【0023】, 第1図) (ファミリーなし)	27, 30
A	EP 1026595 A1 (ST Microelectronics Limited) 2000.08.09, 全文, 全図 & US 6182192 B1	1-30
A	WO 97/24727 A1 (MICRON TECHNOLOGY, INC.) 1997.07.10, 全文, 全図 & US 5748551 A1 & US 5903509 A1	1-30
A	JP 4-167160 A (松下電器産業株式会社) 1992.06.15, 全文, 全図 (ファミリーなし)	5

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲 1 - 2 5, 3 0に係る発明は、メモリ制御装置（方法）に関するものである。
請求の範囲 2 6 - 2 9に係る発明は、メモリ装置に関するものである。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。