

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6873905号  
(P6873905)

(45) 発行日 令和3年5月19日(2021.5.19)

(24) 登録日 令和3年4月23日(2021.4.23)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A
HO 4 N 5/355 (2011.01)	HO 4 N 5/355 900
HO 4 N 5/3745 (2011.01)	HO 4 N 5/3745

請求項の数 17 (全 24 頁)

(21) 出願番号	特願2017-539116 (P2017-539116)	(73) 特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86) (22) 出願日	平成28年8月26日(2016.8.26)	(74) 代理人	100121131 弁理士 西川 孝
(86) 国際出願番号	PCT/JP2016/075028	(74) 代理人	100082131 弁理士 稲本 義雄
(87) 国際公開番号	W02017/043343	(72) 発明者	鈴木 亮司 東京都港区港南1丁目7番1号 ソニー株式会社内
(87) 国際公開日	平成29年3月16日(2017.3.16)	(72) 発明者	坂野 頼人 東京都港区港南1丁目7番1号 ソニー株式会社内
審査請求日	令和1年8月19日(2019.8.19)		
(31) 優先権主張番号	特願2015-179206 (P2015-179206)		
(32) 優先日	平成27年9月11日(2015.9.11)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 固体撮像装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

フォトダイオードと、  
前記フォトダイオード上に形成される容量と  
を備え、  
複数の前記フォトダイオードで前記容量を共有する画素共有において、前記フォトダイオードは、複数のサイズを有し、前記容量は、特定のサイズの前記フォトダイオード上に形成され、

前記容量が形成される前記特定のサイズの前記フォトダイオードとは異なるサイズの前記フォトダイオードは、前記容量をつなぐフローティングディフュージョンを用い、

前記容量のゲートと転送ゲートとは、隣接されて形成される  
固体撮像装置。

【請求項2】

前記容量は、polyを形成するMOS容量である  
請求項1に記載の固体撮像装置。

【請求項3】

前記容量は、ホール蓄積層上のn+電極である  
請求項1に記載の固体撮像装置。

【請求項4】

前記容量は、変換効率切り換え用である

請求項 1 に記載の固体撮像装置。

【請求項 5】

露光期間の殆どにおいて電極の電位を、実際に前記容量を使う際の電位よりも低い電位に保つ

請求項 1 に記載の固体撮像装置。

【請求項 6】

露光開始時に、リセットドレイン電位をふり、リセットトランジスタ経由で、前記容量であるMOSゲートまたはn+電極を低電位にし、その後、リセットドレイン容量間に接続するトランジスタをoffにすることにより、前記MOSゲートまたは前記n+電極を低電位に保持する

10

請求項 5 に記載の固体撮像装置。

【請求項 7】

前記フォトダイオードは、基板の深いところに埋め込まれており、前記容量として使う部分を、深さ方向に距離を取り分離する

請求項 1 に記載の固体撮像装置。

【請求項 8】

前記容量のゲートと前記転送ゲートとが別に形成される場合、前記容量と前記転送ゲートはオーバーラップされて形成される

請求項 1 に記載の固体撮像装置。

【請求項 9】

前記MOS容量の場合、MOSゲート下のSi側を高濃度のp型もしくはn型にして、CV特性においてリニアリティのよい領域を用いる

請求項 2 に記載の固体撮像装置。

20

【請求項 10】

Si側がp型の場合、ゲート電極として、p+polySi、PtSi、またはNiSiを用いる

請求項 9 に記載の固体撮像装置。

【請求項 11】

ゲート絶縁膜として、Si側がp型の場合、Al<sub>2</sub>O<sub>3</sub>を用い、Si側がn型の場合、Y<sub>2</sub>O<sub>3</sub>を用いる

請求項 9 に記載の固体撮像装置。

30

【請求項 12】

Si側がn型の場合、ゲート電極として、n+polySi、TaN、またはTiNを用いる

請求項 9 に記載の固体撮像装置。

【請求項 13】

ゲート絶縁膜として、Si側がp型の場合、HfO<sub>2</sub>を用い、Si側がn型の場合、La<sub>2</sub>O<sub>3</sub>を用いる

請求項 9 に記載の固体撮像装置。

【請求項 14】

前記リニアリティを評価し、曲がった部分は、後段において補正が行われる

請求項 9 に記載の固体撮像装置。

40

【請求項 15】

前記補正のための前記リニアリティの情報は、記録される

請求項 14 に記載の固体撮像装置。

【請求項 16】

裏面照射型である

請求項 1 に記載の固体撮像装置。

【請求項 17】

フォトダイオードと、

前記フォトダイオード上に形成される容量と

を備え、複数の前記フォトダイオードで前記容量を共有する画素共有において、前記フ

50

フォトダイオードは、複数のサイズを有し、前記容量は、特定のサイズの前記フォトダイオード上に形成され、

前記容量が形成される前記特定のサイズの前記フォトダイオードとは異なるサイズの前記フォトダイオードは、前記容量をつなぐフローティングディフュージョンを用い、

前記容量のゲートと転送ゲートとは、隣接されて形成される 固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

入射光を前記固体撮像装置に入射する光学系と

を有する電子機器。

【発明の詳細な説明】

【技術分野】

10

【0001】

本開示は、固体撮像装置および電子機器に関し、特に、トランジスタ素子側のSi界面の面積効率を上げることができるようにした固体撮像装置および電子機器に関する。

【背景技術】

【0002】

変換効率切り替え機能を有するC-MOSイメージセンサにおいて、低変換効率用の容量は、素子のない領域に接合容量、MOS容量、poly/poly容量として付けたり、配線容量を負荷にする。または、隣接FD(フローティングディフュージョン)に接続する方法などが取られていた(特許文献1, 2参照)。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献1】国際公開第2005/083790号

【特許文献2】特表2009-506541号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

これらの方法は、面積が取られたり、配線層数が増えてしまったり、工程数の増加を招く場合があり、安価に所望の大容量を付加することが困難であった。

【0005】

30

本開示は、このような状況に鑑みてなされたものであり、トランジスタ素子側のSi界面の面積効率を上げることができるものである。

【課題を解決するための手段】

【0006】

本技術の一側面の固体撮像装置は、フォトダイオードと、前記フォトダイオード上に形成される容量とを備え、複数の前記フォトダイオードで前記容量を共有する画素共有において、前記フォトダイオードは、複数のサイズを有し、前記容量は、特定のサイズの前記フォトダイオード上に形成され、前記容量が形成される前記特定のサイズの前記フォトダイオードとは異なるサイズの前記フォトダイオードは、前記容量をつなぐフローティングディフュージョンを用い、前記容量のゲートと転送ゲートとは、隣接されて形成される。

40

【0021】

本技術の一側面の電子機器は、フォトダイオードと、前記フォトダイオード上に形成される容量とを備え、複数の前記フォトダイオードで前記容量を共有する画素共有において、前記フォトダイオードは、複数のサイズを有し、前記容量は、特定のサイズの前記フォトダイオード上に形成され、前記容量が形成される前記特定のサイズの前記フォトダイオードとは異なるサイズの前記フォトダイオードは、前記容量をつなぐフローティングディフュージョンを用い、前記容量のゲートと転送ゲートとは、隣接されて形成される 固体撮像装置と、前記固体撮像装置から出力される出力信号を処理する信号処理回路と、入射光を前記固体撮像装置に入射する光学系とを有する。

【0022】

50

本技術の一側面においては、フォトダイオードと、前記フォトダイオード上に形成される容量とが備えられる。そして、複数の前記フォトダイオードで前記容量を共有する画素共有において、前記フォトダイオードが、複数のサイズを有し、前記容量が、特定のサイズのフォトダイオード上に形成される。また、前記容量が形成される前記特定のサイズの前記フォトダイオードとは異なるサイズの前記フォトダイオードにより、前記容量をつなぐフローティングディフュージョンが用いられ、前記容量のゲートと転送ゲートとが、隣接されて形成される。

【発明の効果】

【0023】

本技術によれば、トランジスタ素子側のSi界面の面積効率を上げることができる。

10

【0024】

なお、本明細書に記載された効果は、あくまで例示であり、本技術の効果は、本明細書に記載された効果に限定されるものではなく、付加的な効果があってもよい。

【図面の簡単な説明】

【0025】

【図1】本技術を適用した固体撮像装置の概略構成例を示すブロック図である。

【図2】本技術の画素の構成例を示す断面図である。

【図3】図2の画素の駆動例を示す図である。

【図4】MOS構造が示す上部電極電圧と電気容量の関係を示す図である。

【図5】出力のリニアリティを示す図である。

20

【図6】ゲート絶縁膜に各種high-k膜をSiO<sub>2</sub>と積層した場合のフラットバンド電圧の変化を示す図である。

【図7】ゲート電極に用いられる各種材料の仕事関数を示す図である。

【図8】本技術の画素の他の構成例を示す断面図である。

【図9】本技術の画素の他の構成例を示す断面図である。

【図10】本技術の画素の他の構成例を示す断面図である。

【図11】本技術の画素の他の構成例を示す断面図である。

【図12】図8乃至図11の画素の場合の駆動例を示す図である。

【図13】本技術の画素の他の構成例を示す断面図である。

【図14】本技術の画素の他の構成例を示す断面図である。

30

【図15】本技術の画素の他の構成例を示す断面図である。

【図16】本技術の画素の他の構成例（共有画素の場合）を示す断面図である。

【図17】図16の共有画素のアレイ展開図である。

【図18】本技術の画素の他の構成例（共有画素の場合）を示す断面図である。

【図19】図18の共有画素のアレイ展開図である。

【図20】本技術の画素の他の構成例（大面積PDと小面積PD構成の場合）を示す断面図である。

【図21】図20の共有画素のアレイ展開図である。

【図22】ゲートの形成位置について説明する図である。

【図23】本技術の画素の他の構成例（大面積PDと小面積PD構成の場合）を示す断面図である。

40

【図24】図23の画素の場合の駆動例を示す図である。

【図25】出力と露光時間との関係を示す図である。

【図26】本技術の画素の他の構成例（大面積PDと小面積PD構成の場合）を示す断面図である。

【図27】図26の画素の場合の駆動例を示す図である。

【図28】本技術の画素の他の構成例（大面積PDと小面積PD構成の場合）と駆動例を示す図である。

【図29】本技術の画素の他の構成例（大面積PDと小面積PD構成の場合）と駆動例を示す図である。

50

【図30】本技術の画素の他の構成例を示す図である。

【図31】図30の画素の場合の駆動例を示す図である。

【図32】本技術を適用したイメージセンサの使用例を示す図である。

【図33】本技術を適用した電子機器の構成例を示すブロック図である。

【発明を実施するための形態】

【0026】

以下、本開示を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態
2. 第2の実施の形態（イメージセンサの使用例）
3. 第3の実施の形態（電子機器の例）

10

【0027】

< 1. 第1の実施の形態 >

< 固体撮像装置の概略構成例 >

図1は、本技術の各実施の形態に適用されるCMOS（Complementary Metal Oxide Semiconductor）固体撮像装置の一例の概略構成例を示している。

【0028】

図1に示されるように、固体撮像装置（素子チップ）1は、半導体基板11（例えばシリコン基板）に複数の光電変換素子を含む画素2が規則的に2次的に配列された画素領域（いわゆる撮像領域）3と、周辺回路領域とを有して構成される。

20

【0029】

画素2は、光電変換素子（例えば、PD(Photo Diode)）と、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有してなる。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、および増幅トランジスタの3つのトランジスタで構成することができ、さらに選択トランジスタを追加して4つのトランジスタで構成することもできる。

【0030】

また、画素2は、画素共有構造とすることもできる。画素共有構造は、複数のフォトダイオード、複数の転送トランジスタ、共有される1つのフローティングディフュージョン、および、共有される1つずつの他の画素トランジスタから構成される。フォトダイオードは、光電変換素子である。

30

【0031】

周辺回路領域は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7、および制御回路8から構成される。

【0032】

制御回路8は、入力クロックや、動作モード等を指令するデータを受け取り、また、固体撮像装置1の内部情報等のデータを出力する。具体的には、制御回路8は、垂直同期信号、水平同期信号、およびマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5、および水平駆動回路6の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、これらの信号を垂直駆動回路4、カラム信号処理回路5、および水平駆動回路6に inputs する。

40

【0033】

垂直駆動回路4は、例えばシフトレジスタによって構成され、画素駆動配線を選択し、選択された画素駆動配線に画素2を駆動するためのパルスを供給し、行単位で画素2を駆動する。具体的には、垂直駆動回路4は、画素領域3の各画素2を行単位で順次垂直方向に選択走査し、垂直信号線9を通して各画素2の光電変換素子において受光量に応じて生成した信号電荷に基づいた画素信号をカラム信号処理回路5に供給する。

【0034】

カラム信号処理回路5は、画素2の例えば列毎に配置されており、1行分の画素2から出力される信号を画素列毎にノイズ除去等の信号処理を行う。具体的には、カラム信号処

50

理回路 5 は、画素 2 固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling) や、信号増幅、A/D (Analog/Digital) 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ (図示せず) が水平信号線 10 との間に接続されて設けられる。

【 0 0 3 5 】

水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

【 0 0 3 6 】

出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し、信号処理を行って出力する。出力回路 7 は、例えば、バッファリングだけを行う場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を行う場合もある。

【 0 0 3 7 】

入出力端子 12 は、外部と信号のやりとりをするために設けられる。

【 0 0 3 8 】

< 画素の構成例 >

図 2 は、本技術の画素の構成例を表している。図 2 の例においては、変換効率切り替え用の容量として、PD 上に p 型の MOS 容量を付けた PD 部の断面図が示されている。裏面照射型であるので、図中下から光が入ってくる。

【 0 0 3 9 】

画素 2 のセル構成は、PD 5 1 を含む PD 部 5 0、FD (Floating Diffusion) 5 2、TG (Transfer Gate) 5 3、Amp 5 4、RST 5 5、FDG (FD Gate) 5 6、FC (Floating Capacitor) 5 7、および SEL 5 8 により構成されている。

【 0 0 4 0 】

PD 部 5 0 は、Tr 側 Si/SiO<sub>2</sub> 界面を p 型にして、埋め込み PD 5 1 となっている。PD 5 1 は、n 型で、光電変換と電荷を溜める。TG 5 3 は、PD 5 1 に溜めた電荷を FD 5 2 に転送する。Amp 5 4 は、FD 5 2 と繋がっている。RST 5 5 は、RD (Reset Drain) と繋がり、FD 5 2 をリセットする。FDG 5 6 は、変換効率切り替え用スイッチである。FC 5 7 は、PD 5 1 上に形成されており、FDG 5 6 と繋がっている MOS 容量 (ゲート電極) である。SEL 5 8 は、信号を出力する画素を選択する。なお、SEL 5 8 は、必須ではない。

【 0 0 4 1 】

PD 部 5 0 は、被写体照度に応じて、低変換効率であるか、高変換効率であるか、を切り替える。これは、FDG 5 6 を on/off することで、FD 5 2 の容量を切り替えることにより行われる。

【 0 0 4 2 】

図 3 は、図 2 の画素の駆動例を示す図である。図 3 の A においては、低変換効率の場合の画素の駆動例が示されている。FDG 5 6 を on することによって、FD 5 2 に MOS 容量 (FC 5 7) がつながり、FD 5 2 の容量が増し、変換効率が下がる。出力する画素を、SEL 5 8 を on することにより選択し、FD 5 2 を、RD の High レベルにリセットする。そこで、リセットレベルを読み出し、TG 5 3 を on し、光電変換され、溜められた PD 5 1 の信号電荷を FD 5 2 に転送し、信号レベルを読み出し、カラム信号処理回路 5 で CDS によりオフセットばらつきが除去される。

【 0 0 4 3 】

信号読み出し後、再度 RST 5 5 を on し、その状態で、RD を Low とすることで、MOS ゲート (FC 5 7 のゲート) の電位を Low レベルとし、その状態で、FDG 5 6 を off する。これにより、MOS ゲート (FC 5 7 のゲート) に Low レベルを保持する。その後、RD を High レベルに戻す。その際、TG 5 3 を一度 on/off させることで、RD Low 時に PD 5 1 に逆流する電荷をリセットする。なお、信号読み出し後からのこれらの動作は、TG 5 3 の Low 電位が RD の Low 電位よりも十分に低ければ不要である。

10

20

30

40

50

## 【 0 0 4 4 】

次に、低変換効率の電子シャッタ時の駆動例について、図3のCを参照して説明する。RST55をonし、TG53をonすることによりPD51の電荷をFD52に捨て、PD51を空にする。TG53をoffした後、RDをLowとし、FDG56をonにして、FC57のゲート部にLow電位（実際に容量を使う際の電位よりもLow電位）を与える。その状態で、FDG56（リセットドレイン容量間に接続するトランジスタ）をoffすることによりFC57のゲート部をLow電位に保持する。この一連の動作によりPD51上のMOSゲートが露光期間の殆どにおいてLowレベルに保たれるので、PD51のMOSゲート側のp型領域のhole濃度を低下させることなく、暗電流、白点の発生を抑えることができる。

## 【 0 0 4 5 】

なお、高変換効率の場合の画素の駆動例は、図3のBに示されるように、電荷読み出し時にFDG56をoffにして、MOS容量（FC57）をFD52から切り離す。電子シャッタ動作は、低変換効率の場合の電子シャッタ動作（図3のC）と同じである。

## 【 0 0 4 6 】

図4は、MOS構造が示す上部電極電圧と電気容量の関係を示す図である。図4の例においては、横軸がMOSゲート電極電圧を示し、縦軸が電気容量を示している。FC57（ゲート）下にp型を用いる場合は、ゲート電位が高くなると、Si界面が空乏化してくるので、容量が下がってくる。この領域に入ると、変換効率が変化してしまうため、図5に示されるように、出力のリニアリティが悪くなってしまう。それを防ぐためには、フラットバンド電圧をより+側にして（すなわち、ゲート下を高濃度のp型にして）、動作点の中では空乏化しないようにする。それには、ゲート電極材料としては、p+poly、ptSi、NiSiなど、ゲート絶縁膜として、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>などを選択すると効果的である。なお、ゲート絶縁膜としては、他に、一般的なSiO<sub>2</sub>、SiONも選択可能である。

## 【 0 0 4 7 】

図6の例においては、ゲート絶縁膜に各種high-k膜をSiO<sub>2</sub>と積層した場合のフラットバンド電圧の変化が示されており、ゲート絶縁膜として、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>などを選択するとフラットバンド電圧が+側になることがわかる。

## 【 0 0 4 8 】

図7の例においては、ゲート電極に使われる各種材料の仕事関数が示されており、PtやNiの仕事関数がp+polyの仕事関数に近いことがわかる。

## 【 0 0 4 9 】

< 画素の構成例 >

図8は、本技術の画素の他の構成例を表している。図8の例においては、変換効率切り替え用の容量として、PD上にn型のMOS容量を付けたPD部の断面図が示されている。

## 【 0 0 5 0 】

図8の画素2のセル構成は、p型のMOS容量のFC57が、n型のMOS容量であるFC101に入れ替わった点が図2の例と異なっている。その他の構成は、図2と共通している。この場合、ゲートに電源電圧VDD、FDG56を介して、FD52にn+領域111を繋げることにより、図4のFC下n+の場合と記載した場合と記載したリニアリティのよい領域を用いることができる。n+領域111は、ホール蓄積層上のn+電極である。ゲート電圧固定で、Si側の電位が変動するので、CV特性は、高周波の線（b）ではなく、低周波の線（a）の曲線上にのる。

## 【 0 0 5 1 】

この場合は、図2のp型の場合と反対に、図6および図7にそれぞれ示されるように、ゲート絶縁膜に、Y<sub>2</sub>O<sub>3</sub>、La<sub>2</sub>O<sub>3</sub>など、ゲート電極に、n+poly、TaN、TiNなどのフラットバンド電圧がより-側（すなわち、高濃度のn型）になる材料を使うと効果的である。なお、ゲート絶縁膜としては、他に、一般的なSiO<sub>2</sub>、SiONも選択可能である。

## 【 0 0 5 2 】

また、通常、PD部50のTr側Si/SiO<sub>2</sub>界面は、p型にして埋め込みPD51としているので、p型上をn型にするために、PD51のn+領域111をTr側界面から離して配置し、界面の

10

20

30

40

50

n+領域 1 1 1 と PD 5 1 の間に p 型領域を確保している。PD 5 1 と TG 5 3 が離れると読み出しが困難になるので、インプラにより界面側に信号電荷を読み出すための n 型領域 1 1 2 を MOS ゲート (FC 1 0 1) 下の n+領域 1 1 1 を避けて設けている。

【 0 0 5 3 】

なお、図 9 および図 1 0 の例のように、TG 5 3 の代わりに、TG 1 3 1 や TG 1 4 1 のように、縦 Tr (VG:Vertical Gate) 構成にして、PD 5 1 と TG 1 3 1 または TG 1 4 1 とを近づけるようにしてもよい。図 1 0 の例のように、I 字型の TG 1 4 1 とした場合、TG 1 3 1 のようなハンマーヘッド部がない。したがって、FD 5 2 の n+拡散層と縦 Tr ゲート (TG 1 4 1) を近づけることができるので、PD 5 1 から FD 5 2 への転送が容易になり、PD 部 5 0 の構成領域自由度が上がる。

10

【 0 0 5 4 】

また、図 1 0 の例においては、FD 5 2 の下まで、PD 5 1 として、TG 1 4 1 の FD 5 2 側を転送パスとする例が示されている。さらに、図 8 乃至図 1 0 のように、FD 5 2 を MOS 容量 (FC 1 0 1) の拡散層側に接続するこの構成では、この n+領域 1 1 1 と pwell 間も、接合容量として付加されるので、より大きな容量を得ることができる。すなわち、図 1 0 の例においては、PD を深いところに埋め込み、深さ方向に距離を取り、容量として使う部分が分離されている。

【 0 0 5 5 】

この構成の場合の露光期間の殆どにおいて n+領域 1 1 1 の電位は、High レベルに設定し、pwell 領域で発生する暗電流のドレインとするか、低電位に設定し、PD 5 1 と n+領域 1 1 1 間の p 型領域のホール密度が上がるように設定するか、中間電位に設定し、その両方の効果を得るようにする。どれが有利かは、各領域を形成する不純物プロファイルの作り方や、製造プロセス中のダメージによるので、評価により決定すればよい。

20

【 0 0 5 6 】

また、図 1 1 に示される例のように、n+領域 1 1 1 側を Vss にして、ゲート (FC 1 0 1) 側を FD 5 2 に繋げてよい。図 1 1 の例の場合、n+領域 1 1 1 と pwell 間の接合容量は加わらないが、PD 5 1 上の電位を固定できるので、露光期間中のゲートの電位の設定動作が必要なくなる。

【 0 0 5 7 】

図 1 2 は、図 8 乃至図 1 1 の画素の場合の駆動例を示す図である。図 1 2 の A においては、低変換効率の場合の画素の駆動例が示されている。図 1 2 の B においては、高変換効率の場合の画素の駆動例が示されている。図 1 2 の C においては、電子シャッタ時の場合の画素の駆動例が示されている。

30

【 0 0 5 8 】

図 1 2 の駆動例は、基本的には、図 3 の駆動例と同じであるが、図 3 の例において RD が Low レベルのところ、図 1 2 の例では、High レベル、Middle レベルに点線が記されている。これは、図 8 乃至図 1 1 の例の n+領域 1 1 1 が暗電流を吸い込むため、RD を High レベルのままにしておいてもよいからである。ただし、pewll 領域の空乏層が広がってしまうと暗電流が増えるが、RD の電圧は、RD によって調整可能であるので、評価により決定することが可能である。

40

【 0 0 5 9 】

< 画素の構成例 >

さらに、本技術の画素の他の構成例について説明していく。図 1 3 の例においては、変換効率切り替え用の容量として、PD を深く埋め込み、上に p 型の MOS 容量を付けた PD 部の断面図が示されている。

【 0 0 6 0 】

図 1 3 の画素 2 のセル構成は、n 型の MOS 容量である FC 1 0 1 が、p 型の MOS 容量の FC 5 7 に入れ替わった点と、図 1 3 の PD 部 5 0 の Tr 側 Si/SiO<sub>2</sub> 界面の n+領域 1 1 1 が p 型領域 1 5 1 に入れ替わった点とが、図 8 の例と異なっている。

【 0 0 6 1 】

50

図14の例においては、図8乃至図10を参照して上述した接合容量(n+領域111)のみを用いた例が示されている。すなわち、図14の例の場合、FC101が除かれている点のみが図8の構成と異なっている。図14の例の場合、FDG56を介して、FD52にn+領域111が繋がれることにより、n+領域111とpwell間の接合容量が、FCとして用いられる。

【0062】

図15の例においては、変換効率切り替えTrとMOS容量のゲートを兼用した例が示されている。図15のAは、PD部50の断面図であり、図15のBは、PD部50のポテンシャル図である。

【0063】

図15のAの例においては、n+領域111に繋がっていたFDG56の代わりに、Si界面のn-領域162の上に、変換効率切り替えTrとMOS容量のゲートとして、FDG161が設けられている。

【0064】

図15のBのポテンシャルの電位(下向きがプラスの電位)に示されるように、FDG161がHigh電位の場合、ゲート(FDG161)下に電荷が入り、この部位が容量(接合容量)として、FD52に付加される。FDG161がLow電位の場合、電荷がゲート(FDG161)下に入らないのでMOS容量としてFD52に付加されない。

【0065】

なお、図13乃至図15の例においては、図8の例と同様に、インプラで読出し部を界面に引き出す例について説明したが、図9または図10の例と同様に、T字、I字の縦型Trと組み合わせることも可能である。

【0066】

図16および図17の例においては、図14の構成例を2×2の共有画素に適用した例が示されている。図16のAは、PD部50の断面図であり、図16のBは、2×2の共有画素の平面図である。図17は、図16のBの共有画素のアレイ展開図である。図16の例の場合、各PD51上に容量を形成する必要はなく、共有単位で少なくとも1つのPD51上に容量が形成されればよい。その際、他のPD51上は、他のTrやwellコンタクト172を割り振って形成すれば、面積効率よく微細化を行うことができる。

【0067】

例えば、図16の例においては、PD51-1上には、FCとしてのN+領域111が形成されている。PD51-2上には、Trの1つであるAmp54が形成されている。PD51-3上には、Trの1つであるSEL58と、wellコンタクト172が形成されている。PD51-4上には、Trの1つであるFDG171とRST55が形成されている。

【0068】

なお、光学的な均一性を考えれば、1/2の画素に配置したい場合は、市松配置の画素、例えば、ベイヤー配列のG画素に配置するとよい。1/4の画素に配置したい場合は、MOS容量のとき、より長波長側の画素に配置すると、polyによる反射成分が増えるので、感度的に有利である。

【0069】

図18および図19は、図14の例の場合の接合容量が2つのPD上にかかる例を示している。図18のAは、隣接する2つの共有画素に跨るFC(としてのN+領域111)を中心とした断面図である。図18のBは、1つの共有画素の構成例を示す平面図である。図19は、図18のBの共有画素のアレイ展開図である。

【0070】

図19に示されるように、例えば、左下、右下、左上、右上の順に、共有画素2-1、共有画素2-2、共有画素2-3、共有画素2-4が配置されている。1つの共有画素2-2には、図18のBに示されるように、4つのPD51-1乃至51-4、それに対応するTG53-1乃至53-4、FD52、SEL58、Amp54、FDG56、RST55、FCとしてのN+領域111、Wellコンタクト172が配置されている。そのうち、SEL58、Amp54は

10

20

30

40

50

、共有画素 2 - 2 の上に配置される画素との境界に配置されている。そのうち、FDG 5 6、RST 5 5 は、共有画素 2 - 2 の右側に配置される画素との境界に配置されている。そのうち、FCとしてのN+領域 1 1 1 と、Wellコンタクト 1 7 2 は、共有画素 2 - 2 の左側に配置される共有画素 2 - 1 との境界に配置されている。なお、Wellコンタクト 1 7 2 は、4 つの共有画素に配置されている。

【 0 0 7 1 】

より詳細には、図 1 8 の A に示されるように、FCとしてのN+領域 1 1 1 は、共有画素 2 - 2 のPD 5 1 - 1 と、その左側に配置されている画素 2 - 1 のPD 5 1 - 2 の上の界面に形成されている。

【 0 0 7 2 】

以上のように、PD 5 1 が深く埋め込まれているので、その上側の界面における素子のレイアウトの自由度が上がるので、FCが複数のPD 5 1 の上に跨る配置も可能となる。

【 0 0 7 3 】

図 2 0 および図 2 1 は、図 1 4 の例の構成で、大面積（高感度）PDと小面積（低感度）PDを組み合わせた例を示している。図 2 0 の A は 2 つのPD有する画素のPD部の断面図である。図 2 0 の B は、PD面でみた平面図である。図 2 0 の C は、PD部の表面図である。図 2 1 は、図 2 0 の B の共有画素のアレイ展開図である。

【 0 0 7 4 】

図 2 0 の A の画素 2 のセル構成は、PD 5 1 が、大面積の大PD 1 8 1 に入れ替わり、小面積の小PD 1 8 2 が追加された点と、TG 5 3 が、各PDのTG 5 3 - 1 およびTG 5 3 - 2 と入れ替わった点とが、図 1 4 の例と異なっている。他の構成は、図 1 4 の例と共通している。なお、wellコンタクト 1 7 2 は、図 2 0 の例の場合、左右隣の画素との境界に形成されているが、図 1 4 の例の場合にも示されていないが、形成されている。

【 0 0 7 5 】

また、図 2 1 に示されるように、例えば、左下、右下、左上、右上の順に、共有画素 2 - 1、共有画素 2 - 2、共有画素 2 - 3、共有画素 2 - 4 が配置されている。1 つの共有画素 2 - 2 には、図 2 0 の B に示されるように、大PD 1 8 1 および小PD 1 8 2、それに対応するTG 5 3 - 1 および 5 3 - 2、FD 5 2、SEL 5 8、Amp 5 4、FDG 5 6、RST 5 5、FCとしてのN+領域 1 1 1、Wellコンタクト 1 7 2 が配置されている。そのうち、FCとしてのN+領域 1 1 1 は、大PD 1 8 1 の上の界面に配置されている。そのうち、SEL 5 8、Amp 5 4 は、共有画素 2 - 2 の上にはそのうち、SEL 5 8、Amp 5 4 は、共有画素 2 - 2 の上に配置される画素との境界に配置されている。そのうち、FDG 5 6、RST 5 5 は、共有画素 2 - 2 の右側に配置される画素との境界に配置されている。なお、図 2 1 の画素の形状が八角形の右上に小PD 1 8 2 が突き出た形状で形成されており、Wellコンタクト 1 7 2 は、八角形の右下の辺に配置されている。すなわち、Wellコンタクト 1 7 2 は、共有画素 2 - 2 の左下に配置される共有画素の小PDが突き出た形状の部分との境界に配置されている。

【 0 0 7 6 】

なお、図 2 0 および図 2 1 の例においては、容量（FC）とTrの配置を入れ替えるようにしてもよい。

【 0 0 7 7 】

また、図 2 0 の B に示されるように、PD面でレイアウトを見ると、裏面照射型で、このPDを中心に図示せぬカラーフィルタとオンチップレンズの集光中心を合わせる。この際に、大面積（高感度）PDを読み出す場合、図 1 2 の B の高感度読み出しと組み合わせるのがよく、小面積（小感度）PDを読み出す場合、図 1 2 の A の低感度読み出しと組み合わせるのが、効果的である。

【 0 0 7 8 】

また、図 2 などのp型のMOS容量を用いる場合、図 4 を参照して上述したようにゲート電位が低い方を用いた方がリニアリティがよくなる。しかしながら、FCのゲートはFDにつないで使うので、RD電位を低くして、FCのゲート電位を下げようとすると、FD電位も低くなり、PDとFDへの転送電界が弱まり、完全転送が困難になる。そこで、図 2 2 に示されるよ

10

20

30

40

50

うに、TG 5 3 と FC 5 7 のゲートを隣接させて形成する。これにより、Tgon時のカップリングを受けてFCのゲート (FD) 電位を昇圧するようなレイアウトにすると転送に有利である。FCのゲートとTrゲートと別に形成する際には、FC TGのオーバーラップを取ると、容量の面と転送電圧の面で有効である。

【 0 0 7 9 】

また、リニアリティが悪化した場合を想定し、予め画素アレイの信号線よりも後段の信号処理で、リニアリティの補正ができることが好ましい。イメージセンサの測定時に、固体毎のリニアリティ情報を記録すれば、図 5 に示されていた低光量部の曲がりを補正するなど、さらに補正を簡単に行うことができる。

【 0 0 8 0 】

図 2 3 は、大PDと小PDの小PD側にMOS容量を組み合わせた例を示す図である。

【 0 0 8 1 】

図 2 3 の A の例においては、小PD 1 8 2 から露光期間中にオーバーフローする電荷も信号として扱うために、小PD 1 8 2 のオーバーフロー先FC 5 7 と、大PD 1 8 1 のオーバーフロー先FD 5 2 をFCG (Floating Capacitor gate) 2 1 2 に分離している点が、図 2 0 の A の例と異なっている。

【 0 0 8 2 】

このようにすることで、図 2 3 の B に示されるように、高輝度用の小PD 1 8 2 から、オーバーフローした電荷を、FC 5 7 に蓄積してより高輝度側のレンジを拡げた動作が可能になる。

【 0 0 8 3 】

図 2 4 の A は、図 2 3 の A の例の電子シャッタ時のタイミングチャートであり、図 2 4 の B は、図 2 3 の A の例の読み出し時のタイミングチャートである。電子シャッタ時は、SEL 5 8 はoffのまま、RST 5 5 とともにTGS 2 1 3、TGL 2 1 1、FCG 2 1 2 をon/offさせ、大PD 1 8 1 と小PD 1 8 2、FD 5 2、FC 5 7 をリセットし、露光開始する。その際、図 2 3 の B のポテンシャル図に示されるように、高輝度領域においては、大PD 1 8 1 が飽和し、光電変換された電荷は、TGL 2 1 1、RST 5 5 のLowレベルを超えて、RDに捨てられる。FC 5 7 は、小PD 1 8 2 側の信号を使うためであるので、大PD 1 8 1 の飽和成分は入らないようにポテンシャル形成される。小PD 1 8 2 側で光電変換された信号電荷は、小PD + FC容量に蓄積される。したがって、図 2 5 の A および図 2 5 の B に示されるように、大PD 1 8 1 が短時間で飽和するような高輝度領域でも、小PD + FCは、飽和していない。

【 0 0 8 4 】

露光時間経過後、図 2 4 の B に示されるように、SEL 5 8 により該当画素が選択される。FD 5 2 をRST 5 5 でRDレベルにリセットし、その後FCG 2 1 2 がonし、FC 5 7 がFD 5 2 と繋がり、FD容量が増すので、低変換効率になる。次に、TGS 2 1 3 がon/offし、小PD 1 8 2 の電荷がFD 5 2 に読み出される。ここで、信号レベル(SL相)が読み出される。次に、RST 5 5 をonし、FD 5 2 をRDレベルにリセットする。RST 5 5 をoffする際、SEL 5 8 をLowレベルにすることで、電子シャッタ時と同じFD電位状態を作る。その後、再度SEL 5 8 をonし、リセットレベル(NL相)を読み出す。SLレベルからNLレベルを引き算することにより、Vthばらつきなどのノイズが除去される。

【 0 0 8 5 】

次に、FCG 2 1 2 をoffすることにより、FD 5 2 とFC 5 7 を切り離す。これにより、FD 5 2 の容量が減るので、高変換効率になる。ここで、FD 5 2 を再度リセットしない例を示す。まず、高変換効率時のリセットレベル(NH相)を読み出す。その後、TGL 2 1 1 をon/offし、大PD 1 8 1 の電荷をFD 5 2 に転送、信号レベル(SH相)を読み出す。NH相、SH相は、CDSによりノイズが除去される。高変換効率側は、リセットノイズも除去できるCDS動作が可能な駆動となっている。

【 0 0 8 6 】

図 2 6 は、図 2 3 の A の例に対して、変換効率切り替えTrのFDGを追加した例を示す図である。図 2 7 の A は、図 2 6 の電子シャッタのタイミングチャートであり、図 2 7 の B

10

20

30

40

50

は、読み出し時のタイミングチャートである。

【 0 0 8 7 】

図 2 3 の A の例においては、高変換効率時に FD 5 2 に繋がる素子が、Amp 5 4 と、TGL 2 1 1、FCG 2 1 2、RST 5 5 の 3 つの拡散領域だったのに対し、図 2 6 の構成においては、高変換効率時に FD 5 2 に繋がる素子が、Amp 5 4 と、TGL 2 1 1 と FDG 2 3 1 の 2 つの拡散領域となる。すなわち、図 2 6 の例においては、TGL 2 1 1 と FDG 2 3 1 の拡散領域を兼ねているので、1 か所になっているが、別の素子の拡散領域なので、2 つと数えられる。したがって、高変換効率時の FD 容量をより減らすことができる。また、低変換効率時には、追加された FDG 2 3 1 の容量が FD 5 2 に足されるので、より変換効率を下げられる。高低差を大きくとれるので、より高 D-range に対応できる。

10

【 0 0 8 8 】

図 2 8 の A は、図 2 6 の例から、TGS を除いた例を示す図である。図 2 8 の B は、その動作を説明するタイミングチャートである。

【 0 0 8 9 】

図 2 8 の A の例においては、TGS 2 1 3 が除かれた点と、TGL 2 1 1 が TRG 2 5 1 に入れ替わった点が異なっているだけであり、その他の構成は、同じである。このように構成することで、高輝度側の小 PD 1 8 2 は、オフセット性のノイズに強いので、PD と容量 FC を直接接続し、TGS 2 1 3 を省き、より微細化に対応した構成となっている。

【 0 0 9 0 】

図 2 9 の A は、図 2 8 の A の例に FDG を追加した例を示す図である。図 2 9 の B は、その動作を説明するタイミングチャートである。

20

【 0 0 9 1 】

図 3 0 の A は、小 PD を用いずにダイナミックレンジの拡大を行うようにした例を示す図である。図 3 0 の B は、そのポテンシャル図である。

【 0 0 9 2 】

図 3 0 の B に示されるように、高輝度信号時、光電変換された電荷が、PD 5 1 から TRG 2 5 1 を超えて、FD 5 2 に溢れ、さらに、FDG 5 6 を超えて、FC 5 7 に溢れる。

【 0 0 9 3 】

図 3 1 の A は、図 3 0 の A の例の電子シャッタ時のタイミングチャートであり、図 3 1 の B は、図 2 0 の A の例の読み出し時のタイミングチャートである。図 3 1 の B のタイミングチャートに示されるように、読み出し時には、FDG 5 6 を on/off することにより、FD 5 2 を、FD 5 2 + FC 5 7 に溢れた電荷のレベルにリセットし、高変換効率のリセットレベル N(CDS) を読み出す。その後、TRG 2 5 1 を on/off することにより、光電変換され、PD 5 1 に蓄積されていた信号電荷を FD 5 2 に転送し、信号レベル S(CDS) を読み出す。その後、FDG 5 6 を on し、FD 5 2 と FC 5 7 を接続し、FD 5 2 容量を増大し、低変換効率に切り替える。

30

【 0 0 9 4 】

ここで、低変換効率側の信号レベル S(CDS) を読み出す。リセットする際は SEL 5 8 を off しているのは、電子シャッタ時の電位に揃えるためである。高変換効率側は CDS によりリセットノイズを含めたノイズ除去が行えるのは、図 2 3 の例と同じである。

40

【 0 0 9 5 】

なお、上述した図 8 乃至図 1 0 において、ゲートを VDD につなぐ例を示したが、n+ が十分に濃い場合には、空乏層の伸びが小さく容量変動が小さいので、VSS につないでもよい。同様に、図 1 1 の n+ 拡散層も VSS につないでもよい。

【 0 0 9 6 】

上記説明においては、回路構成、動作として、容量構成、TG 形状、PD 形状の一組み合わせ例で説明したが、他の組み合わせでもよい。また、駆動方法は一例である。

【 0 0 9 7 】

以上のように、小面積で大きな容量が稼げるので、Tr 素子側 Si 界面の面積効率が上がる。変換効率切り換えの低感度画素に用いる際は、高変換効率と低変換効率の比率を大きく

50

とることが可能となり、低輝度ではSNがよく、高輝度では、白とびを起こさない、D-rangeの広い撮像を行うことができる。

【0098】

なお、上記説明においては、裏面照射の固体撮像装置の例について説明してきたが、表面照射の固体撮像装置にも本技術は適用することができる。

【0099】

また、上記説明においては、主に、変換効率切り替え用の容量について説明してきたが、変換効率切り替え用ではない、その他の用途の容量として使用する場合にも、本技術を適用することができる。

【0100】

< 2. 第2の実施の形態（イメージセンサの使用例）>

図32は、上述の固体撮像装置を使用する使用例を示す図である。

【0101】

上述した固体撮像装置（イメージセンサ）は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

【0102】

・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

【0103】

< 3. 第3の実施の形態（電子機器の例）>

< 電子機器の構成例 >

【0104】

さらに、本技術は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやデジタルビデオカメラ等のカメラシステムや、携帯電話機等の撮像機能を有する電子機器のことをいう。なお、電子機器に搭載されるモジュール状の形態、すなわちカメラモジュールを撮像装置とする場合もある。

【0105】

ここで、図33を参照して、本技術の電子機器の構成例について説明する。

【0106】

図33に示される電子機器300は、固体撮像装置（素子チップ）301、光学レンズ302、シャッタ装置303、駆動回路304、および信号処理回路305を備えている。固体撮像装置301としては、上述した本技術の第1の実施の形態の固体撮像装置1が設けられる。これにより、電子機器300の固体撮像装置301のトランジスタ素子側のSi界面の面積効率を上げることができる。

【0107】

10

20

30

40

50

光学レンズ302は、被写体からの像光（入射光）を固体撮像装置301の撮像面上に結像させる。これにより、固体撮像装置301内に一定期間信号電荷が蓄積される。シャッター装置303は、固体撮像装置301に対する光照射期間および遮光期間を制御する。

【0108】

駆動回路304は、固体撮像装置301の信号転送動作およびシャッター装置303のシャッター動作を制御する駆動信号を供給する。駆動回路304から供給される駆動信号（タイミング信号）により、固体撮像装置301は信号転送を行う。信号処理回路305は、固体撮像装置301から出力された信号に対して各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶されたり、モニタに出力される。

【0109】

なお、本明細書において、上述した一連の処理を記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0110】

また、本開示における実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【0111】

また、以上において、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。つまり、本技術は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0112】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、開示はかかる例に限定されない。本開示の属する技術の分野における通常の知識を有するのであれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例また修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【0113】

なお、本技術は以下のような構成も取ることができる。

(1) フォトダイオードと、

前記フォトダイオード上に形成される容量とを備える固体撮像装置。

(2) 前記容量は、polyを形成するMOS容量である前記(1)に記載の固体撮像装置。

(3) 前記容量は、ホール蓄積層上のn+電極である前記(1)に記載の固体撮像装置。

(4) 前記容量は、変換効率切り換え用である前記(1)乃至(3)のいずれかに記載の固体撮像装置。

(5) 露光期間の殆どにおいて電極の電位を、実際に前記容量を使う際の電位よりも低い電位に保つ

前記(1)乃至(4)のいずれかに記載の固体撮像装置。

(6) 露光開始時に、リセットドレイン電位をふり、リセットトランジスタ経由で、前記容量であるMOSゲートまたはn+電極を低電位にし、その後、リセットドレイン容量間に接続するトランジスタをoffにすることにより、前記MOSゲートまたは前記n+電極を低電位に保持する

前記(5)に記載の固体撮像装置。

10

20

30

40

50

(7) 前記フォトダイオードは、基板の深いところに埋め込まれており、前記容量として使う部分を、深さ方向に距離を取り分離する

前記(1)乃至(6)のいずれかに記載の固体撮像装置。

(8) 前記フォトダイオードを複数で共有する画素共有の場合、各フォトダイオード上が、容量、トランジスタ、またはwellコンタクトに割り振られている

前記(1)乃至(7)のいずれかに記載の固体撮像装置。

(9) 前記MOS容量の場合、MOSゲート下のSi側を高濃度のp型もしくはn型にして、CV特性においてリニアリティのよい領域を用いる

前記(1)乃至(8)のいずれかに記載の固体撮像装置。

(10) Si側がp型の場合、ゲート電極として、p+polySi、PtSi、またはNiSiを用いる 10

前記(9)に記載の固体撮像装置。

(11) Si側がp型の場合、ゲート絶縁膜として、HfO<sub>2</sub>、またはAl<sub>2</sub>O<sub>3</sub>を用いる

前記(9)または(10)に記載の固体撮像装置。

(12) Si側がn型の場合、ゲート電極として、n+polySi、Ta<sub>2</sub>N<sub>5</sub>、またはTiNを用いる

前記(9)に記載の固体撮像装置。

(13) Si側がn型の場合、ゲート絶縁膜として、Y<sub>2</sub>O<sub>3</sub>、またはLa<sub>2</sub>O<sub>3</sub>を用いる

前記(9)または(12)に記載の固体撮像装置。

(14) 前記リニアリティを評価し、曲がった部分は、後段において補正が行われる

前記(9)に記載の固体撮像装置。 20

(15) 前記補正のための前記リニアリティの情報は、記録される

前記(9)または(14)に記載の固体撮像装置。

(16) 裏面照射型である

前記(1)乃至(15)のいずれかに記載の固体撮像装置。

(17) フォトダイオードと、

前記フォトダイオード上に形成される容量と

を備える固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

入射光を前記固体撮像装置に入射する光学系と

を有する電子機器。 30

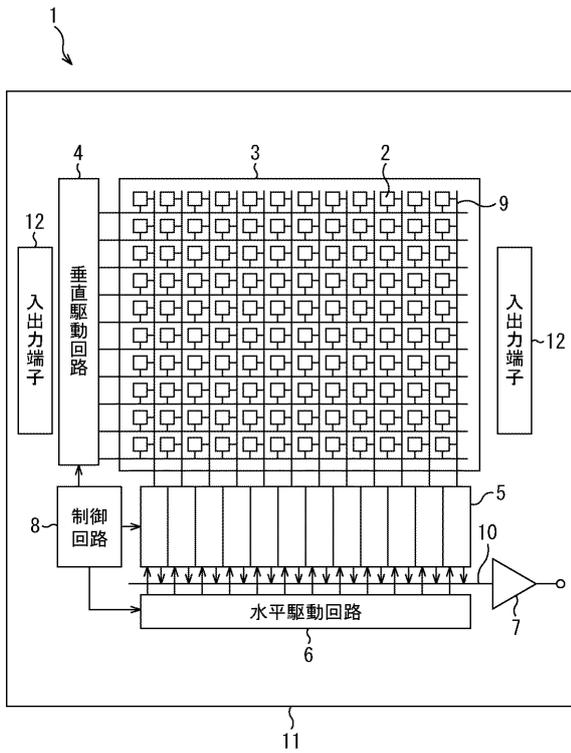
#### 【符号の説明】

#### 【0114】

1 固体撮像装置, 2 画素, 3 画素領域, 5 カラム信号処理回路, 5  
0 PD部, 51 PD, 52 FD, 53 TG, 54 Amp, 55 RST, 56 F  
DG, 57 FC, 58 SEL, 101 FC, 111 n+領域, 112 n-領域,  
131 TG, 141 TG, 151 p型領域, 161 FDG, 162 n-領域,  
171 FDG, 172 wellコンタクト, 181 大PD, 182 小PD, 21  
1 TGL, 212 FCG, 213 TGS, 251 TRG, 300 電子機器、30  
1 固体撮像装置, 302 光学レンズ, 303 シャッタ装置, 304 駆動回  
路, 305 信号処理回路 40

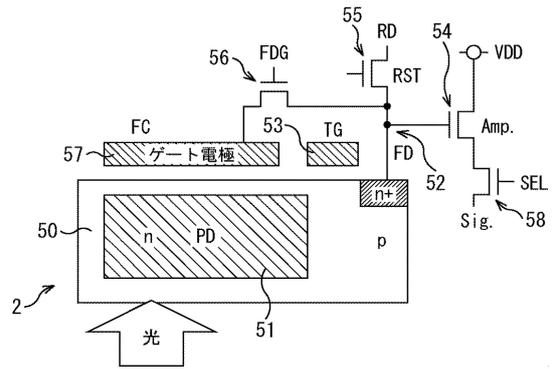
【図1】

図1



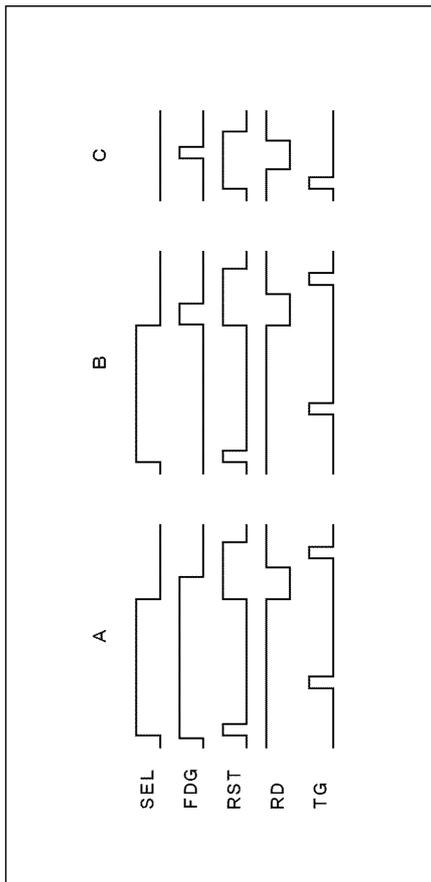
【図2】

FIG. 2



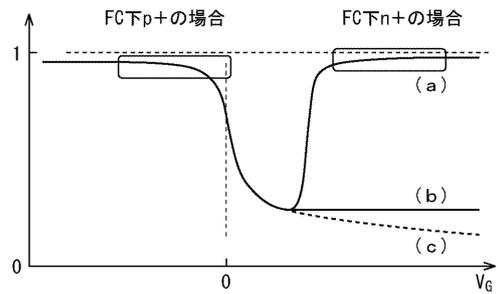
【図3】

FIG. 3



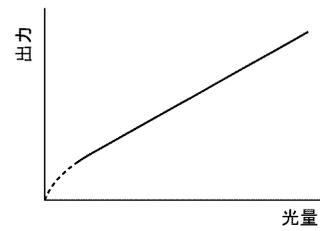
【図4】

FIG. 4

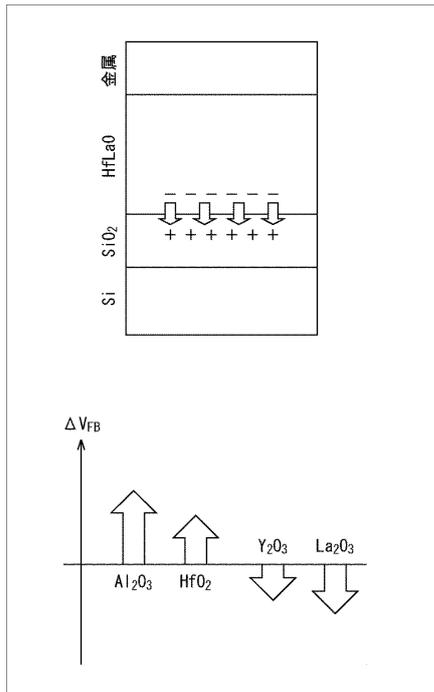


【図5】

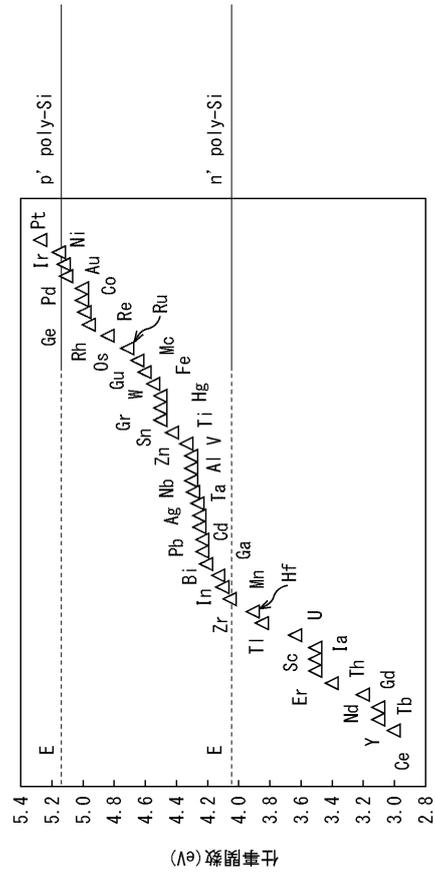
FIG. 5



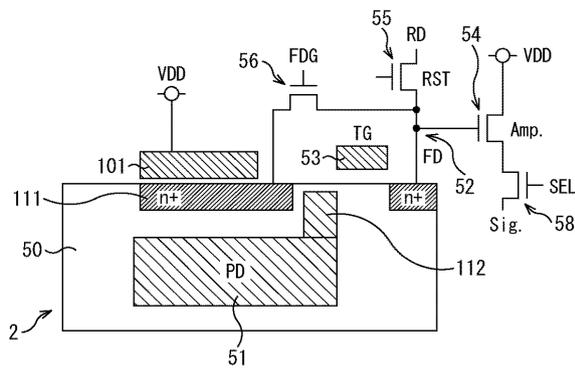
【図6】  
FIG. 6



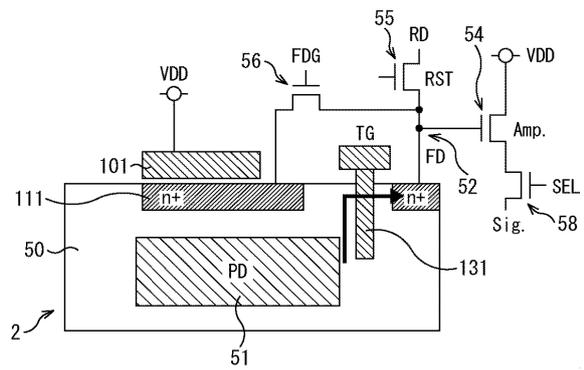
【図7】  
FIG. 7



【図8】  
FIG. 8



【図9】  
FIG. 9

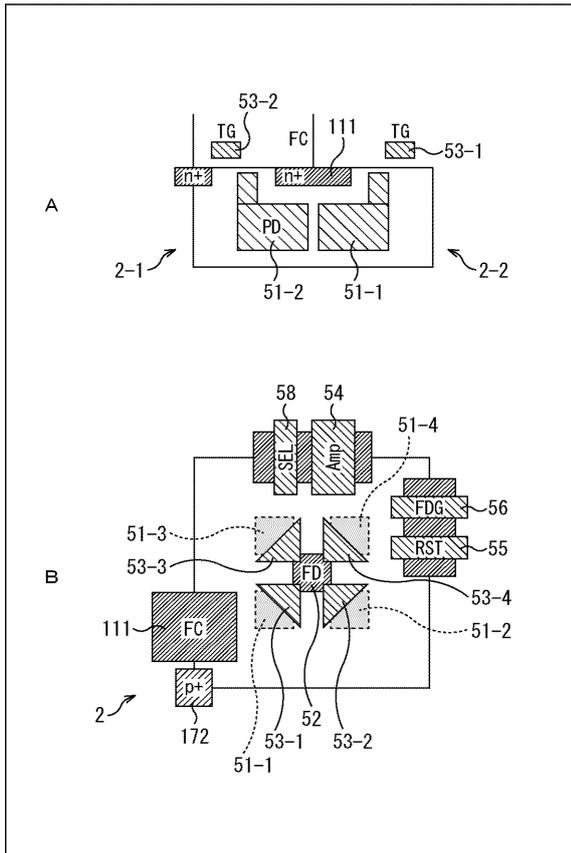






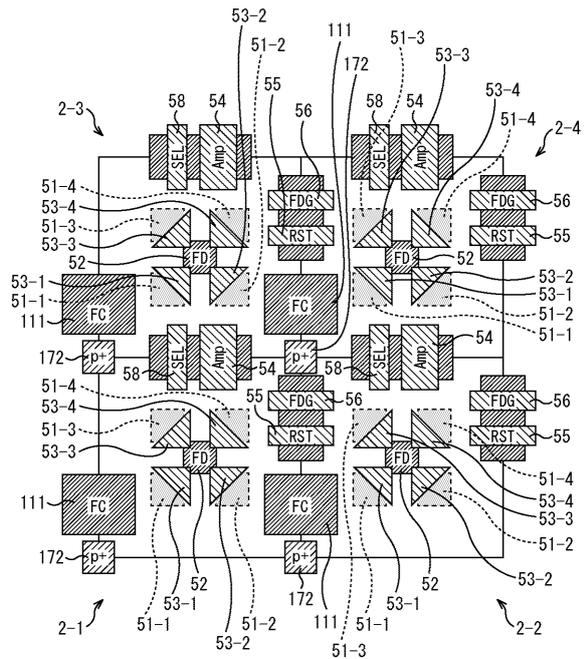
【図18】

FIG. 18



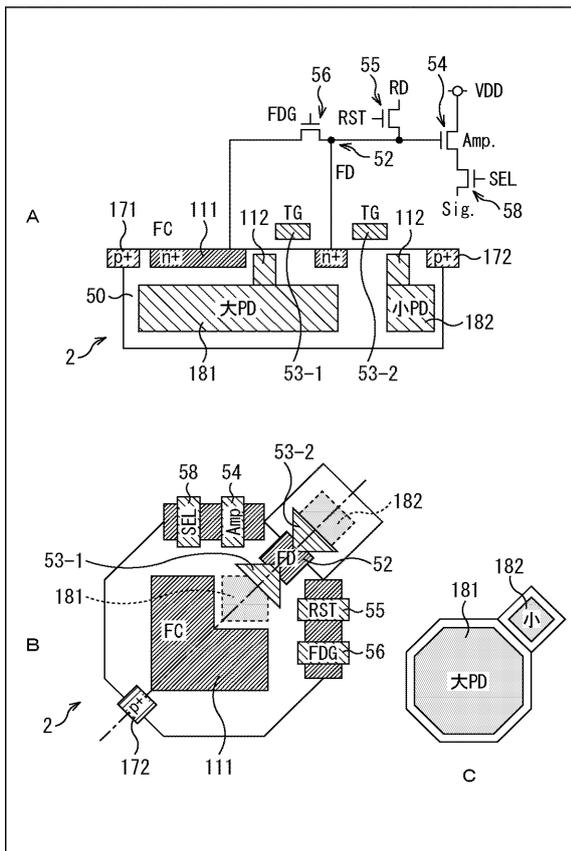
【図19】

FIG. 19



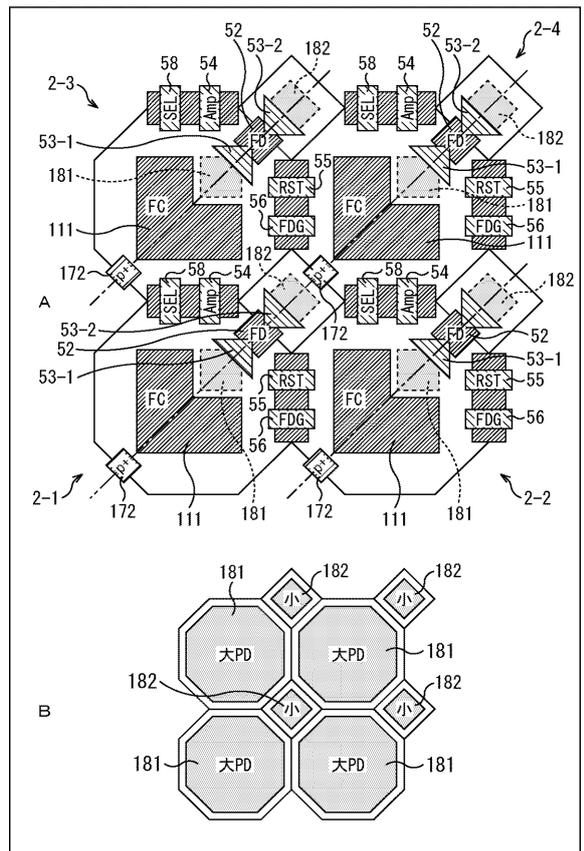
【図20】

FIG. 20

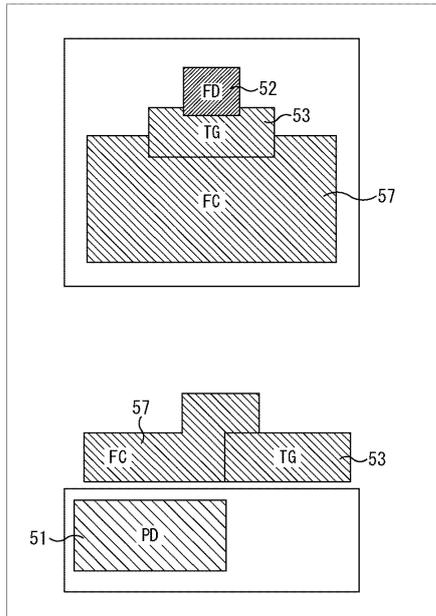


【図21】

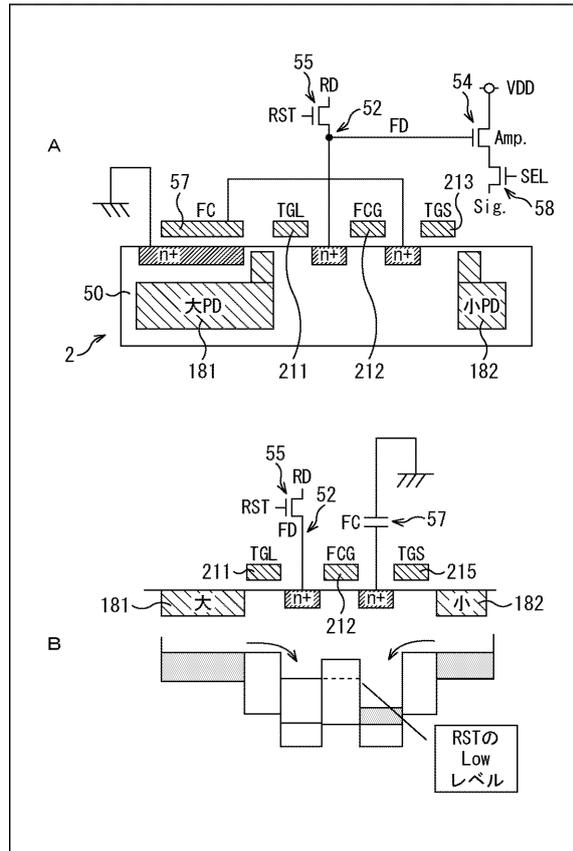
FIG. 21



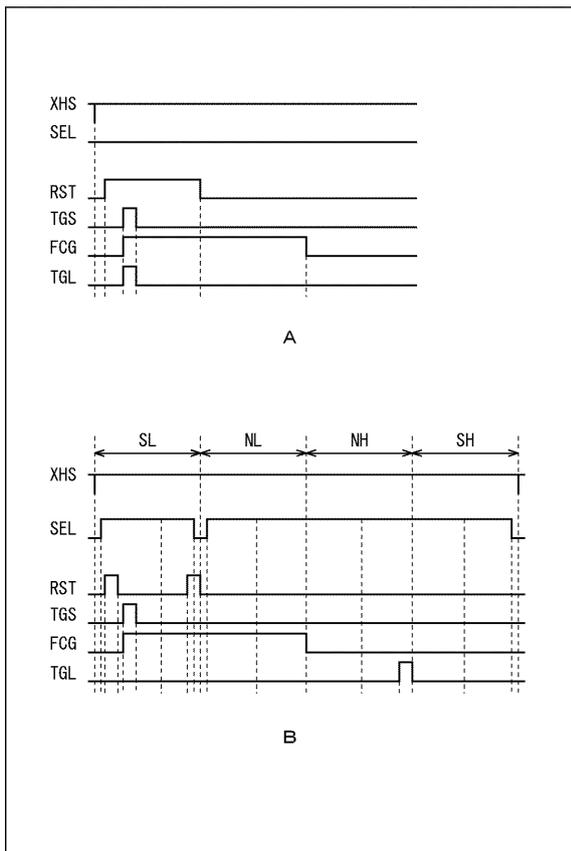
【図 22】  
FIG. 22



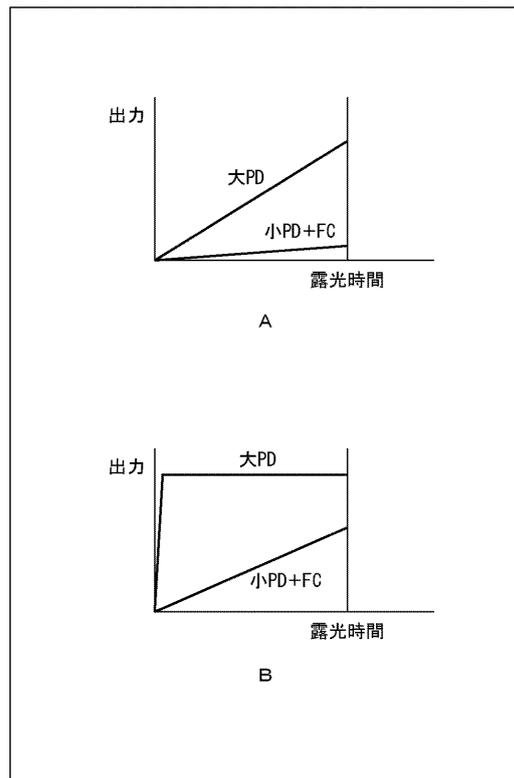
【図 23】  
FIG. 23



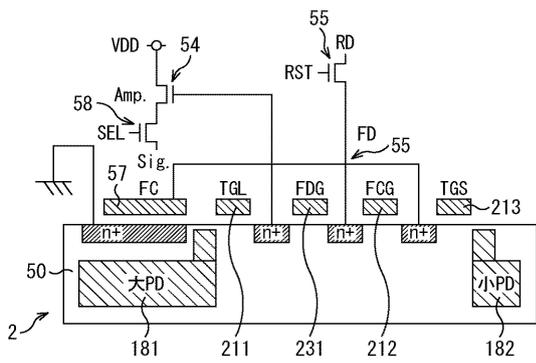
【図 24】  
FIG. 24



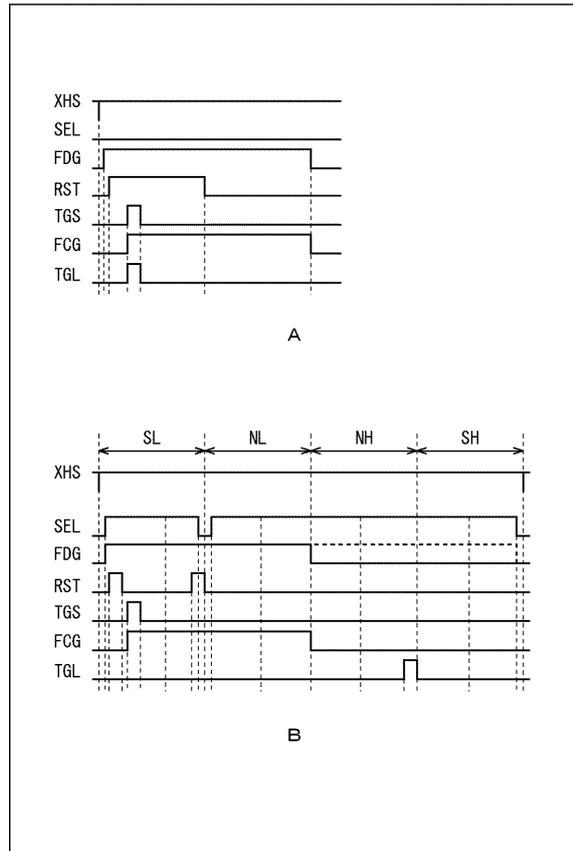
【図 25】  
FIG. 25



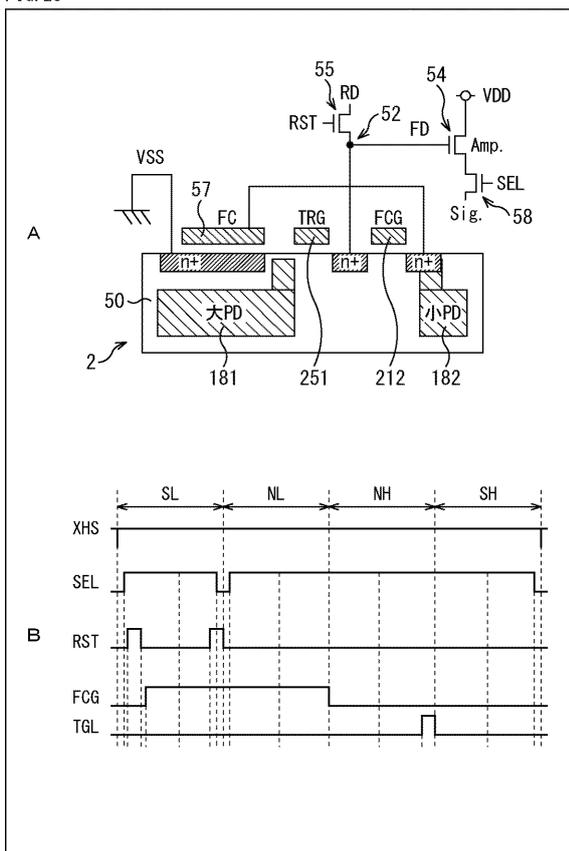
【 26 】  
FIG. 26



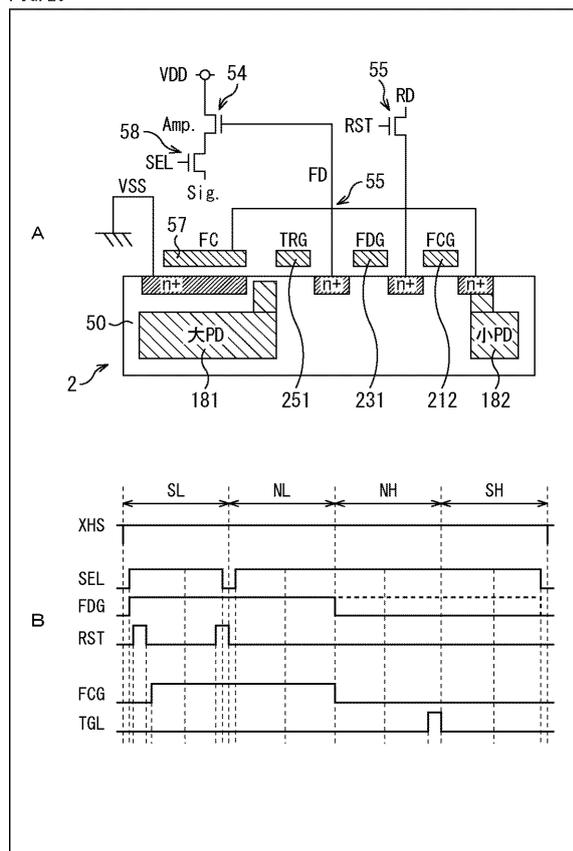
【 27 】  
FIG. 27



【 28 】  
FIG. 28

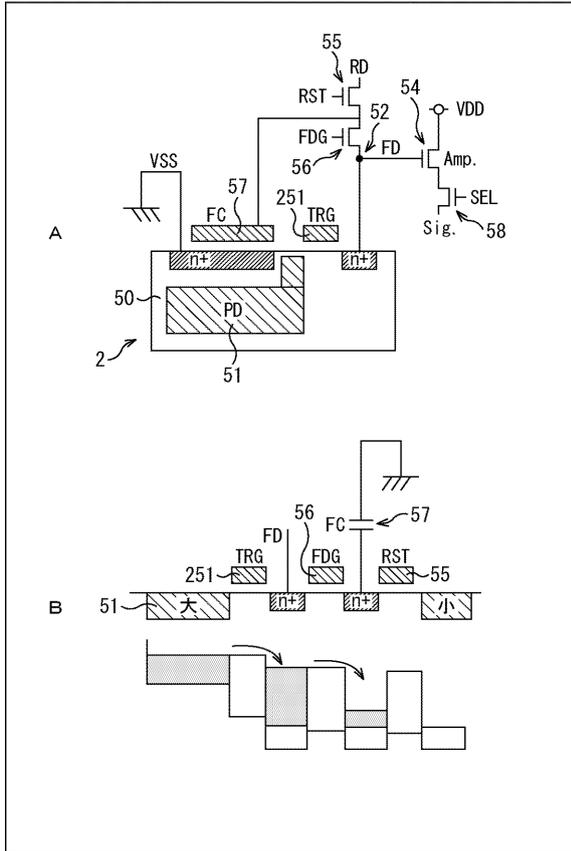


【 29 】  
FIG. 29



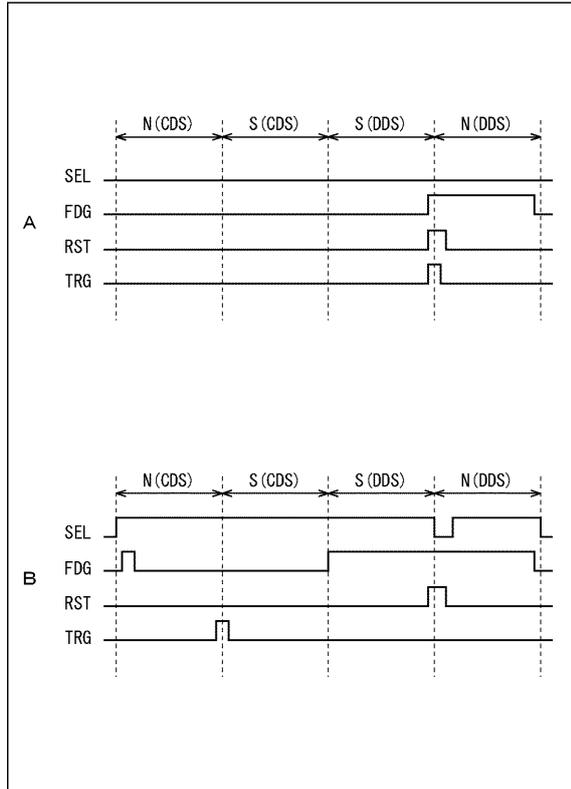
【図 30】

FIG. 30



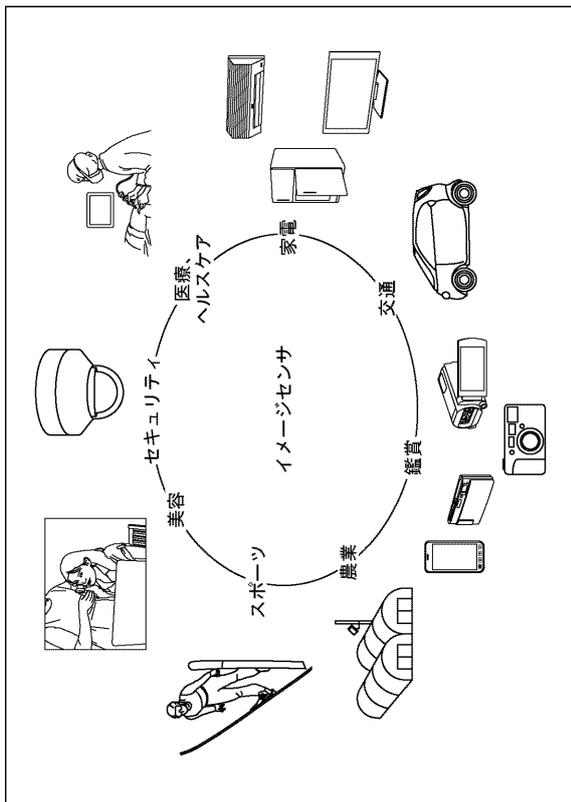
【図 31】

FIG. 31



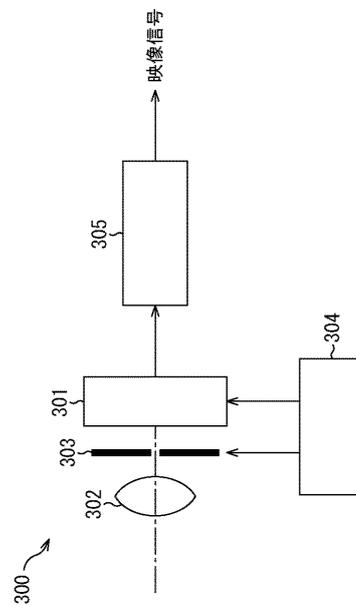
【図 32】

FIG. 32



【図 33】

FIG. 33



---

フロントページの続き

審査官 今井 聖和

- (56)参考文献 特開2014-112580(JP,A)  
国際公開第2015/012098(WO,A1)  
特表2010-531540(JP,A)  
特開2009-165186(JP,A)  
特開2013-161868(JP,A)  
特開2008-053333(JP,A)  
特開2015-056408(JP,A)  
特開2006-140666(JP,A)  
特開昭49-085975(JP,A)  
特開2008-288648(JP,A)  
特開2005-328493(JP,A)  
特開2006-261411(JP,A)  
特開2013-161945(JP,A)  
特開2008-166810(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H04N 5/369