

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3865185号

(P3865185)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int. Cl.

F I

HO 1 L 21/822 (2006.01)

HO 1 L 27/04

E

HO 1 L 27/04 (2006.01)

HO 1 L 21/82

T

HO 1 L 21/82 (2006.01)

請求項の数 6 (全 24 頁)

(21) 出願番号	特願平11-120619	(73) 特許権者	000005223
(22) 出願日	平成11年4月27日(1999.4.27)		富士通株式会社
(65) 公開番号	特開2000-22088(P2000-22088A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年1月21日(2000.1.21)	(74) 代理人	100070150
審査請求日	平成14年10月23日(2002.10.23)		弁理士 伊東 忠彦
(31) 優先権主張番号	特願平10-118266	(72) 発明者	山田 直人
(32) 優先日	平成10年4月28日(1998.4.28)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	小林 宣博
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置とその試験装置及び試験方法

(57) 【特許請求の範囲】

【請求項1】

実装面上に複数の信号端子が設けられた半導体装置であって、
前記複数の信号端子が実装面の辺以外の該実装面上に2次元に配置され、
前記実装面は複数の領域からなり、該複数の領域を構成する各々の領域に同じ種類の信号が入出力する信号端子を有し、

前記複数の領域のうちの一つの領域の信号端子は、該信号端子と同じ種類の信号が入出力する他の領域の信号端子と回転対称の位置にあることを特徴とする半導体装置。

【請求項2】

前記各々の領域には、該領域を試験モードに設定するための試験モード設定信号を入力する試験制御端子が備えられた請求項1に記載の半導体装置。 10

【請求項3】

前記各々の領域には、該領域を他の領域と区別するための領域識別信号を出力する領域識別信号端子がさらに備えられた請求項1に記載の半導体装置。

【請求項4】

前記領域識別信号端子から供給された前記領域識別信号に応じて、前記領域を選択的に前記試験モードに設定する試験モード設定回路をさらに備えた請求項3に記載の半導体装置。

【請求項5】

複数の信号端子が実装面の辺以外の該実装面上に2次元に配置され、回転対称の位置に 20

ある複数の所定領域内に同じ信号を入出力する信号端子が配置された半導体装置を試験する試験装置であって、

前記信号端子が設けられた前記所定領域内の位置によらず、前記信号端子に所定の試験信号を供給することを特徴とする試験装置。

【請求項 6】

複数の信号端子が実装面の辺以外の該実装面上に 2 次元に配置され、複数の領域からなる実装面において同じ信号を入出力する信号端子が回転対称の位置に配置された半導体装置の試験方法であって、

前記半導体装置を単一の試験ボードに搭載し、前記複数の領域のうち第一の領域に含まれた前記信号端子を前記試験ボード上の対応する試験信号供給端子に接続するステップと

10

、
予め作成された試験プログラムに応じて前記試験信号供給端子に所定の試験信号を供給し前記半導体装置の出力信号を調べるステップと、

前記半導体装置を前記試験ボードから離脱させるステップと、

前記半導体装置を所定の角度回転させた上で再度前記試験ボードに搭載し、前記複数の領域のうち第二の領域に含まれた前記信号端子を前記試験ボード上の対応する試験信号供給端子に接続するステップと、

前記試験プログラムに応じて前記試験信号供給端子に所定の試験信号を供給し、前記半導体装置の出力信号を調べるステップとを有することを特徴とする半導体装置の試験方法

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその試験装置及び試験方法に関し、さらに詳しくは、多種類の信号を入出力するための多数の信号端子を備えた半導体装置と、その半導体装置を試験するための試験装置及び試験方法に関するものである。

【0002】

【従来の技術】

近年、LSIチップの高集積化・多実装化に伴い半導体装置の多ピン化が進み、その端子数は数百ピンに達し、千ピンを超えるような場合もある。例えば、図1(a)に示すように、半導体装置(以下において、単に「IC」とも言う。)1の実装面1aに、例えばハンダボール30がマトリックス状に配列されたボールグリッドアレイ(BGA)型のICにおいては、ハンダボール30即ち端子が、例えば、500ピンを超えるものが製品化されている。ここで、ハンダボール30はそれぞれ電源端子31あるいは入出力信号端子32としての機能を有している。

30

【0003】

このようなICにおける機能試験は、ICを試験ボード上に搭載し、各信号端子を試験信号供給端子に電氣的に接続することにより行われるが、IC側の信号端子数が試験ボード上の試験信号供給端子の数を大幅に超過しているため、1個の試験ボードで全ての信号端子を試験することができないという問題を有している。特に、入出力特性等を確認するDC試験(Direct Current Test)では、確実に被測定端子に電氣的なコンタクトを必要とするため、大きな問題となっている。

40

【0004】

なお、上記「DC試験」とは、直流的方法で把握できる現象を測定する試験の総称であり、重要なものにオペレーション電流やスタンバイ電流、基板電流などの電流測定、入出力端子リーク測定、導通試験等がある。このうち、入出力端子リーク試験や導通試験は、直接、被測定端子とコンタクトをとる必要があり、これらの試験端子数がLSIテストにより一度に試験できる数を超えると、複数回に分けて試験する必要が生じると共に、全ての端子を試験するためには測定治具等も複数おこななくてはならなくなるのが実状である。また、DC試験は一時試験(PT)や最終試験(FT)には欠かせない重要な試験であり

50

、ＡＣ試験と対を成すものである。

そこで、上記のような問題を解決するＩＣの試験方法の一例について、図１から図３を参照して説明する。

【０００５】

なお、ここでは図１（ａ）に示したようなＩＣ１の回路機能の試験方法、特に同一機能を有する複数のＩＣを連続して試験する場合について、図２に示すフローチャートを参照して説明する。

まず、ステップＳ２１では、図１（ｂ）に示すように、ＩＣ１の実装面１ａ上の電源端子３１及び入出力信号端子３２を、例えば境界線Ｌ１，Ｌ２（図中点線）で区画して、便宜的に任意の数の領域Ｒ１～Ｒ４を規定する。なお、これらの各領域に含まれる各種の信号端子の数は、それぞれ試験ボード上に設けられた対応する試験信号供給端子の数を超えないように設定される。

【０００６】

また、これらの領域Ｒ１～Ｒ４は各々試験対象領域として取り扱われる。ここで、各領域Ｒ１～Ｒ４は境界線Ｌ１，Ｌ２により任意に区画されるため、各領域内の信号端子の配置とその種類は領域毎に異なっている。

次いで、ＩＣ１を所定の試験ボード上に搭載する。ここで、試験対象となる領域を例えば領域Ｒ１とした場合、試験ボードにはこの領域Ｒ１に設けられた信号端子の配置及びその種類に対応して試験信号供給端子及び配線が備えられている。

【０００７】

以下にＩＣの試験ボードへの搭載状態について、図３を参照して詳しく説明する。図３は、図１に示されたＩＣ１を試験ボード２ａ，２ｂに搭載したところを、試験ボードの下側から見た場合の透視図である。なお、図１と同等の構成部分には同一の符号を付してその説明を省略する。

ステップＳ２２においては、ステップＳ２１で分割し区画した領域のうち図１（ｂ）に示された領域Ｒ１が試験対象領域に設定され、ステップＳ２２ｂでは領域Ｒ１用の試験ボード２ａが試験装置に装着される。この試験ボード２ａは、図３（ａ）に示されるように、領域Ｒ１に備えられた電源端子３１及び入出力信号端子３２の配置及び種類に応じて試験信号供給端子３３が設けられており、ステップＳ２４において、領域Ｒ１に備えられた電源端子３１及び入出力信号端子３２が、配線３４により試験ボード２ａ上の試験信号供給端子３３に接続される。なお、ステップＳ２３において、ＩＣ１の試験ボード２ａへの搭載に先立って、領域Ｒ１用の試験プログラムがロードされる。

【０００８】

即ち、領域Ｒ１における信号端子の配置とその種類に応じて、電源端子３１及び入出力信号端子３２を対応する試験信号供給端子３３に接続するための配線３４が成された領域Ｒ１専用の試験ボード２ａが用いられる。

次いで、ステップＳ２５においては、ロードされた領域Ｒ１用の試験プログラムに基づいて、試験信号供給端子３３及び配線３４を介して所定の電源電流が電源端子３１に、また、入力信号等が所定の入出力信号端子３２にそれぞれ印加され、領域Ｒ１についての機能試験が行われる。そして、ステップＳ２６では、所定の入出力信号端子３２から出力された出力信号により領域Ｒ１における機能試験の結果が判定される。ここに於いて、機能が不良であると判定されたＩＣは、ステップＳ２７で不良品として以後の機能試験の対象から除外される。一方、機能が良好であると判定されたＩＣは、試験ボードから離脱され、ステップＳ２８で全てのＩＣの試験が完了したか否かが判断される。

【０００９】

そして、全てのＩＣの試験が完了していない場合には、ステップＳ２４に戻り、他の未試験のＩＣが同一の試験ボード２ａ上に搭載されて、ステップＳ２５からステップＳ２６に従って機能試験が繰り返される。一方、領域Ｒ１について全てのＩＣの試験が完了した場合には、ステップＳ２９で全領域Ｒ１～Ｒ４について機能試験が完了したか否かが判断される。

10

20

30

40

50

【 0 0 1 0 】

ここで、全領域 R 1 ~ R 4 について試験が完了した場合には機能試験を終了する。一方、全領域 R 1 ~ R 4 について試験が完了していない場合には、ステップ S 2 2 へ戻り、図 3 (b) に示されるように、例えば次の試験対象領域として領域 R 2 を設定する。そして、ステップ S 2 2 b で領域 R 1 用の試験ボード 2 a に代えて領域 R 2 用の試験ボード 2 b が試験装置に装着され、この領域 R 2 用の試験ボード 2 b に I C を搭載して、領域 R 2 の電源端子 3 1 と入出力信号端子 3 2 とを配線 3 4 により試験信号供給端子 3 3 に接続する。そして、領域 R 2 用にロードされた試験プログラムにより、領域 R 1 と同様の機能試験を行う。

【 0 0 1 1 】

このように、ステップ S 2 2 ~ S 2 8 の一連の手順が、領域 R 1 から領域 R 4 に対して繰り返し実行される。

以上のようにして、従来の多ピン化された I C の機能試験においては、試験対象領域毎に機能試験を繰り返し行うことにより、全ての入出力端子の試験を行っていた。即ち、より具体的には、従来においては試験する半導体装置の信号端子を任意の領域に分割していたため、分割された領域毎に各信号端子の配置と種類が異なっていた。そのため、分割された領域毎に対応する専用の試験ボードを作製し、かつ、各領域毎に対応した専用の試験プログラムを作成しなくてはならず、試験コストが増大していた。

【 0 0 1 2 】

そしてさらに、分割された領域毎に、試験において使用される試験ボード及び試験プログラムが異なるため、試験対象領域を変更する度に、異なる試験ボードへの乗せ換えや異なる試験プログラムのロードを行わなければならない、試験工程の数が増加するという問題も抱えていた。

【 0 0 1 3 】

【 発明が解決しようとする課題 】

本発明は、上述の問題点を解消するためになされたもので、多数の信号端子を有する半導体装置の機能試験において、その試験工程数及び試験コストの削減を実現するための半導体装置とその試験装置及び試験方法を提供することを目的とする。

【 0 0 1 4 】

【 課題を解決するための手段 】

上記の目的は、実装面上に複数の信号端子が設けられた半導体装置であって、前記複数の信号端子が実装面の辺以外の該実装面上に 2 次元に配置され、前記実装面は複数の領域からなり、該複数の領域を構成する各々の領域に同じ種類の信号が入出力する信号端子を有し、前記複数の領域のうちの一つの領域の信号端子は、該信号端子と同じ種類の信号が入出力する他の領域の信号端子と回転対称の位置にあることを特徴とする半導体装置を提供することによって達成される。

【 0 0 1 5 】

また、本発明の目的は、さらに各々の上記領域には、該領域を試験モードに設定するための試験モード設定信号を入力する試験制御端子が備えられた半導体装置を提供することにより達成される。

【 0 0 1 6 】

また、本発明の目的は、各々の上記領域には、該領域を他の領域と区別するための領域識別信号を出力する領域識別信号端子がさらに備えられた半導体装置を提供することにより達成される。

また、本発明の目的は、上記領域識別信号端子から供給された領域識別信号に応じて、上記領域を選択的に前記試験モードに設定する試験モード設定回路をさらに備えた半導体装置を提供することにより達成される。

【 0 0 1 8 】

また、本発明の目的は、複数の信号端子が実装面の辺以外の該実装面上に 2 次元に配置され、回転対称の位置にある複数の所定領域内に同じ信号を入出力する信号端子が配置さ

10

20

30

40

50

れた半導体装置を試験する試験装置であって、前記信号端子が設けられた前記所定領域内の位置によらず、前記信号端子に所定の試験信号を供給することを特徴とする試験装置を提供することにより達成される。

【0019】

また、本発明の目的は、複数の信号端子が実装面の辺以外の該実装面上に2次元に配置され、複数の領域からなる実装面において同じ信号を入出力する信号端子が回転対称の位置に配置された半導体装置の試験方法であって、前記半導体装置を単一の試験ボードに搭載し、前記複数の領域のうち第一の領域に含まれた前記信号端子を前記試験ボード上の対応する試験信号供給端子に接続するステップと、予め作成された試験プログラムに応じて前記試験信号供給端子に所定の試験信号を供給し前記半導体装置の出力信号を調べるステップと、前記半導体装置を前記試験ボードから離脱させるステップと、前記半導体装置を所定の角度回転させた上で再度前記試験ボードに搭載し、前記複数の領域のうち第二の領域に含まれた前記信号端子を前記試験ボード上の対応する試験信号供給端子に接続するステップと、前記試験プログラムに応じて前記試験信号供給端子に所定の試験信号を供給し、前記半導体装置の出力信号を調べるステップとを有することを特徴とする半導体装置の試験方法を提供することにより達成される。

10

【0021】

本発明における上記手段によれば、半導体装置の実装面上に設けられた信号端子は各々回転対称の位置に配置され、かつ、回転対称となる複数の領域に分割しうするため、各領域に共通の試験ボードを用いて半導体装置を所定の角度ずつ回転させて搭載し、各領域を順次試験対象とすることにより、全領域の機能試験を行うことができる。これより、従来のように各領域毎に対応した試験ボードや試験プログラムを作成する必要がなく、試験コストを大幅に削減することができる。

20

【0022】

さらに、本発明における上記手段によれば、共通の試験ボードと共通の試験プログラムを使って半導体装置の機能試験を行うことができる。これにより、試験対象領域の変更時に該領域に応じて試験ボードを交換したり試験プログラムを新たにロードするという作業を行う必要がなく、半導体装置の順次装着角度を変えて試験ボードに搭載するだけで、全信号端子の良否を簡易に試験でき、試験工程の数及び試験コストの低減を図ることができることとなる。

30

【0023】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

[実施の形態1]

図4は、本発明の実施の形態1に係る半導体装置の実装面における信号端子の配置を示す図である。図4に示されるように、実施の形態1に係る半導体装置（IC）1の実装面においては、試験状態設定（Test Access Port；以下「TAP」とも記す。）端子10a、10b、電源端子（VDD）11a、11b、電源端子（GND）12a、12b、信号入力端子13a、13b、信号出力端子14a、14bが設けられている。

40

【0024】

すなわち、図4に示されるように、IC1の実装面を境界線Lによって領域R1、R2に分割すると、実装面上の領域R1内のTAP端子10a、電源端子（VDD）11a、電源端子（GND）12a、信号入力端子13a、信号出力端子14aは、領域R2内のTAP端子10b、電源端子（VDD）11b、電源端子（GND）12b、信号入力端子13b、信号出力端子14bとの間で、IC1の外形中心点15を回転中心として、180度回転移動した場合に実装面上の配置が一致し、かつ、同じ位置にくる端子の種類も一致するように設けられている。即ち、実装面上の端子の配置は、外形中心点15を回転中心として180度の回転対称となっている。

50

【0025】

なお、TAP端子10a, 10bは、試験状態制御信号を入力する端子で、領域R1, R2の各領域内に一つずつ設けられ、他の端子と同じように外形中心点15を回転中心として180度回転した時同じ位置になるよう配置されている。次に、本発明の実施の形態1に係る半導体装置に備えられた機能試験回路の構成について、図5を参照して説明する。図5に示されるように、本実施の形態に係る半導体装置は、TAP端子10a, 10bと、TAPコントローラ20aと、スキャン回路23と、領域R1, R2にそれぞれ設けられスキャン回路23から出力される制御信号が入力される入出力端子22a, 22bとを有している。なお、TAPコントローラ20aにはテストモードを制御する信号TMSと、テスト用クロック信号CLKとが入力される。

10

【0026】

そして、スキャン回路23は、TAPコントローラ20aからのクロック信号に基いて、順次入出力端子22a, 22bの状態を制御する信号が保持・出力されるフリップフロップ回路21a, 21bを有している。

このような試験回路を有するICにおいて、試験対象となる領域R1, R2のTAP端子10aあるいはTAP端子10bを介して、試験状態を設定するための制御信号がTAPコントローラ20aに入力されると、試験対象となる領域側の試験回路、例えば領域R1側のみ活性化されて、所定の基準クロックに基いてフリップフロップ回路21aにより各入出力端子22aが順次試験状態に設定され、さらに、他方の非試験対象とされる領域R2の各入出力端子22bについては、内部回路との間に電流経路が生じないような状態、例えば、ハイインピーダンス状態に設定される。

20

【0027】

また、スキャン回路23により入出力端子22a, 22bを介して内部回路に試験信号を印加するスキャンパスの順序についても、二つの領域R1, R2で同じになるように設定されている。

図6は、実装面上の任意の領域を試験状態に設定して機能試験を行うための回路をより具体的に示した図である。図6に示されるように、この回路は領域R1に対応して入出力端子22aとバウンダリースキャンレジスタBRaとを備え、領域R2に対応して入出力端子22bとバウンダリースキャンレジスタBRbとを備える。また、テストモードを制御する信号TMSとテスト用クロック信号CLKとが入力される試験制御回路20bを備え、試験制御回路20bとバウンダリースキャンレジスタBRaとの間にはトランスファゲートTG1が、試験制御回路20bとバウンダリースキャンレジスタBRbとの間にはトランスファゲートTG2がそれぞれ備えられる。ここで、トランスファゲートTG1はTAP端子10aに供給された信号により制御され、トランスファゲートTG2はTAP端子10bに供給された信号により制御される。この回路においては、試験制御回路20bからバウンダリースキャンレジスタBRa, BRbへ、テストのための命令信号およびデータ(信号TDI)が供給される。ここで例えば、領域R1が試験対象とされる場合には、TAP端子10aにハイレベルの信号が供給されるためトランスファゲートTG1がオンし、バウンダリースキャンレジスタBRaに信号TDIが伝達される。これにより、領域R1に設けられた入出力端子22aが順次試験状態に設定され、所望の機能試験が行われることになる。一方、この時TAP端子10bにはロウレベルの信号が供給されるため、トランスファゲートTG2はオフし、バウンダリースキャンレジスタBRbに信号TDIは伝達されない。なお、バウンダリースキャンレジスタBRaから出力されたデータなどの信号TDOは、試験制御回路20bに入力される。

30

40

【0028】

次に、本発明の実施の形態1に係る半導体装置の試験方法について、図7に示されるフローチャートを参照しつつ説明する。なお、ここでは特に、同一機能を有する複数のICを連続して試験する場合について説明する。

まず最初に、ステップS11では、IC1の実装面上の端子群を例えば境界線Lにより区画して二つの領域R1, R2を規定する。ここで、各領域R1, R2における端子数は、

50

その種類毎に、試験ボードに設けられた試験端子の数を超えないものとされる。

【0029】

次に、ステップS12では、試験プログラムがロードされ、ステップS13では、試験対象領域が設定される。

そして、ステップS14において、IC1を試験ボード上に搭載する。ここで、試験対象とする領域をいずれの領域に設定していても、実装面上の端子は回転対称に配置されているため、どの領域を試験対象とするかによらず一種類の試験ボードと一つの試験プログラムのみにより、全ての端子についてステップS15における機能試験を行うことができる。

【0030】

以下において、ICの試験ボードへの搭載状態について、図8を参照して詳しく説明する。図8は、IC1を試験ボード2に搭載した時に、これを試験ボード2の裏側から見た透視図である。図8(a)に示されるように、領域R1を試験対象領域に設定した場合、半導体装置1は、図4に示された領域R1側を図面上方とする向きで試験ボード2に搭載される。そして、領域R1内に設けられた各端子が、試験ボード上の対応する試験端子16に配線17により接続される。

【0031】

次に、ステップS15においては、ロードした全領域共通の試験プログラムに基き、たとえば電源端子(VDD)11aには所定の電源電流が、また、信号入力端子13aには入力信号がそれぞれ試験端子16を介して印加される。そして、ステップS16において、信号出力端子14aから出力される信号により領域R1の機能の良否を判定する。この判定において、不良と判断されたICは、ステップS17において不良品として以後の機能試験の対象から除外される。

【0032】

次いで、試験対象となっていたIC1を試験ボード2から取り外し、次ぎの未試験のICを同一の試験ボード2に搭載して、ステップS14からステップS16に従った機能試験が繰り返される。

そして、ステップS18で全てのICに対して領域R1における機能試験が完了したものとされた場合は、ステップS13に戻り、図8(b)に示されるように、次の試験対象領域として領域R2が設定される。次ぎに、ステップS14において共通の試験ボード2に、IC1をその領域R2側を図面上方にして、すなわちIC1を180度回転させて搭載する。そして、領域R2内の各種端子を配線17により試験端子16に接続して、ステップS15において領域R1の場合と同様な機能試験が行われる。

【0033】

このようにして、ステップS19で全ての領域R1, R2について機能試験が完了したものとされた場合は、機能試験を終了する。

このように、本実施の形態1に係る半導体装置とその試験方法によれば、半導体装置の実装面上に信号端子が180度の回転対称となるように設けられ、かつ、半導体装置内部のスキャン回路においてはスキャンパスを通す順序が各領域について同一になるように設定されているため、ICに設けられた端子の数が試験ボードの端子数を超える場合であっても、一つの共通した試験ボード及び試験プログラムを用いて、半導体装置の試験ボードへの搭載角度を180度変えるという簡易な操作により、分割された全ての領域についての機能試験及び全ての入出力端子のDC試験ができ、試験コストを大幅に抑えることができる。そしてさらに、試験工数の削減も図ることができる。

[実施の形態2]

図9は、本発明の実施の形態2に係る半導体装置の実装面における信号端子の配置を示す図である。図9に示されるように、実施の形態2に係る半導体装置(IC)1の実装面は、境界線L1, L2によって領域RA~RDに4分割され、領域RAには試験制御端子9a、電源端子(VDD)11a、電源端子(GND)12a、信号入力端子13a、信号出力端子14aが設けられている。

10

20

30

40

50

【 0 0 3 4 】

また、これらの端子は、上記実施の形態 1 に係る半導体装置の実装面と同様に、IC 1 の外形中心点 1 5 を回転中心として、90 度回転移動した場合に回転前後で実装面上の配置が一致し、かつ、同じ位置にくる端子の種類も一致するように設けられている。即ち、実装面上の端子の配置は、外形中心点 1 5 を回転中心として 90 度の回転対称となっている。

【 0 0 3 5 】

図 1 0 は、図 9 に示された半導体装置 1 が搭載された試験ボード 2 の構成を示す図である。図 1 0 に示されるように、試験ボード 2 には IC 1 の実装面上に設けられた各端子に対応して備えられた端子 1 9 b と、試験テストチャネルと接続されるコネクタ端子 1 8 b とが備えられており、各々の端子 1 9 b とそれらに対応するコネクタ端子 1 8 b とは配線 1 7 b により接続されている。ここにおいて、試験プログラムに基いた試験信号が試験テスト（図示していない）からコネクタ端子 1 8 b に供給され、分割された領域毎に機能試験が実施される。

10

[実施の形態 3]

しかしながら、上記実施の形態 1 または 2 に係る半導体装置及びその試験方法においては、以下のような問題がある。

【 0 0 3 6 】

第一に、上記実施の形態 1 または 2 に係る半導体装置は、順次所定の角度回転させて試験ボードに装着することにより、一つの試験プログラムで全ての試験領域を調べることができるので、試験の結果がどの領域のものであるかを区別できず、全ての試験領域について機能試験を行ったか否かについても判別できない。また第二に、実装面上の端子は、外形中心点について回転対称となるように配置されるため、チップ設計時の端子配置に大きな制約が課されるという問題もある。

20

【 0 0 3 7 】

そこで、上記第一の問題を解消する半導体装置とその試験方法について、本実施の形態 3 において説明する。図 1 1 は、本発明の実施の形態 3 に係る半導体装置の実装面における信号端子の配置を示す図である。図 1 1 に示されるように、実施の形態 3 に係る半導体装置（IC）1 の実装面は、境界線 L 1 , L 2 によって領域 R A ~ R D に分割され、各領域には試験制御端子 9 a、電源端子（VDD）1 1 a、電源端子（GND）1 2 a、信号入力端子 1 3 a、信号出力端子 1 4 a が設けられ、かつ、インデックス端子 5 が備えられる。

30

【 0 0 3 8 】

そして、各領域内の端子は、外形中心点 1 5 を回転中心として 90 度回転移動した場合に実装面上の配置が一致し、かつ、同じ位置にくる端子の種類も一致するように設けられている。即ち、実装面上の端子の配置は、外形中心点 1 5 を回転中心として 90 度の回転対称となっている。

ここで、インデックス端子 5 は、ある領域を他の領域と区別するための領域識別信号を出力する端子で、他の端子と同じように外形中心点 1 5 を回転中心として 90 度回転した時同じ位置にくるよう各領域 R A ~ R D 内に一つずつ配置されている。なお、領域識別信号は分割されたある領域の機能試験の結果が、どの領域のものであるかを認識するためのものである。

40

【 0 0 3 9 】

図 1 2 は、領域識別信号生成回路の構成を示す図である。図 1 2 に示されるように、この回路は電源ノード N D と、電源ノード N D とインデックス端子 5 との間に接続された抵抗 1 1 C とを備えるものである。ここで、抵抗 1 1 C の大きさは領域毎に異なるものとされるため、インデックス端子 5 から出力される領域識別信号の電圧は領域ごとに相違する。従って、領域識別信号の電圧を測定することにより、得られた機能試験の結果がどの領域のものであるかが識別される。

【 0 0 4 0 】

50

図13は、図11に示される半導体装置1を搭載した試験ボード2の構成を示す図である。図13に示されるように、試験ボード2の上には分割された四つの領域RA～RDのうちの一つの領域RAに含まれた各端子に対応して、電気的コンタクトを得るための端子19bが備えられ、さらに、試験ボード2とテストチャネル(図示していない)とを接続するためのコネクタ端子18が備えられる。そして、端子19bとコネクタ端子18とは、配線17bにより接続されている。

【0041】

このような本実施の形態3に係る半導体装置によれば、上記実施の形態1または2に係る半導体装置と同様な効果を奏するが、さらに、インデックス端子5から出力された領域識別信号により機能試験の対象とされた実装面上の領域を特定することができ、全ての試験領域において機能試験を実施したか否かの判断もすることができるようになる。

10

[実施の形態4]

上記実施の形態3に係る半導体装置の実装面上においては、上記のように、インデックス端子5が外形中心点15を対称点として90度の回転対称の位置に配置されているが、必ずしも回転対称の位置に配置される必要はない。そこで以下に、インデックス端子5が、実装面上で非対称に配置されている半導体装置について説明する。

【0042】

図14は、本発明の実施の形態4に係る半導体装置の実装面上の端子配置を示す図である。図14に示されるように、実施の形態4に係る半導体装置の実装面上の端子は、上記実施の形態3に係る半導体装置と同様に回転対称となるように配置されるが、インデックス端子5だけは外形中心点15について非対称に配置されている点で相違するものである。すなわち、インデックス端子5については、実装面上の回転対称の位置にある複数の領域RX内に一つずつ設けられるが、それぞれの領域RX内における位置は領域RA～RDごとに自由に定められる。

20

【0043】

また、図15は、図14に示された半導体装置が搭載された試験ボードの構成を示した図である。なお、図15は図14の領域RAを試験対象としている場合を示している。図15に示されるように、この試験ボードは図13に示された試験ボードと同様な構成を有するが、試験ボード上の領域RXB内にある四つの端子19bが短絡されている点で相違する。従ってこのような試験ボードによれば、半導体装置を90度ずつ回転させて装着することにより実装面上の領域RA～RDを順次試験してゆくとき、各領域毎に一つずつ設けられたインデックス端子5が、試験ボードの領域RXB内にある四つの端子19bのうちいずれか一つの端子と電気的に接触することとなれば、各領域について同じ試験プログラムによる機能試験を実現することができる。

30

【0044】

なお、上記実施の形態4に係る半導体装置は、インデックス端子5について設計上の自由度を持たせたものであるが、他の端子について設計上の自由度を持たせた半導体装置も同様に考えられる。

また、本実施の形態4に係る半導体装置においては、領域RX内にインデックス端子5の代わりに定電位を有する既存の端子の一つずつ備えるものであってもよい。即ち、図16に示されるように、領域RA内の領域RXにはハイレベルに固定された信号出力端子14aが、領域RB内の領域RXには電源端子(VDD)11aが、領域RC内の領域RXにはロウレベルに固定された信号出力端子14aが、領域RD内の領域RXには電源端子(GND)12aがそれぞれ備えられる。ここで、電源端子(VDD)11aの電圧は3.3V、ハイレベルに固定された信号出力端子14aの電圧は2.5V、ロウレベルに固定された信号出力端子14aの電圧は0.4V、電源端子(GND)12aの電圧は0Vとされる。従って、領域RX内にあるこれらの端子の電圧を機能試験時に読み取ることで、試験対象とする領域を識別することができる。

40

【0045】

なおこの他にも、分割した領域の試験制御に用いられるスキャン回路や分周回路で生成さ

50

れた信号を領域の識別に利用することも考えられる。即ち、たとえば図 17 に示される既存の分周回路 24 で生成された信号 SA を領域 RA 内の領域 RX に設けた端子に供給し、信号 SB を領域 RB 内の領域 RX に設けた端子に供給し、信号 SC を領域 RC 内の領域 RX に設けた端子に供給し、信号 SD を領域 RD 内の領域 RX に設けた端子に供給することによって、上記と同様な領域の識別が可能となる。

【0046】

このように、任意の試験領域を試験している時に試験ボードの定められた端子から領域ごとに特有の電気信号が得られれば、領域の識別が可能となる。

[実施の形態 5]

上記の実施の形態に係る半導体装置においては、IC チップ内に所定の電圧を有するインデックス端子を設けることによって、分割された領域の識別を可能としたが、このような端子を設ける代わりに IC チップやパッケージの形状を利用して領域の識別をすることも考えられる。

【0047】

図 18 は、パッケージングされた本発明の実施の形態 5 に係る半導体装置の構成を示す図である。図 18 に示されるように、この半導体装置のパッケージ PKG は、A 領域に近接した角だけを残して他の角は全て切り落とされている。そして図 19 は、図 18 に示されたパッケージ PKG が搭載された試験ボードの構成を示す図である。

【0048】

図 19 に示されるように、この試験ボードは図 13 に示された試験ボードと同様な構成を有するが、搭載されるパッケージ PKG の四隅の位置にはスイッチ 51a が備えられる。そして、図中 Y1 - Y2 の断面は図 20 に示され、X1 - X2 の断面は図 21 に示される。ここで、図 20 に示されるように、A 領域に近接した角にあるスイッチ 51a は、そのボタンスイッチ BS がパッケージ PKG により上から押されてオンし、外部入力信号 IN が試験ボードのコネクタ端子 18b を介して A 領域に供給される。一方、図 21 に示されるように、D 領域に近接した角にあるスイッチ 51a は、そのボタンスイッチ BS の上にパッケージ PKG が載らず上から押されることがないので、オフ状態にあって B 領域または C 領域に近接した角にあるスイッチ 51a も同様にオフ状態にある。

【0049】

このようにして、図 20 に示されたスイッチ 51a だけがオンすることによって、A 領域の外部入力信号 IN に対する応答が所定のコネクタ端子で測定され、試験対象領域が A 領域であるとの識別がなされることとなる。

なおここで、外部入力信号 IN を外部から供給する代わりに、半導体装置内部で用いられる信号を活用することも考えられる。

【0050】

また、上記実施の形態 5 に係るパッケージ PKG は、図 18 に示されるように B 領域、C 領域、D 領域のそれぞれに近接した三つの角が切り取られたものであったが、いずれかの領域に近接した一つの角だけを切り取ることによって、それによりオフするスイッチ 51a の位置に応じて試験対象領域を識別することができる。

[実施の形態 6]

本発明の実施の形態 6 に係る半導体装置は、上記実施の形態 3 の所で言及した第二の問題、即ち対称性の要求によるチップ設計時の端子配置の大きな制約を解消したものである。ここで図 22 は、本発明の実施の形態 6 に係る半導体装置の実装面上における端子配置を示す図である。

【0051】

図 22 に示されるように、実装面は境界線 L により領域 RA と領域 RB とに分割されるが、各領域 RA, RB に含まれる端子の数はいずれも試験ボードで同時に試験できる端子数より少ないものとされる。またこの分割は、各領域 RA, RB にインデックス端子 5 と試験制御端子 9a とが少なくとも一つずつ含まれるように設定される。なお、図 22 に示される半導体装置の実装面に配置された端子の数を種類別に示すと、以下の表 1 のようにな

10

20

30

40

50

る。

【 0 0 5 2 】

【 表 1 】

	入 力		出 力		VDD	GND
	試験制御入力	入力	インパルス出力	出力		
A領域	1	4	1	3	2	2
B領域	1	5	1	2	1	2
試験ボードによる 制限端子数	6		4		2	2

10

【 0 0 5 3 】

表 1 に示されるように、信号の入力に関しては A 領域で合計 5 つ、 B 領域で合計 6 つの端子が存在するが、いずれの領域についても試験ボードによる制限端子数の 6 以内とされている。以下、信号の出力と電源端子 (V D D 及び G N D) についても同様であることがわかる。

なお、図 2 2 では領域 R A と領域 R B とはそれぞれ一続きの領域をなしているが、領域 R A または領域 R B は離散した複数の領域の集合からなるものであっても良い。

20

【 0 0 5 4 】

図 2 3 は図 2 2 に示された半導体装置が搭載された従来の A 領域試験用ソケット S A の構成を示す図であり、図 2 4 は図 2 2 に示された半導体装置が搭載された従来の B 領域試験用ソケット S B の構成を示す図である。図 2 3 及び図 2 4 に示されるように、 A 領域及び B 領域試験用ソケット S A , S B にはそれぞれ、半導体装置 1 の実装面上の端子とコンタクトするための端子 6 3 b , 6 3 c と、試験ボード (図示していない) とコンタクトするための端子 6 4 b , 6 4 c とを備え、端子 6 3 b , 6 3 c と端子 6 4 b , 6 4 c とは配線 6 5 b , 6 5 c により接続される。

【 0 0 5 5 】

ここで図 2 3 と図 2 4 とを比較すると、試験ボードとコンタクトする端子 6 4 b , 6 4 c に接続される半導体装置の端子の種類が異なるため、 A 領域と B 領域とについて機能試験の為の試験プログラムをそれぞれ別個に用意する必要がある。

30

これに対し、図 2 5 は本発明の実施の形態 6 に係る A 領域試験用ソケット S A の構成を示し、図 2 6 は同じく B 領域試験用ソケット S B の構成を示す図である。

【 0 0 5 6 】

ここで図 2 5 に示される A 領域試験用ソケット S A は、図 2 3 に示される A 領域試験用ソケット S A と同様な構成を有するが、ダミー端子 6 6 b が備えられる点で相違する。これは、表 1 にも示されるように A 領域では B 領域より信号を入力する為の端子が一つ少ないので、その数をそろえる為である。従ってここでは、領域 R B 内の信号入力端子 1 3 a がダミー端子 6 6 b として用いられている。

40

【 0 0 5 7 】

また、図 2 6 に示される B 領域試験用ソケット S B は、図 2 4 に示される B 領域試験用ソケット S B と同様な構成を有するが、ダミー端子 6 6 c が備えられる点で相違する。これは、表 1 にも示されるように B 領域では A 領域より信号を出力する為の端子と電源端子 (V D D) とがそれぞれ一つずつ少ないので、それらの数をそろえる為である。従ってここでは、領域 R A 内の信号出力端子 1 4 a と電源端子 (V D D) 1 1 a とがダミー端子 6 6 c として用いられている。

【 0 0 5 8 】

このように、 A 領域試験用ソケットと B 領域試験用ソケットとでダミー端子をそれぞれ設けることにより、双方のソケット上において試験ボードとコンタクトする端子 6 4 b , 6

50

4cの種類とその配置が同一とされる。

すなわち、図23に示された従来のA領域試験用ソケットを試験ボードに搭載した場合の構成は図27に示され、図24に示された従来のB領域試験用ソケットを試験ボードに搭載した場合の構成は図28に示されるが、これらの図を比較すると、試験ボード2と試験テストチャネル(図示していない)との接続関係は、試験対象とする領域によって異なっていることがわかる。従って、従来においては分割した領域毎の試験用ソケットを作成し、同時に分割した領域毎の試験プログラムも作成する必要があった。

【0059】

これに対し、図29は、図25に示されたA領域試験用ソケットSAまたは図26に示されたB領域試験用ソケットSBが搭載された試験ボード2の構成を示す図である。図29に示されるように、本実施の形態6にかかる試験方法によれば、A領域を試験対象とする場合でもB領域を試験対象とする場合でも、試験用ソケットを載せ変えるだけで、試験ボード2と試験テストチャネルとの接続関係を維持することができるので、一つの試験プログラムで全ての領域について機能試験を実施できる。

10

【0060】

以下において、本発明の実施の形態6に係る試験方法について、図30のフローチャートを参照して説明する。

まず、ステップS101では、図22に示すように半導体装置1の実装面上の各端子を、例えば境界線Lにより区画して領域A、Bを規定する。なお、各領域A、Bに含まれる端子数は、試験ボードに設けられた端子数を超えないものとされる。

20

【0061】

次に、ステップS102で、試験ボードを試験装置に装着する。なお、試験対象を領域A又は領域Bのいずれにする場合であっても、試験ボードとコンタクトするソケットの端子は、図25と図26に示されるように、その配置と種類について不変であるので、同一の試験プログラムで機能試験が実施できる。従って、ステップS103では、試験装置において領域Aと領域Bとに共通の試験プログラムがロードされる。

【0062】

次に、ステップS104で、試験対象とする領域を設定する。以下においては、領域Aを初めに試験対象とする場合について説明する。そして、この場合にはステップS105で、図25に示されたA領域試験用ソケットSAが図29に示されるように試験ボードに装着される。

30

そして次ぎのステップS106では、半導体装置をソケットSAを介して試験ボードに搭載する。なお、この状態において、A領域内の各端子が試験ボード上の端子と接続される。

【0063】

ここにおいて、ステップS107では、上記試験プログラムに基いて試験ボード上の端子からソケットSAを介して、半導体装置の各端子に電源電圧などの各種信号が供給され、A領域についての機能試験が行われる。そして、ステップS108では、半導体装置のA領域から出力される信号により、A領域について半導体装置が良品であるか否かが判断される。

40

【0064】

その結果、A領域が不良であると判断された場合は、ステップS109で、試験対象としている半導体装置を不良品として以後の機能試験の対象から除外する。一方、A領域について良品であると判断された場合は、ステップS110で全領域の機能試験が完了しているか否かが判断される。そして、ここではB領域の機能試験がまだ完了していないのでステップS104にもどり、半導体装置1がソケットSAと共に試験ボードから取り外されて、試験対象として新たに領域Bが設定される。

【0065】

次に、ステップS105でB領域試験用ソケットSBが試験ボードに装着される。以下A領域の場合と同様にして、B領域について機能試験が実施される。ここで、一般に半導体

50

装置の試験ボードに対する載せ替えは自動ハンドラーで行われていることから、この自動ハンドラーによってA領域試験用ソケットSAをB領域試験用ソケットSBへ載せ替えることとする。

【0066】

このようにして、全ての試験対象領域について機能試験を終えるまでステップS104からステップS110までを繰り返す。そして、ステップS110で全試験領域の試験が完了したものと判断された場合は、ステップS111で全ての半導体装置について機能試験が行われたか否かが判断され、未試験の半導体装置が残っている場合は次ぎの半導体装置の機能試験に移り、ステップS104に戻る。一方、ステップS111で全半導体装置について機能試験が完了したものと判断された場合は機能試験を終了する。

10

【0067】

なお、上記の試験方法では、ある半導体装置についてその全試験対象領域における機能試験が終了した後に、初めて次ぎの半導体装置の機能試験が行われることになる。従って、一つの試験領域についての試験が完了する度に必要とされるソケットの載せ替えが、時間的あるいはコスト的な負担を招来する場合には、図31のフローチャートに示される方法で試験することも考えられる。

【0068】

即ち、図31に示される試験方法は、機能試験によって一つの領域について良否を判定するステップS208までは上記の試験方法と同様であるが、以下の点で異なるものである。

20

ステップS208である領域について良品であると判断された場合には、その半導体装置がソケットから取り外されると共に、ステップS210で全ての半導体装置について機能試験が完了したか否かが判断され、未試験の半導体装置がある場合にはステップS206に戻って次ぎの新たな半導体装置が同じソケットに搭載される。このようにして、全ての半導体装置についてステップS206からステップS210までが繰り返されることにより、複数ある試験対象領域のうちの一つの領域について機能試験が完了される。

【0069】

そして次に、ステップS211で全領域についての機能試験が完了したか否かが判断され、未試験の領域が残っている場合にはステップS204に戻り新たな試験対象領域が設定される。これにより、試験ボード上のソケットがステップS205で新たな試験対象領域に対応したソケットに交換され、全半導体装置についてステップS206からステップS210が繰り返される。このようにして、ステップS211で全領域の機能試験が完了したと判断されると、機能試験を終了する。

30

【0070】

ここで、図31に示された試験方法を図30に示された試験方法と比較すると、試験用ソケットの交換頻度が極めて少なくなるという利点はあるが、試験すべき全ての半導体装置の最後の試験対象領域の機能試験が行われるまで半導体装置の全試験領域を考慮した良品確認ができないという不利な点がある。従って、ソケット交換の自動化が可能な場合は、図30に示された試験方法を実施することが望ましい。

【0071】

しかしながら、図30あるいは図31に示されたいずれの試験方法においても、図2に示される従来の試験方法、即ち、複数の試験プログラムにより複数の試験ボードを用いて機能試験を行なう方法と比較すると、図25あるいは図26に示されたソケットを用いることで、単一の試験ボードと単一の試験プログラムで試験ボードに設けられた端子数を超えるような多ピン化された半導体装置の機能試験を行うことが可能となる。そして特に、ソケットの交換についても半導体装置の載せ替え同様に自動で交換することとすると、図30に示された試験方法により全試験領域を考慮しての良品判定が飛躍的に早くできるようになり、不良解析などへのフィードバックの向上を実現することができる。

40

【0072】

なお、これまでの説明においては、PGA (Pin Grid Array Package) タイプやBGA (

50

Ball Grid Array Package) タイプのパッケージについて行ったが、他のタイプのパッケージについても本発明が適用可能であることは言うまでもない。

【0073】

【発明の効果】

上述の如く、本発明によれば、従来より簡易に機能試験を行うことができ、かつ、機能試験を行う際のコストの大幅な低減を図ることができる。

また、実装面上の各領域に試験制御端子が備えられることによって、試験対象とする領域毎の活性化が可能となり、機能試験における消費電力の低減を図ることができる。

【0074】

また、実装面上の各領域に領域識別信号端子が備えられることによって、機能試験の結果がどの領域のものであるかを容易に特定することができ、試験対象とする半導体装置と試験結果との対応付け(トレーサビリティ)や品質管理の向上を実現できる。

また、非対称な形状を有するパッケージを備えることにより、機能試験の対象とする領域の特定を簡易に行うことができる。

【0075】

また、第一の領域の試験では第一のソケットに搭載し、第二の領域の試験では第二のソケットに搭載して機能試験を実施することにより、試験ボードの各試験信号供給端子に接続される実装面上の端子の種類を一定のものとすることができ、一つの試験ボードと一つの試験プログラムとによって全ての機能試験を行うことで機能試験のコストを下げるができる。

【0076】

さらに、上記のようなソケットを用いることで、半導体装置の実装面上の信号端子や試験制御端子等をその種類毎に回転対称となるように配置する必要がなく、多ピン化された半導体装置の機能試験を一つの試験ボードと一つの試験プログラムにより行う場合に、端子レイアウトの自由度を大幅に向上させることができる。

【図面の簡単な説明】

【図1】従来の半導体装置の構成図である。

【図2】従来の試験方法のフローチャートである。

【図3】従来の試験方法を説明する透視図である。

【図4】本発明の実施の形態1に係る半導体装置の実装面における信号端子の配置を示す図である。

【図5】本発明の実施の形態1に係る半導体装置に備えられた機能試験回路の構成を示す図である。

【図6】実装面上の任意の領域を試験状態に設定して機能試験を行うための回路をより具体的に示した図である。

【図7】本発明の実施の形態1に係る半導体装置の試験方法を示すフローチャートである。

【図8】ICが搭載された試験ボードを裏側から見た透視図である。

【図9】本発明の実施の形態2に係る半導体装置の実装面における信号端子の配置を示す図である。

【図10】図9に示された半導体装置が搭載された試験ボードの構成を示す図である。

【図11】本発明の実施の形態3に係る半導体装置の実装面における信号端子の配置を示す図である。

【図12】領域識別信号生成回路の構成を示す図である。

【図13】図11に示される半導体装置を搭載した試験ボードの構成を示す図である。

【図14】本発明の実施の形態4に係る半導体装置の実装面上の端子配置を示す図である。

【図15】図14に示された半導体装置が搭載された試験ボードの構成を示した図である。

【図16】試験対象とする領域を識別するための端子の他の配置例を示す図である。

10

20

30

40

50

【図 17】インデックス端子に供給する信号を生成するための分周回路の構成を示す図である。

【図 18】パッケージされた本発明の実施の形態 5 に係る半導体装置の構成を示す図である。

【図 19】図 18 に示されたパッケージが搭載された試験ボードの構成を示す図である。

【図 20】図 19 に示されたスイッチの Y 1 - Y 2 における断面の構成を示す断面図である。

【図 21】図 19 に示されたスイッチの X 1 - X 2 における断面の構成を示す断面図である。

【図 22】本発明の実施の形態 6 に係る半導体装置の実装面上における端子配置を示す図である。 10

【図 23】図 22 に示された半導体装置が搭載された従来の A 領域試験用ソケットの構成を示す図である。

【図 24】図 22 に示された半導体装置が搭載された従来の B 領域試験用ソケットの構成を示す図である。

【図 25】本発明の実施の形態 6 に係る A 領域試験用ソケットの構成を示す図である。

【図 26】本発明の実施の形態 6 に係る B 領域試験用ソケットの構成を示す図である。

【図 27】図 23 に示された従来の A 領域試験用ソケットを試験ボードに搭載した場合の構成を示す図である。

【図 28】図 24 に示された従来の B 領域試験用ソケットを試験ボードに搭載した場合の構成を示す図である。 20

【図 29】図 25 に示された A 領域試験用ソケットまたは図 26 に示された B 領域試験用ソケットを試験ボードに搭載した場合の構成を示す図である。

【図 30】本発明の実施の形態 6 に係る第一の試験方法を示すフローチャートである。

【図 31】本発明の実施の形態 6 に係る第二の試験方法を示すフローチャートである。

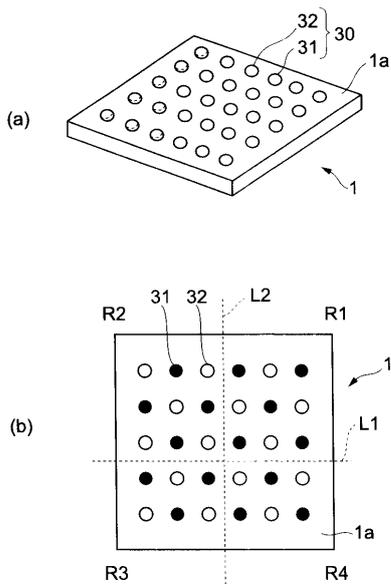
【符号の説明】

- 1 半導体装置 (I C)
- 1 a 実装面
- 2, 2 a, 2 b 試験ボード
- 9 a 試験制御端子 30
- 10 a, 10 b T A P 端子
- 11 a, 11 b 電源端子 (V D D)
- 12 a, 12 b 電源端子 (G N D)
- 13 a, 13 b 信号入力端子
- 14 a, 14 b 信号出力端子
- 15 外形中心点
- 16 試験端子
- 17, 17 b, 34, 65 b, 65 c 配線
- 18 b コネクト端子
- 19 b, 64 b, 64 c 端子 40
- 20 a T A P コントローラ
- 20 b 試験制御回路
- 21 a, 21 b フリップフロップ回路
- 22 a, 22 b 入出力端子
- 23 スキャン回路
- 24 分周回路
- 30 ハンダボール
- 31 電源端子
- 32 入出力信号端子
- 33 試験信号供給端子 50

63b, 63c ソケット側端子
66b ダミー端子
BRa, BRb バウンダリースキャンレジスタ
TG1, TG2 トランスファゲート

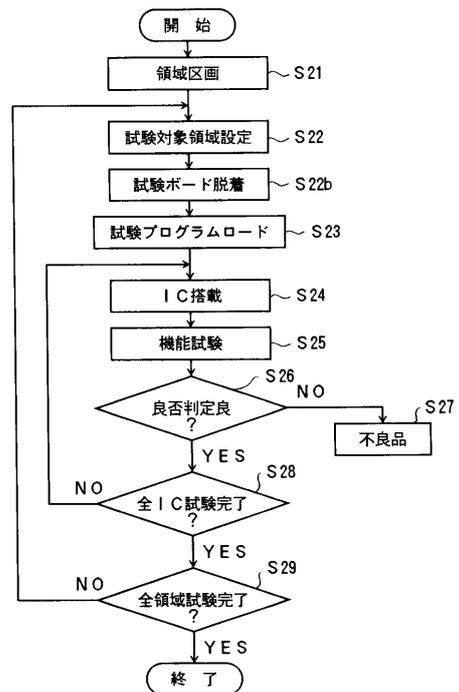
【図1】

従来の半導体装置の構成図



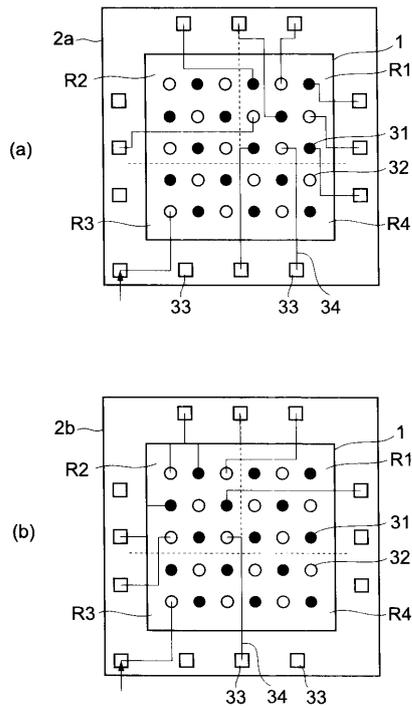
【図2】

従来の試験方法のフローチャート



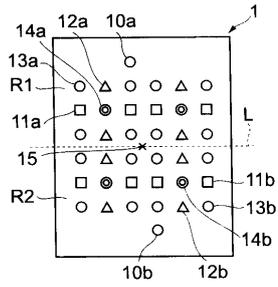
【 図 3 】

従来の試験方法を説明する透視図



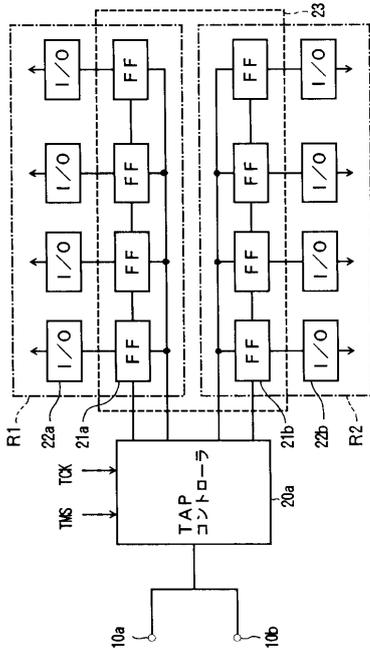
【 図 4 】

本発明の実施の形態1に係る半導体装置の実装面における信号端子の配置を示す図



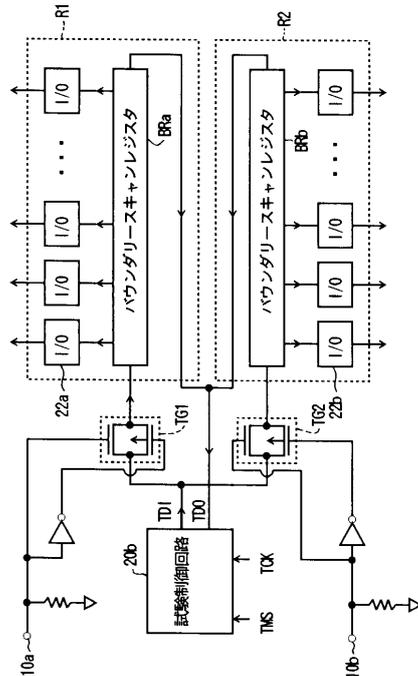
【 図 5 】

本発明の実施の形態1に係る半導体装置に備えられた機能試験回路の構成を示す図



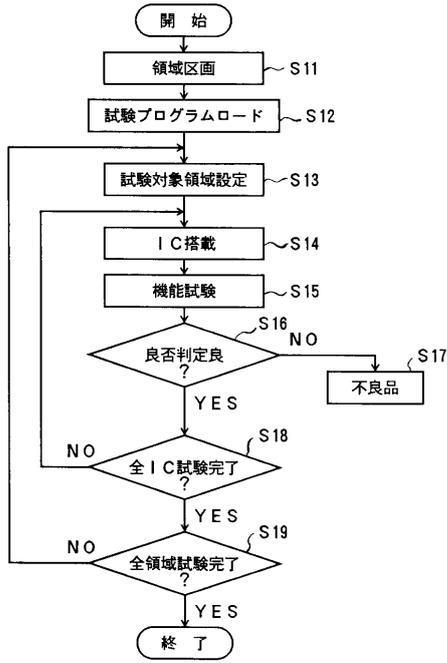
【 図 6 】

実装面上の任意の領域を試験状態に設定して機能試験を行うための回路をより具体的に示した図



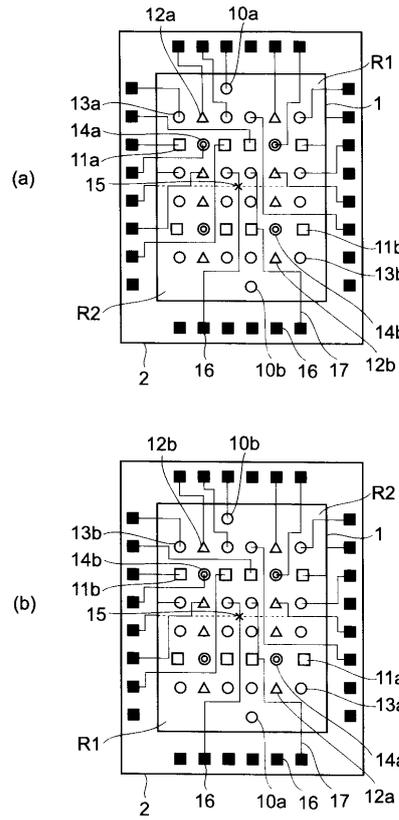
【 図 7 】

本発明の実施の形態1に係る半導体装置の試験方法を示すフローチャート



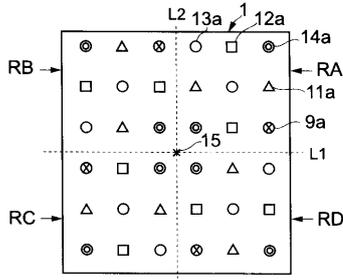
【 図 8 】

ICが搭載された試験ボードを裏側から見た透視図



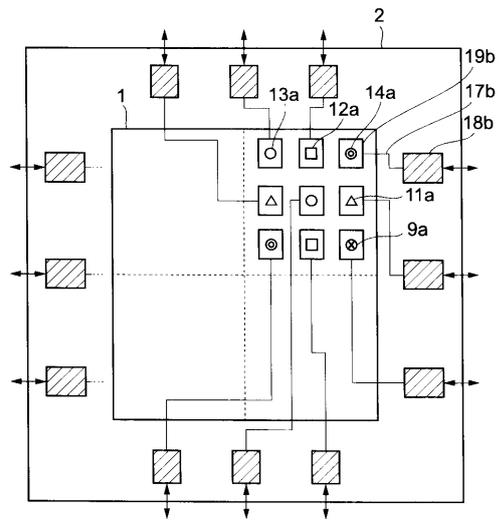
【 図 9 】

本発明の実施の形態2に係る半導体装置の実装面における信号端子の配置を示す図



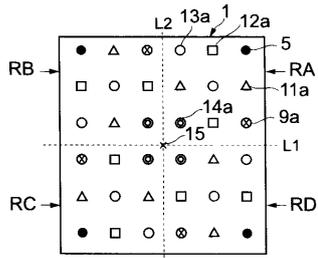
【 図 10 】

図9に示された半導体装置が搭載された試験ボードの構成を示す図



【 図 1 1 】

本発明の実施の形態3に係る半導体装置の実装面における信号端子の配置を示す図



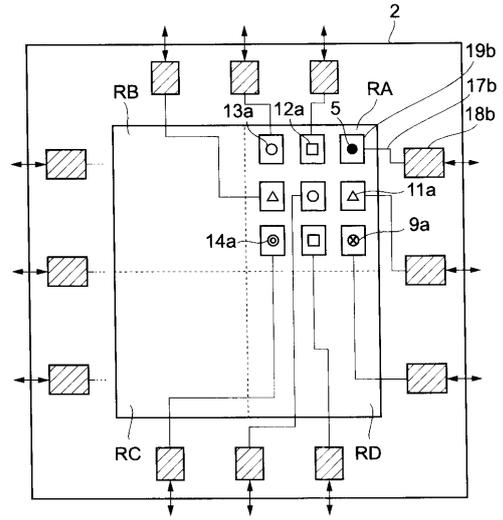
【 図 1 2 】

領域識別信号生成回路の構成を示す図



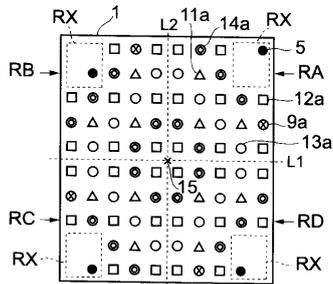
【 図 1 3 】

図11に示される半導体装置を搭載した試験ボードの構成を示す図



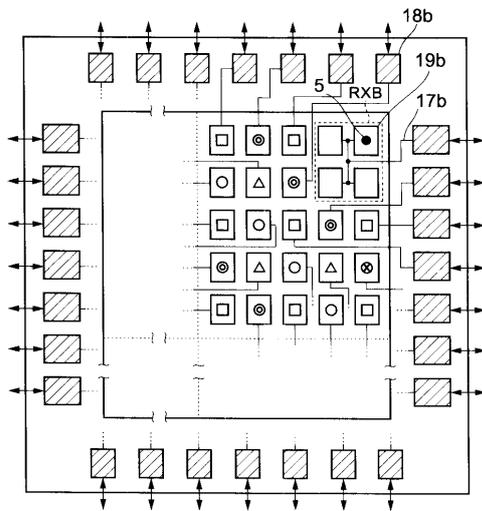
【 図 1 4 】

本発明の実施の形態4に係る半導体装置の実装面上の端子配置を示す図



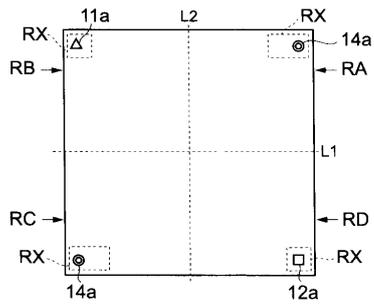
【 図 1 5 】

図14に示された半導体装置が搭載された試験ボードの構成を示した図



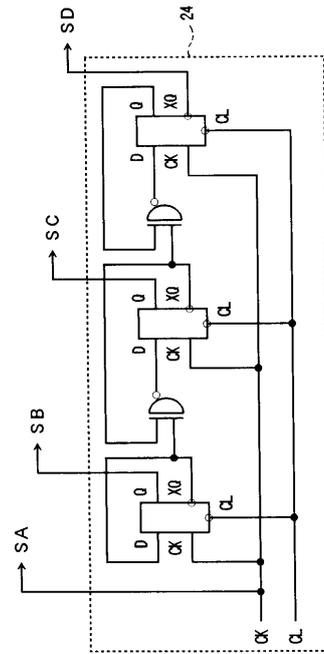
【図16】

試験対象とする領域を識別するための端子の他の配置例を示す図



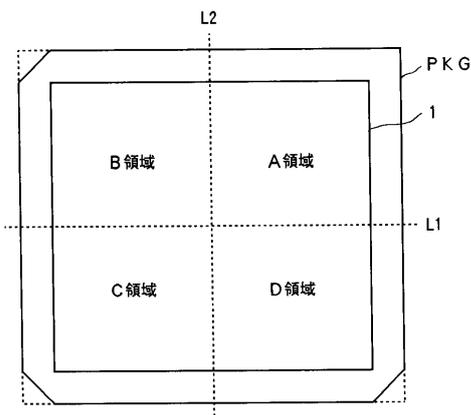
【図17】

インデックス端子に供給する信号を生成するための分周回路の構成を示す図



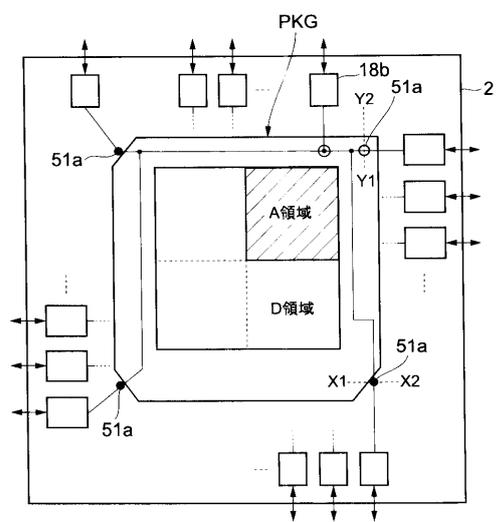
【図18】

パッケージされた本発明の実施の形態5に係る半導体装置の構成を示す図



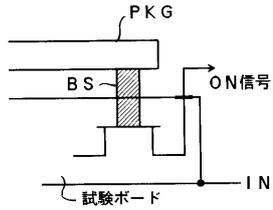
【図19】

図18に示されたパッケージが搭載された試験ボードの構成を示す図



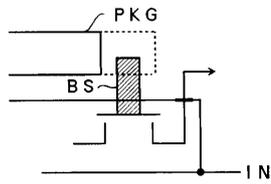
【 図 2 0 】

図19に示されたスイッチのY1-Y2における断面の構成を示す断面図



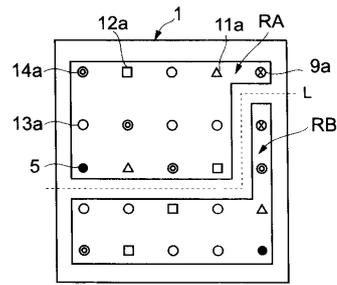
【 図 2 1 】

図19に示されたスイッチのX1-X2における断面の構成を示す断面図



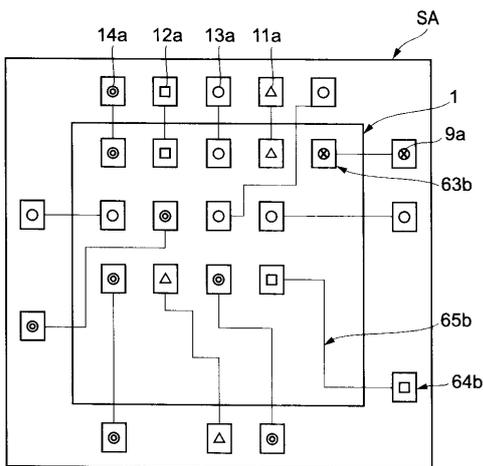
【 図 2 2 】

本発明の実施の形態6に係る半導体装置の実装面上における端子配置を示す図



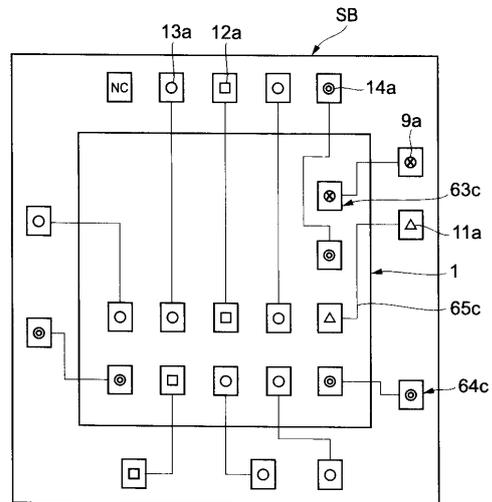
【 図 2 3 】

図22に示された半導体装置が搭載された従来のA領域試験用ソケットの構成を示す図



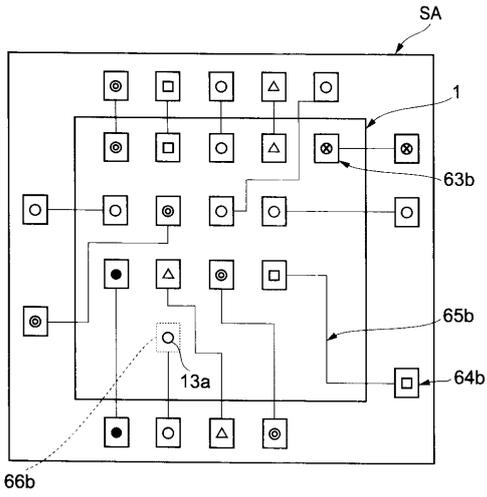
【 図 2 4 】

図22に示された半導体装置が搭載された従来のB領域試験用ソケットの構成を示す図



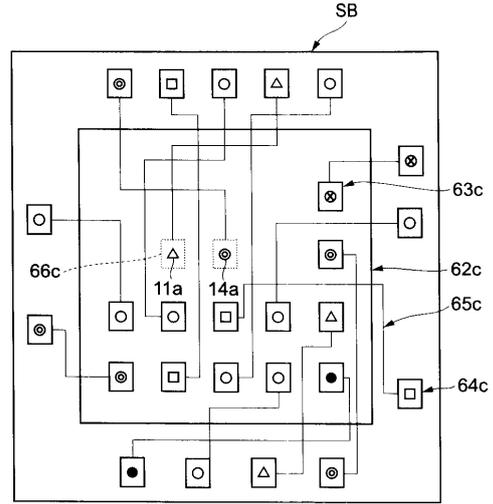
【 図 2 5 】

本発明の実施の形態6に係るA領域試験用ソケットの構成を示す図



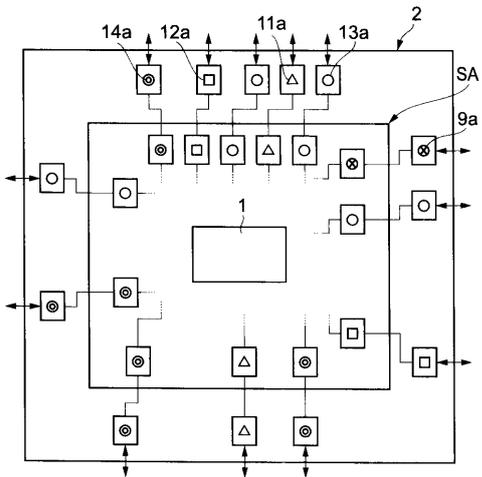
【 図 2 6 】

本発明の実施の形態6に係るB領域試験用ソケットの構成を示す図



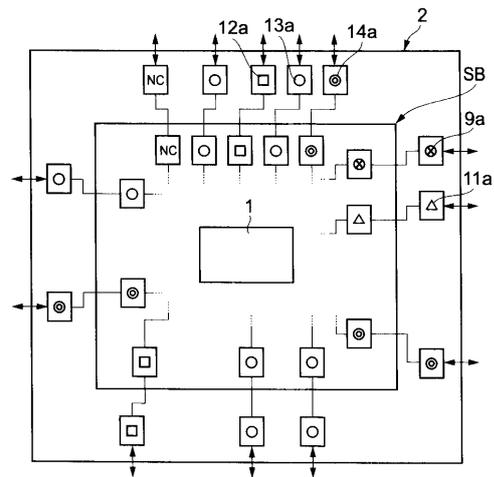
【 図 2 7 】

図23に示された従来のA領域試験用ソケットを試験ボードに搭載した場合の構成を示す図



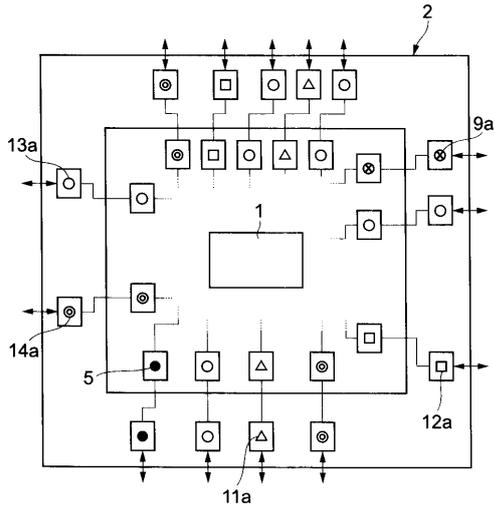
【 図 2 8 】

図24に示された従来のB領域試験用ソケットを試験ボードに搭載した場合の構成を示す図



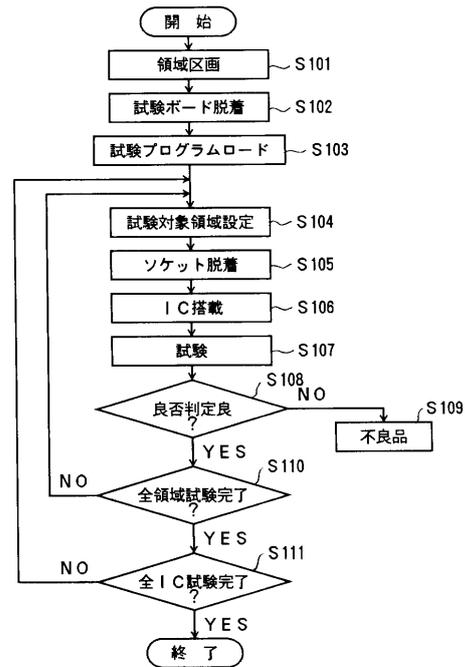
【 図 2 9 】

図25に示されたA領域試験用ソケットまたは図26に示されたB領域試験用ソケットを試験ボードに搭載した場合の構成を示す図



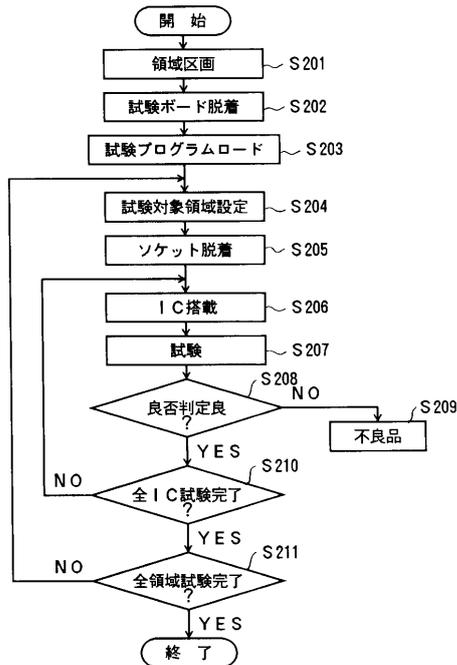
【 図 3 0 】

本発明の実施の形態6に係る第一の試験方法を示すフローチャート



【 図 3 1 】

本発明の実施の形態6に係る第二の試験方法を示すフローチャート



フロントページの続き

- (56)参考文献 特開平09 - 129829 (JP, A)
特開昭57 - 027041 (JP, A)
特開昭59 - 205799 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/82
H01L 27/04