

명세서

청구범위

청구항 1

셀 영역과 로직 영역을 구비하는 반도체 기판상에, 상기 셀 영역의 상기 반도체 기판의 제1부분을 노출시키는 개구부를 구비하는 제1절연막을 형성하며,

상기 개구부에 배열되어 상기 제1부분과 콘택되는 하부전극, 상기 하부전극과 상기 셀 영역의 상기 제1절연막상에 배열되는 유전체막 및 상기 유전체막상에 배열되는 상부 전극을 구비하는 캐패시터를 형성하고;

상기 캐패시터 및 상기 제1절연막상에 제2절연막을 형성하고,

상기 제1 및 제2절연막을 식각하여, 상기 셀 영역에서 상기 기판의 제2부분을 노출시키는 제1콘택홀을 형성하고, 상기 로직 영역에서 상기 기판의 제3부분을 노출시키는 제2콘택홀을 형성하며;

상기 제1 내지 제2콘택홀들내에 상기 반도체 기판의 상기 제2 및 제3부분들과 콘택되는 제1 및 제2콘택 플러그들을 형성하고;

상기 제1 및 제2콘택 플러그들, 상기 캐패시터 및 상기 제2절연막상에 제3절연막을 형성하되, 상기 제3절연막에 상기 제1 내지 제2콘택 플러그들 및 상기 캐패시터의 상기 상부전극의 일부분과 콘택되는 제1 내지 제3도전성 스테드들이 배열되고;

상기 제1 내지 제3도전성 스테드들과 상기 제3절연막상에 제4절연막을 형성하되, 상기 제4절연막은 상기 제1도전성 스테드와 콘택되는 비트라인 및 상기 제2 및 제3도전성 스테드들과 콘택되는 제1 및 제2배선들이 배열되는 것을 포함하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제1 내지 제3도전성 스테드들을 형성하는 것은

상기 제3절연막을 식각하여 상기 제1 내지 제2콘택 플러그들을 노출시키는 제1 및 제2트렌치들을 형성하고, 상기 캐패시터의 상기 상부 전극의 상기 일부분을 노출시키는 제3트렌치를 형성하고; 및

다마신 공정을 통해 상기 제1 내지 제3트렌치들내에 Cu 스테드들을 형성하는 것을 포함하는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 3

제 1 항에 있어서, 상기 비트라인 및 상기 제1 및 제2배선들이 배열되는 제4절연막을 형성하는 것은

상기 하부 층간 절연막을 상기 제1 내지 제3도전성 스테드들과 상기 제3절연막상에 형성하고;

상기 하부 층간 절연막상에 상부 층간 절연막을 형성하며;

상기 상부 및 하부 층간 절연막들을 식각하여 상기 제1 내지 제3도전성 스테드들의 일부분들을 노출시키는 비어들을 형성하고;

상기 상부 층간 절연막을 식각하여 비어들을 노출시키는 트렌치들을 형성하며; 및

듀얼 마신 공정을 통해 상기 비어들 및 상기 트렌치들에 배열되어, 제1 내지 제3도전성 스테드들과 콘택되는 상기 비트라인 및 상기 제1 및 제2배선들을 형성하는 것을 포함하는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 4

제 1 항에 있어서, 상기 캐패시터를 형성하는 것은

상기 개구부내에 상기 하부 전극을 형성하고;

상기 하부 전극과 상기 제1절연막상에 유전 물질층을 형성하며;

상기 유전 물질층상에 상부 전극층을 형성하고; 및

상기 상부 전극층 및 상기 유전 물질층을 식각하여, 윈도우를 구비하는 유전체막 및 상부전극을 형성하는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 5

제 4 항에 있어서, 상기 상부 전극층상에 식각 정지막을 형성하는 것을 더 포함하며,

상기 윈도우는 상기 식각 정지막, 상기 상부전극 및 상기 유전체막에 걸쳐 배열되는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 6

제 5 항에 있어서, 상기 제1 및 제2절연막을 식각하는 것은

상기 식각 정지막의 일부분을 식각하여, 상기 상부 전극의 상기 일부분을 노출시켜 주는 제3콘택홀을 형성하는 것을 더 포함하며,

상기 제1 및 제2콘택 플러그들을 형성하는 것은

상기 제3콘택홀내에, 상기 캐패시터의 상기 상부 전극의 상기 일부분과 상기 제3도전성 스타드를 콘택시켜 주기 위한 제3콘택 플러그를 형성하는 것을 더 포함하는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 7

제 6 항에 있어서, 상기 제2절연막을 형성하는 것은

상기 캐패시터와 상기 제1절연막상에 하부 층간 절연막을 형성하며,

상기 하부 층간 절연막을 상기 식각 정지막이 노출될 때까지 식각하여 평탄화하고; 및

상기 하부 층간 절연막상에 상부 층간 절연막을 형성하는 것을 포함하는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 8

제 7 항에 있어서, 상기 하부 층간 절연막은 상기 셀 영역에서 상기 윈도우내에 매립되며, 상기 로직 영역에서 상기 제1영역상에 전면 배열되는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 9

제 1 항에 있어서, 상기 캐패시터는 MIM(metal-insulator metal)을 포함하는 것을 특징으로 하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

청구항 10

반도체 기관의 셀 영역상에 배열된 제1게이트 및 상기 제1게이트 양측의 상기 셀 영역에 배열된 제1불순물 영역들을 구비하는 제1트랜지스터와, 로직 영역상에 배열된 제2게이트 및 상기 제2게이트 양측의 상기 로직 영역에 배열된 제2불순물 영역들을 구비하는 제2트랜지스터를 형성하고;

상기 반도체 기관상에, 상기 제1불순물 영역들의 일부분들을 노출시키는 제1콘택 플러그들과 상기 제2불순물 영역중 하나를 노출시키는 제2콘택 플러그가 배열되는 제1절연막을 형성하며;

상기 제1 및 제2콘택 플러그들과 상기 제1절연막상에, 상기 제1콘택플러그들중 하나를 노출시키는 개구부를 구비하는 제2절연막을 형성하며,

상기 개구부에 배열되어 상기 노출된 제1콘택 플러그와 콘택되는 하부전극, 상기 하부전극과 상기 셀 영역의 상기 제2절연막상에 배열되는 유전체막 및 상부 전극을 구비하는 캐패시터를 형성하고;

상기 제2절연막상에 제3절연막을 형성하여 셀 영역과 상기 로직 영역간의 단차를 제거하며;

상기 제2 및 제3절연막을 식각하여, 상기 셀 영역에서 상기 제1콘택플러그들중 다른 하나를 노출시키는 제1콘택홀을 형성하고, 상기 로직 영역에서 제2콘택 플러그를 노출시키는 제2콘택홀을 형성하며;

상기 제1 내지 제2콘택홀들내에 상기 노출된 제1 및 제2콘택 플러그들과 콘택되는 제3 및 제4콘택 플러그들을 형성하고;

상기 제1 및 제2콘택 플러그들, 상기 캐패시터 및 상기 제2절연막상에, 상기 제1 내지 제2콘택 플러그들 및 상기 캐패시터의 상기 상부전극의 일부분과 콘택되는 제1 내지 제3도전성 스퍼드들이 배열되는 제4절연막을 형성하며;

상기 제1 내지 제3도전성 스퍼드들과 상기 제4절연막상에 제5절연막을 형성하고;

상기 제5절연막을 식각하여 상기 제1 내지 제3도전성 스퍼드를 노출시키는 제1 내지 제3듀얼 다마신 패턴들을 형성하며; 및

상기 제1 내지 제3듀얼 다마신 패턴들내에 상기 제1 내지 제3도전성 스퍼드들과 콘택되는 비트라인 및 제1 및 제2배선들을 형성하는 것을 포함하는 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 소자의 제조방법에 관한 것으로서, 보다 구체적으로는 캐패시터 언더 비트라인(CUB, capacitor under bitline) 구조를 갖는 반도체 소자의 제조방법에 관한 것이다.

배경 기술

[0002] 여러 가지 구조의 제품들이 집적된 임베디드(embedded) 반도체 장치가 채용되고 있다. 임베디드 반도체 장치는 메모리 소자와 로직 소자를 하나의 칩 내에 집적한 것으로, 셀 어레이 영역과 로직 회로 영역으로 구성된다. 상기 셀 어레이 영역 내에 복수개의 메모리 셀들이 배치되고, 셀 어레이 영역 내에 저장된 정보는 로직 회로에 의해 새로운 정보로 생성된다.

[0003] 임베디드 반도체 장치에서 메모리 소자로는 DRAM 이나 SRAM 등이 주로 사용된다. DRAM 의 캐패시터로는, 비트라인 형성전에 캐패시터가 형성되는 캐패시터 언더 비트라인(CUB) 구조의 캐패시터와 비트라인 형성 후에 캐패시터가 형성되는 캐패시터 오버 비트라인(COB, capacitor over bitline) 구조의 캐패시터가 있다. CUB 구조의 캐패시터는 COB구조의 캐패시터보다 공정이 단순하여 임베디드 반도체 소자에 주로 사용되고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 캐패시터의 상부 전극과 비트 라인간의 커플링 캐패시턴스를 방지하기 위하여, 상기 상부 전극과 상기 비트 라인사이에 개재되는 절연막은 일정 두께 이상을 유지할 필요가 있다. 그러나, 상기 절연막의 두께를 일정 이상으로 유지하는 경우, 로직 영역에서 절연막의 두께 증가에 따라 딥 콘택홀의 깊이가 증가하게 되므로, 딥 콘택홀 형성 공정에 어려움이 따르게 된다.

[0005] 따라서, 본 발명이 이루고자 하는 기술적 과제는 딥 콘택홀 공정을 용이하게 하고, 비트 라인과 캐패시터의 상부 전극간의 커플링 캐패시턴스를 감소시킬 수 있는 캐패시터 언더 비트라인(CUB) 구조를 갖는 반도체 소자의 제조방법을 제공하는 것이다.

[0006] 본 발명의 일 견지에 따르면, 캐패시터 언더 비트라인 구조를 갖는 반도체 소자의 제조방법을 제공한다. 먼저, 셀 영역과 로직 영역을 구비하는 반도체 기판상에, 상기 셀 영역의 상기 반도체 기판의 제1부분을 노출시키는 개구부를 구비하는 제1절연막을 형성한다. 상기 개구부에 배열되어 상기 제1부분과 콘택되는 하부전극, 상기 하부전극과 상기 셀 영역의 상기 제1절연막상에 배열되는 유전체막 및 상기 유전체막상에 배열되는 상부 전극을 구비하는 캐패시터를 형성한다. 상기 캐패시터 및 상기 제1절연막상에 제2절연막을 형성한다. 상기 제1 및 제2

절연막을 식각하여, 상기 셀 영역에서 상기 기관의 제2부분을 노출시키는 제1콘택홀을 형성하고, 상기 로직 영역에서 상기 기관의 제3부분을 노출시키는 제2콘택홀을 형성한다. 상기 제1 내지 제2콘택홀들내에 상기 반도체 기관의 상기 제2 및 제3부분들과 콘택되는 제1 및 제2콘택 플러그들을 형성한다. 상기 제1 및 제2콘택 플러그들, 상기 캐패시터 및 상기 제2절연막상에 제3절연막을 형성한다. 상기 제3절연막에 상기 제1 내지 제2콘택 플러그들 및 상기 캐패시터의 상기 상부전극의 일부분과 콘택되는 제1 내지 제3도전성 스테드들이 배열된다. 상기 제1 내지 제3도전성 스테드들과 상기 제3절연막상에 제4절연막을 형성한다. 상기 제4절연막은 상기 제1도전성 스테드와 콘택되는 비트라인, 상기 제2 및 제3도전성 스테드들과 콘택되는 제1 및 제2배선들이 배열된다.

[0007] 상기 제1 내지 제3도전성 스테드들을 형성하는 것은 상기 제3절연막을 식각하여 상기 제1 내지 제2콘택 플러그들을 노출시키는 제1 및 제2트렌치들을 형성하고, 상기 캐패시터의 상기 상부 전극의 상기 일부분을 노출시키는 제3트렌치를 형성하고; 및 다마신 공정을 통해 상기 제1 내지 제3트렌치들내에 Cu 스테드들을 형성하는 것을 포함할 수 있다.

[0008] 상기 비트라인 및 상기 제1 및 제2배선들이 배열되는 제4절연막을 형성하는 것은 상기 하부 층간 절연막을 상기 제1 내지 제3도전성 스테드들과 상기 제3절연막상에 형성하고; 상기 하부 층간 절연막상에 상부 층간 절연막을 형성하며; 상기 상부 및 하부 층간 절연막들을 식각하여 상기 제1 내지 제3도전성 스테드들의 일부분들을 노출시키는 비어들을 형성하고; 상기 상부 층간 절연막을 식각하여 상기 비어들을 노출시키는 트렌치들을 형성하며; 및 듀얼 마신 공정을 통해 상기 비어들 및 상기 트렌치들에 배열되어, 제1 내지 제3도전성 스테드들과 콘택되는 상기 비트라인 및 상기 제1 및 제2배선들을 형성하는 것을 포함할 수 있다.

[0009] 상기 캐패시터를 형성하는 것은 상기 개구부내에 상기 하부 전극을 형성하고; 상기 하부 전극과 상기 제1절연막상에 유전 물질층을 형성하며; 상기 유전 물질층상에 상부 전극층을 형성하고; 및 상기 상부 전극층 및 상기 유전 물질층을 식각하여, 윈도우를 구비하는 유전체막 및 상부전극을 형성하는 포함할 수 있다. 상기 캐패시터를 형성하는 것은 상기 상부 전극층상에 식각 정지막을 형성하는 것을 더 포함할 수 있다. 상기 윈도우는 상기 식각 정지막, 상기 상부전극 및 상기 유전체막에 걸쳐 배열될 수 있다.

[0010] 상기 제1 및 제2절연막을 식각하는 것은 상기 식각 정지막의 일부분을 식각하여, 상기 상부 전극의 상기 일부분을 노출시켜 주는 제3콘택홀을 형성하는 것을 더 포함할 수 있다. 상기 제1 및 제2콘택 플러그들을 형성하는 것은 상기 제3콘택홀내에, 상기 캐패시터의 상기 상부 전극의 상기 일부분과 상기 제3도전성 스테드를 콘택시켜 주기 위한 제3콘택 플러그를 형성하는 것을 더 포함할 수 있다.

[0011] 상기 제2절연막을 형성하는 것은 상기 캐패시터와 상기 제1절연막상에 하부 층간 절연막을 형성하며, 상기 하부 층간 절연막을 상기 식각 정지막이 노출될 때까지 식각하여 평탄화하고; 및 상기 하부 층간 절연막상에 상부 층간 절연막을 형성하는 것을 포함할 수 있다. 상기 하부 층간 절연막은 상기 셀 영역에서 상기 윈도우내에 매립되며, 상기 로직 영역에서 상기 제1영역상에 전면 배열될 수 있다. 상기 캐패시터는 MIM(metal-insulator metal)을 포함할 수 있다.

효과

[0012] 본 발명의 캐패시터 언더 비트라인(CUB) 갖는 반도체 소자의 제조방법은 캐패시터의 상부 플레이트를 형성한 다음 로직 영역에서 딥 콘택홀을 형성하여 줌으로써, 딥 콘택홀의 깊이가 감소하여 딥 콘택홀 형성공정을 단순화하고 용이하게 할 수 있다. 또한, 비트라인을 형성하기 전에 메탈 스테드를 형성하여, 셀 영역에서 상부 플레이트와 비트 라인사이의 간격을 증가시켜 커플링 캐패시턴스를 감소시키고, 이에 따라 커플링 노이즈를 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

[0014] 도 1 내지 도 5, 도 7 내지 도 9 및 도 11-도 13은 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도들이고, 도 6 및 10은 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 평면도들이다. 도 5 및 도 9는 도 6 및 도 10의 A-A 선에 따른 단면도이다.

- [0015] 도 1을 참조하면, 반도체 기판(100)은 셀 영역(101)과 로직 영역(105)으로 구분된다. 상기 셀 영역(101)은 메모리 셀들이 배열되는 셀 어레이 영역을 포함할 수 있다. 상기 로직 영역(105)은 코아영역, 주변회로영역및/또는 로직 영역을 포함할 수 있다. 상기 반도체 기판(100)에 상기 셀 영역(101)과 상기 로직 영역(105)의 액티브 영역을 한정하는 소자 분리막(110)을 형성한다. 상기 소자 분리막(110)은 셀로우 트렌치 아이솔레이션(STI) 공정을 통해 형성할 수 있다.
- [0016] 상기 반도체 기판(100)의 상기 셀 영역(101)에 셀 트랜지스터를 형성하고, 상기 로직 영역(105)에 로직 트랜지스터를 형성한다. 상기 셀 영역(101)의 상기 기판(100)상에 제1게이트(120)가 형성되고, 상기 로직 영역(105)의 상기 기판(100)상에 제2게이트(125)가 형성된다. 상기 제1 및 제2게이트들(120, 125) 각각은 게이트 절연막(121), 상기 게이트 절연막(121)상에 배열된 게이트 전극층(122) 및 상기 게이트 전극층(122)의 측벽에 배열된 게이트 스페이서(124)을 구비할 수 있다. 상기 제1 및 제2게이트들(120, 125)은 상기 게이트 전극층(122)상에 배열된 실리사이드층(123)을 더 포함할 수 있다.
- [0017] 상기 셀 영역(101)에서 상기 제1게이트(120) 양측의 상기 액티브 영역에 소오스 및 드레인 영역을 위한 제1불순물 영역들(126)이 형성되고, 상기 로직 영역(105)에서 상기 제2게이트(125) 양측의 상기 액티브 영역에 소오스 및 드레인 영역들을 위한 제2불순물 영역들(128)을 형성할 수 있다. 상기 제1 및 제2불순물 영역들(126, 128)의 표면 일부에도 실리사이드층(미도시)이 형성될 수도 있다.
- [0018] 도 2를 참조하면, 상기 게이트들(120, 125)과 상기 반도체 기판(100)상에 제1식각 정지막(130)을 형성할 수 있다. 상기 식각 정지막(130)은 질화막을 포함할 수 있다. 상기 제1식각 정지막(130)상에 제1절연막(131)을 형성한다. 상기 제1절연막(131)은 층간 절연막을 포함할 수 있다. 상기 제1절연막(131)은 층간 절연막을 제1식각 정지막(130)상에 형성하고 상기 층간 절연막을 CMP 공정 등을 통해 평탄화시켜, 형성할 수 있다.
- [0019] 상기 제1절연막(131)과 상기 제1식각 정지막(130)을 식각하여, 상기 제1불순물 영역들(126)을 노출시키는 제1콘택홀들(141)과 상기 제2불순물 영역들(128)중 하나를 노출시키는 제2콘택홀(145)을 형성한다. 상기 제1콘택홀들(141)과 제2콘택홀(145)이 매립되도록 금속막(미도시)을 증착하고, 상기 금속막을 CMP공정 등을 통해 상기 제1절연막(131)이 노출될 때까지 식각한다. 따라서, 상기 제1콘택홀들(141)에 제1콘택 플러그들(142)을 형성하고, 상기 제2콘택홀(145)내에 제2콘택 플러그(146)을 형성한다. 상기 제1 및 제2콘택 플러그들(142, 146)은 텅스텐 플러그들을 포함할 수 있다.
- [0020] 도 3을 참조하면, 상기 제1 및 제2콘택 플러그들(142, 146)과 상기 제1절연막(131)상에 제2절연막(132)을 형성한다. 상기 제2절연막(132)을 식각하여 상기 제1콘택 플러그들(142)중 하나를 노출시켜 주는 개구부(133)를 형성한다. 상기 노출된 제1콘택 플러그(142)는, 예를 들어 상기 제1불순물 영역(126)중 소오스 영역에 해당되는 불순물 영역과 콘택될 수 있다.
- [0021] 이어서, 상기 노출된 제1콘택 플러그(142)를 통해 상기 제1불순물 영역(126)에 전기적으로 연결되는 캐패시터를 형성하는 공정을 진행한다. 상기 캐패시터는 MIM(metal-insulator metal) 캐패시터를 포함할 수 있다. 먼저, 상기 개구부(133) 및 상기 제2절연막(132)상에 하부 전극층(미도시)을 증착하고, 노드 분리공정을 수행하여 상기 노출된 제1콘택 플러그(142)와 콘택되는 하부 전극(151)을 상기 개구부(133)내에 형성한다. 상기 하부 전극(151)은 텅스텐 나이트라이드 또는 티타늄 나이트라이드 등과 같은 금속 질화막을 포함할 수 있다. 또는 상기 하부 전극(151)은 플라티늄, 루테튬, 이리듐 등과 같은 금속막을 포함할 수도 있다.
- [0022] 도 4를 참조하면, 상기 제2절연막(132)과 상기 하부 전극(151)상에 유전 물질층(152a)을 형성한다. 상기 유전 물질층(152a)은 Ta₂O₅, Y₂O₃, HfO, Nb₂O₅, BiTiO₃ 또는 SrTiO₃ 등과 같은 고유전체를 포함할 수 있다. 상기 개구부(133)가 매립되도록 상기 유전 물질층(152a)상에 상부 전극층(153a)을 형성한다. 상기 상부 전극층(153a)은 텅스텐 나이트라이드 또는 티타늄 나이트라이드 등과 같은 금속 질화막을 포함할 수 있다. 상기 상부 전극층(153a)에 제2식각 정지막(155a)을 형성한다. 상기 식각 정지막(155a)은 질화막을 포함할 수 있다. 상기 제 2식각 정지막(155a)은 후속 평탄화 CMP 공정에서 식각 정지막으로 사용된다.
- [0023] 도 5 및 도 6을 참조하면, 상기 제2식각 정지막(155a)상에 감광막(미도시)을 형성한다. 상기 감광막은 상기 셀 영역(101)에서는 상기 제1콘택 플러그들(142)중 다른 하나에 대응하는 상기 제2식각 정지막(155a)의 일부분이 노출되고, 상기 로직 영역(105)에서는 상기 제2식각 정지막(155a)의 전면이 노출되도록 형성될 수 있다. 상기 노출된 제1콘택 플러그(142)는 상기 제1불순물 영역(126)중 드레인 영역에 해당되는 제1불순물 영역과 콘택되는 콘택 플러그를 포함할 수 있다.
- [0024] 상기 감광막을 마스크로 하여 상기 노출된 제2식각 정지막(155a)과그 하부의 상부 전극층(153a) 및 유전 물질층

(152a)을 순차적으로 식각한다. 따라서, 상기 셀 영역(101)에서는 윈도우(154)를 구비하는, 유전체막(152), 상부 전극(153) 및 식각 정지막 패턴(155)이 형성된다. 상기 로직 영역(105)에서는 상기 제2식각 정지막(155a), 상기 상부 전극층(153a) 및 상기 유전 물질층(152a)이 완전히 제거될 수 있다.

[0025] 이때, 상기 로직 영역(105)에서의 상기 제2절연막(132)이 점선으로 표시된 바와 같이 상기 캐패시터 형성 공정 후 일정 두께만큼 식각되어질 수 있다. 상기 캐패시터의 상기 상부 전극(153)은 상기 셀 영역(101)에서 후속 공정에서 비트라인용 메탈 플러그가 형성될 부분에 대응하여 상기 윈도우(154)가 배열되는 전면전극 형태로 형성될 수 있다. 상기 윈도우(154)는 상기 드레인 영역에 해당하는 상기 제1불순물 영역(126)과 접촉되는 상기 제1콘택 플러그(142)에 대응하는 부분의 제2절연막(132)을 노출시켜 준다.

[0026] 도 7을 참조하면, 상기 캐패시터(150)를 포함하는 상기 제2절연막(132)상에 제3절연막(134)을 형성한다. 상기 제3절연막(134)은 층간 절연막을 포함할 수 있다. 상기 제3절연막(134)은 상기 셀 영역(101)의 상기 캐패시터(150)의 형성에 따라 상기 셀 영역(101)과 상기 로직 영역(105)간에 단차가 발생하게 된다.

[0027] 도 8을 참조하면, CMP 공정 등을 이용하여 상기 제3절연막(134)을 평탄화시켜 준다. 상기 제3절연막(134)은 상기 셀 영역(101)에 남아있는 상기 식각 정지막 패턴(155)이 노출될 때까지 식각된다. 상기 로직 영역(105)에서 상기 제2절연막(132)상에 제3절연막(134)이 전면 형성되고, 상기 셀 영역(101)에는 상기 윈도우(154)내에 제3절연막(134)이 매립된다. 따라서, 상기 셀 영역(101)과 상기 로직 영역(105)간에 단차가 제거된다.

[0028] 도 9 및 도 10을 참조하면, 상기 제3절연막(134)과 상기 제2절연막(132) 그리고 상기 식각 정지막 패턴(155)을 순차 식각하여, 상기 셀 영역(101)에서 상기 제1콘택 플러그들(142)중 상기 다른 하나를 노출시키는 제3콘택홀(143)을 형성하고, 상기 로직 영역(105)에서 상기 제2콘택 플러그(146)를 노출시키는 제4콘택홀(147)을 형성한다. 상기 제3콘택홀(143)은 상기 윈도우(154)내에 배열될 수 있다. 이때, 상기 캐패시터의 상기 상부 전극(153)의 일부분을 노출시키는 제5콘택홀(157)을 형성할 수 있다.

[0029] 상기 제3 내지 제5콘택홀들(143, 147, 157)이 매립되도록 금속막(미도시)을 증착하고, 상기 금속막을 CMP 공정 등을 통해 상기 제3절연막(134)이 노출될 때까지 식각한다. 따라서, 상기 제3콘택홀(143)에 제3콘택 플러그(144)를 형성하고, 상기 제4콘택홀(147)내에 제4콘택 플러그(148)를 형성하며, 상기 제5콘택홀(157)에 제5콘택 플러그(158)를 형성할 수 있다. 상기 제3 내지 제5콘택 플러그들(144, 148, 158)은 텅스텐 플러그들을 포함할 수 있다. 상기 제3콘택 플러그(144)가 상기 상부 전극(153)의 상기 윈도우(154)내에 배열되므로, 상기 제3콘택 플러그(144)와 상기 상부 전극(153)은 전기적으로 분리될 수 있다.

[0030] 도 11을 참조하면, 상기 제3 내지 제5콘택 플러그들(144, 148, 158) 및 상기 제3절연막(134)상에 제4절연막(135)을 형성한다. 상기 제4절연막(135)은 층간 절연막을 포함할 수 있다. 상기 제4절연막(135)을 식각하여 상기 셀 영역(101)에 상기 제3 및 제5콘택 플러그들(144, 158)을 노출시키는 제1트렌치들(161)을 형성하고, 상기 로직 영역(105)에 제4콘택 플러그(148)를 노출시키는 제2트렌치(165)를 형성한다. 다마신 공정 등을 수행하여 상기 제1 및 제2트렌치들(161, 165)에 제1 및 제2메탈 스타드들(162, 166)을 형성할 수 있다. 상기 제1 및 제2메탈 스타드들(162, 166)은 Cu 스타드를 포함할 수 있다.

[0031] 도 12을 참조하면, 상기 제1 및 제2메탈 스타드들(162, 166)과 상기 제4절연막(135)상에 제5절연막(136)을 형성한다. 상기 제5절연막(136)은 층간 절연막을 포함할 수 있다. 상기 제5절연막(136)은 후속공정에서 형성될 비어들의 높이에 대응하는 두께를 가질 수 있다. 상기 제5절연막(136)상에 제6절연막(137)을 형성한다. 상기 제6절연막(137)은 층간 절연막을 포함할 수 있다. 상기 제6절연막(137)은 후속 공정에서 형성될 트렌치들의 높이에 대응하는 두께를 가질 수 있다.

[0032] 이어서, 상기 제5 및 제6절연막(136, 137)을 식각하여 상기 제1메탈 스타드들(162)의 일부분들을 노출시키는 제1비어들(163, 167)을 상기 셀 영역(101)에 형성하고, 상기 제2메탈 스타드(166)의 일부분들을 노출시키는 제2비어(167)을 상기 로직 영역(105)에 형성한다. 상기 제6절연막(137)을 식각하여 상기 제1 및 제2비어들(163, 167)을 노출시키는 제3 및 제4트렌치들(171, 175)을 형성한다. 따라서, 상기 제1 내지 제2비어홀들(163, 167)과 상기 제3 및 제4트렌치들(171, 175)을 구비하는 듀얼 다마신 패턴들이 형성될 수 있다.

[0033] 도 13을 참조하면, 듀얼 다마신 공정 등을 수행하여, 상기 셀 영역(101)에서 상기 제1비어들(163)과 상기 제3트렌치들(171)에 비트라인(170)과 제1금속 배선(173)을 형성하고, 상기 로직 영역(105)에서 상기 제2비어(167) 및 상기 제4트렌치(175)에 제2금속 배선(176)을 형성한다, 상기 비트라인(170) 및 제1 및 제2금속 배선들(173, 176)은 Cu 패턴을 포함할 수 있다. 상기 제6절연막(137)상에 제7절연막(138)을 더 형성할 수 있다. 상기 제7절연막(138)은 층간 절연막을 포함할 수 있다.

[0034] 다른 실시예로서, 상기 제4절연막(135)상에 상기 제5 및 제6절연막(136, 137)을 순차 형성한 다음 듀얼 다마신 공정을 수행하는 대신에, 제1 및 제2비어들(163, 167)의 상기 높이들과 상기 제1 및 제2트렌치들(171, 175)의 상기 높이들의 합에 대응하는 두께를 갖는 단일의 층간 절연막을 형성한 다음 듀얼 다마신 공정을 수행하여 상기 비트 라인(170)과 상기 제1 및 제2금속 배선들(173, 176)을 형성할 수도 있다.

[0035] 상기 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

도면의 간단한 설명

[0036] 도 1 내지 도 5는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도들이다.

[0037] 도 6은 본 발명의 일 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 평면도이다.

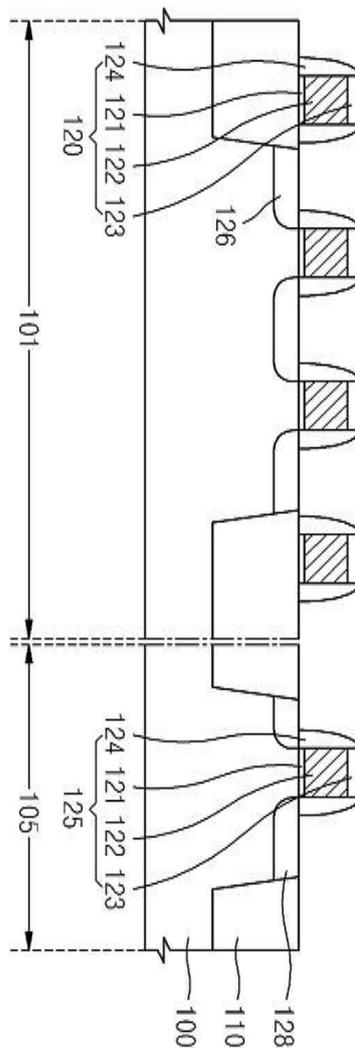
[0038] 도 7 내지 도 9는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도들이다.

[0039] 도 10는 본 발명의 일 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 평면도이다.

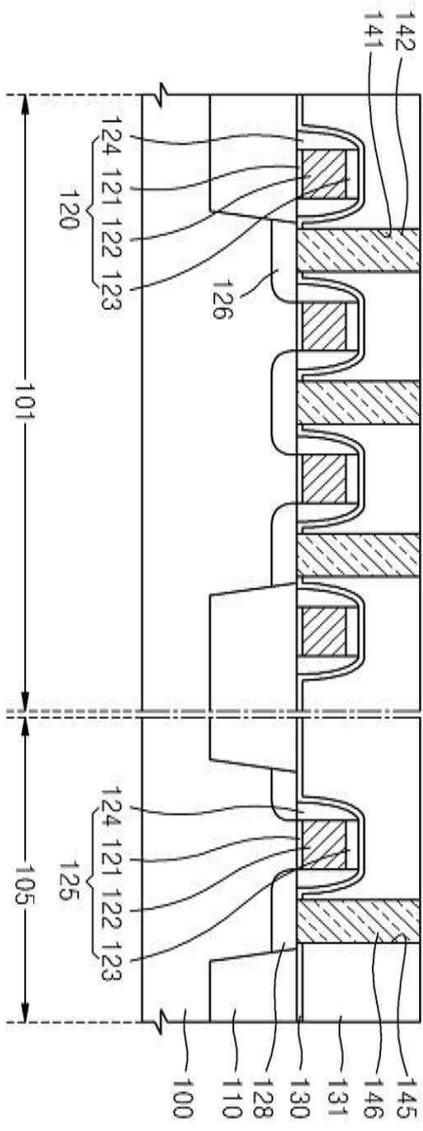
[0040] 도 11 내지 도 13은 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도들이다.

도면

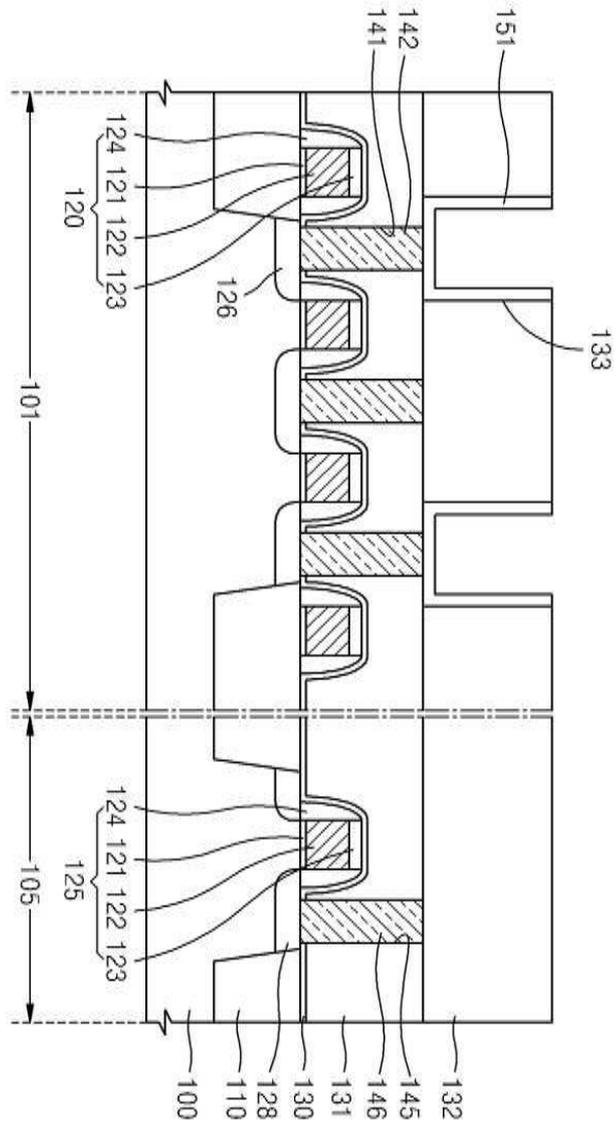
도면1



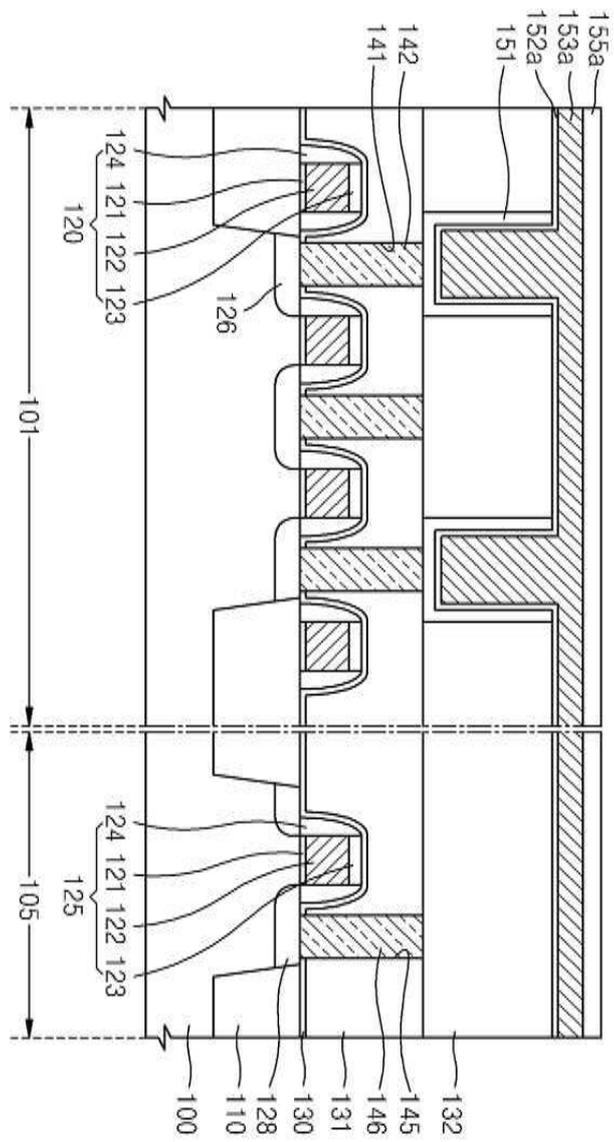
도면2



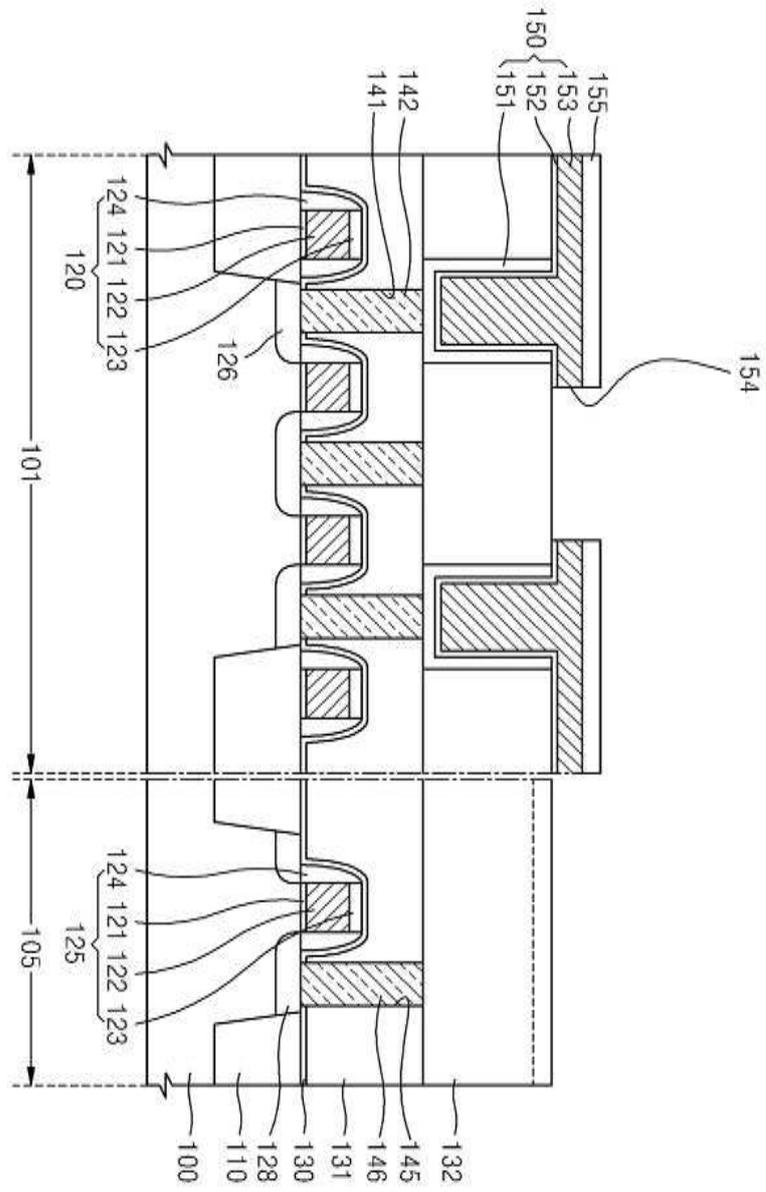
도면3



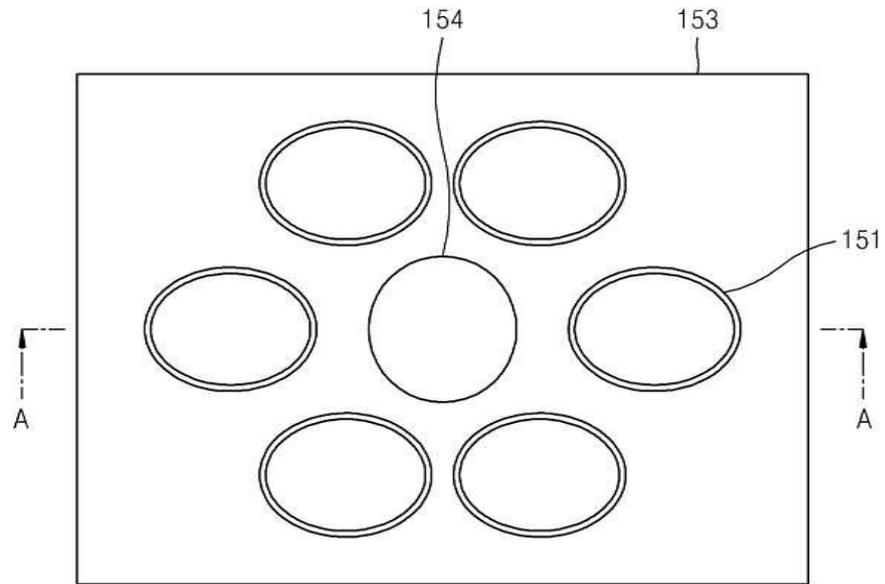
도면4



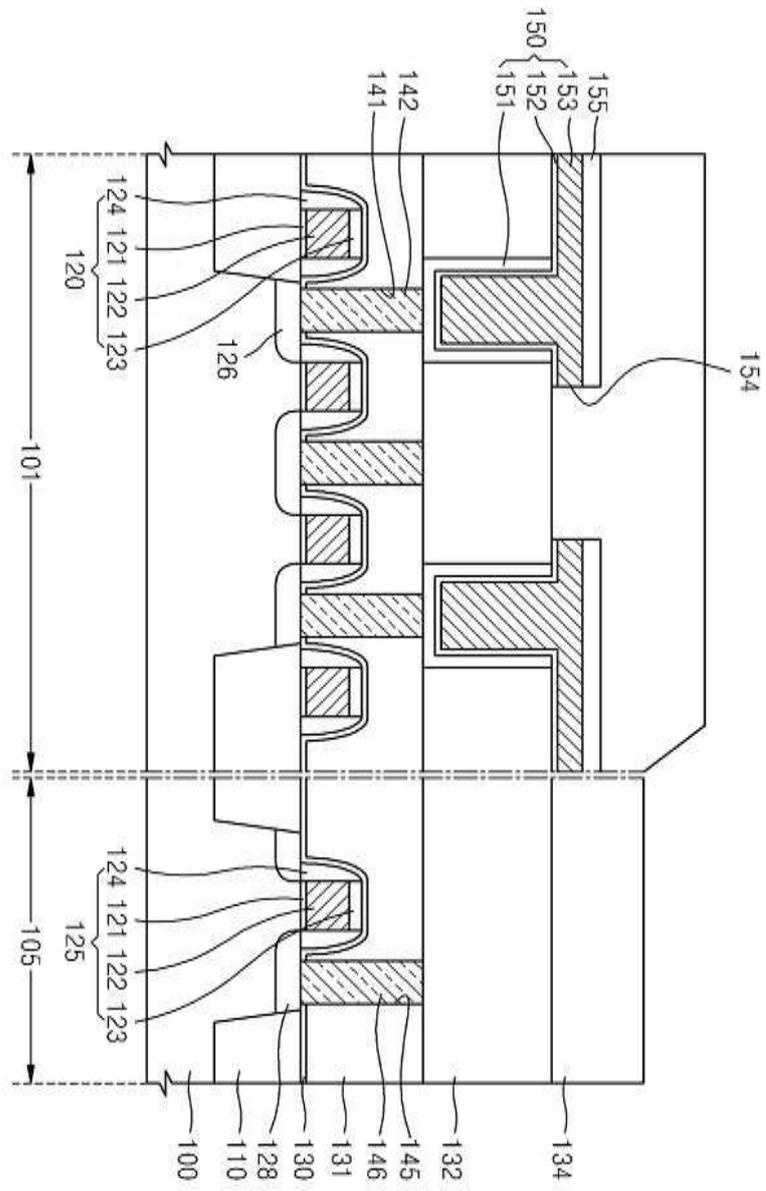
도면5



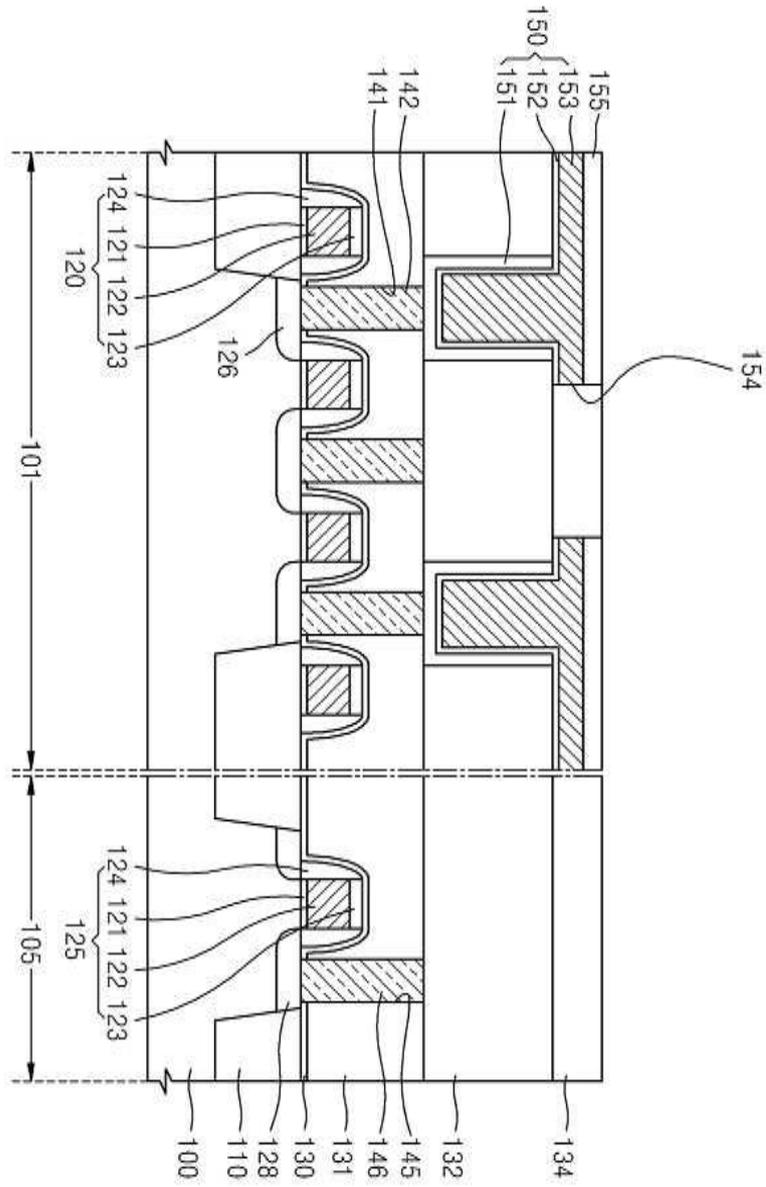
도면6



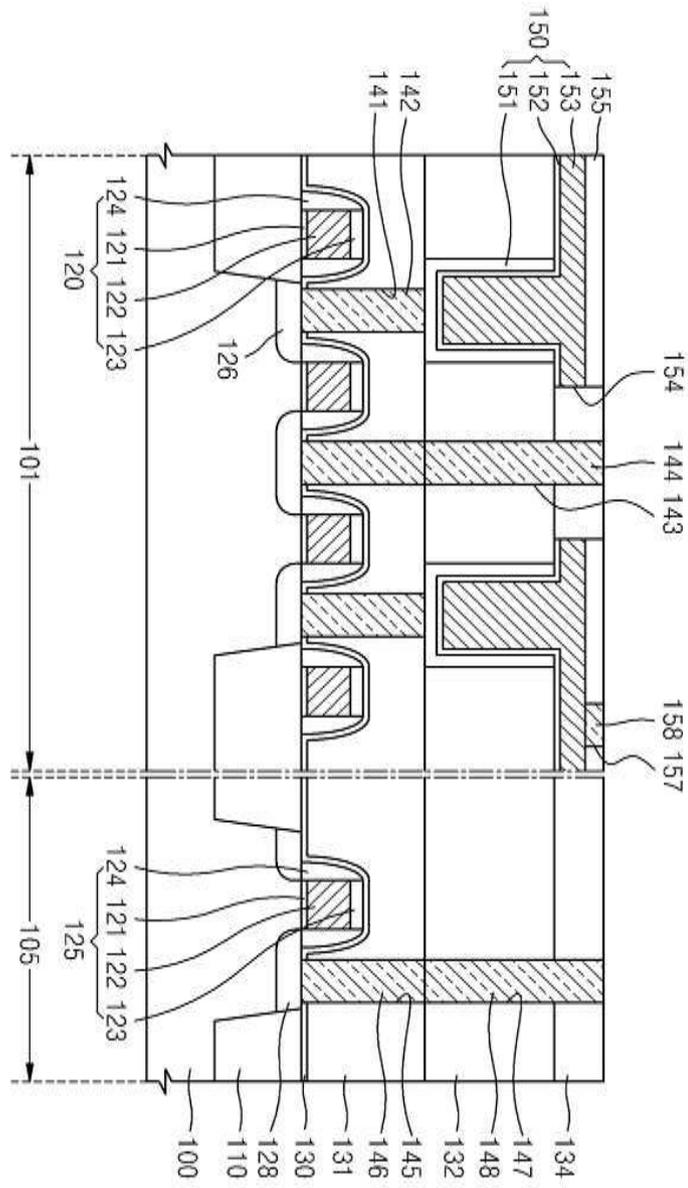
도면7



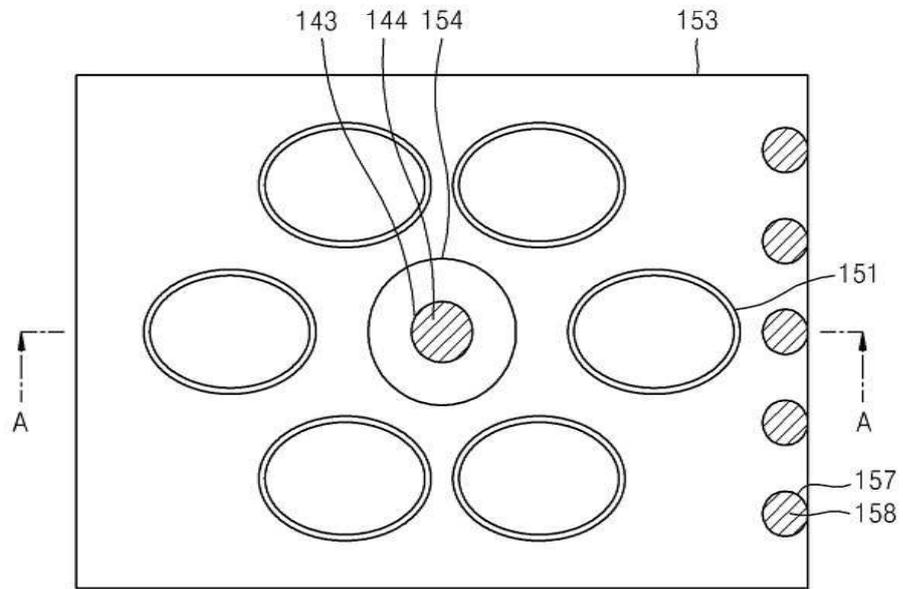
도면8



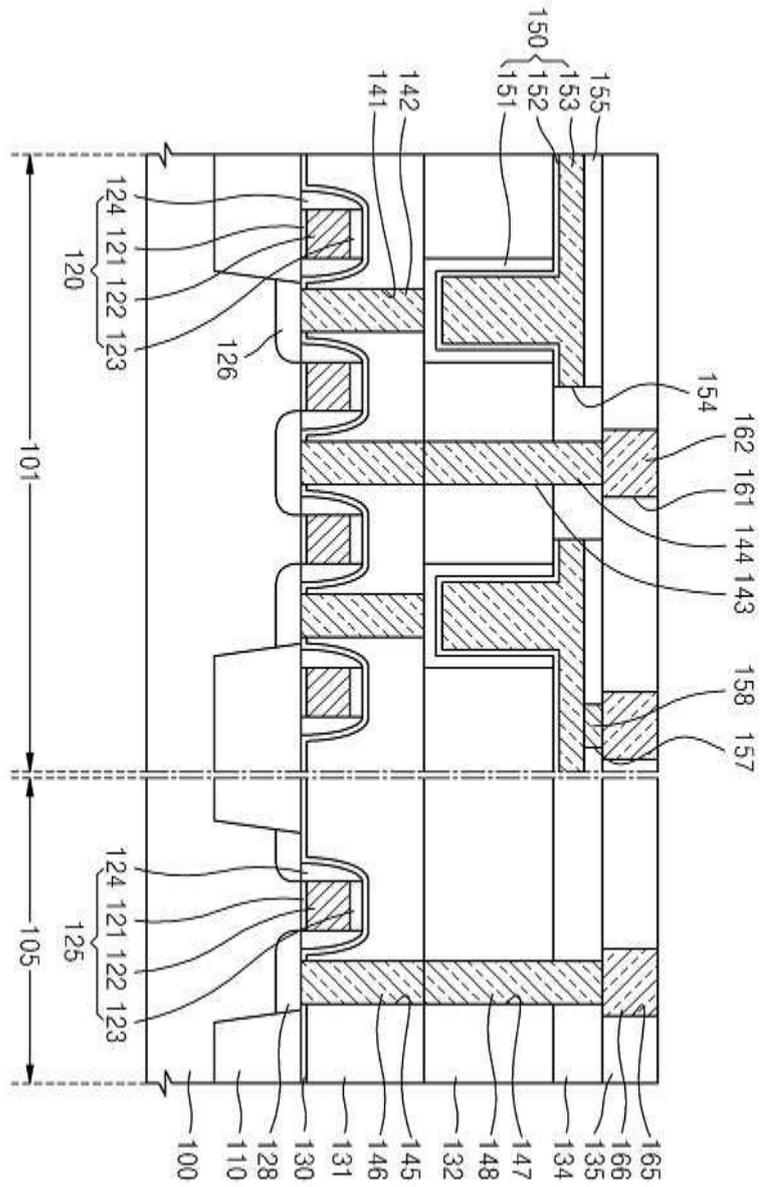
도면9



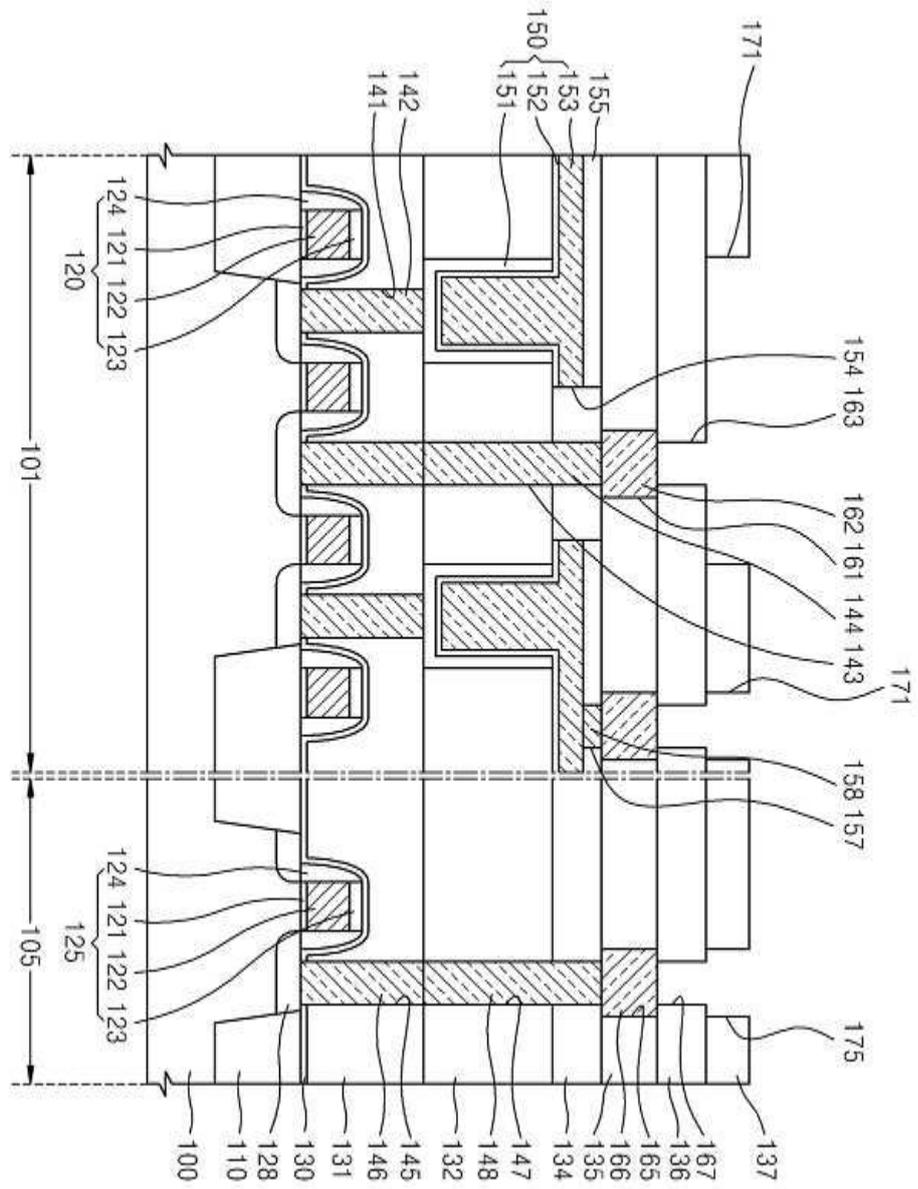
도면10



도면11



도면12



도면13

