

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6884472号  
(P6884472)

(45) 発行日 令和3年6月9日(2021.6.9)

(24) 登録日 令和3年5月14日(2021.5.14)

(51) Int.Cl. F I  
G O 5 F 1/56 (2006.01) G O 5 F 1/56 3 1 0 C

請求項の数 5 (全 7 頁)

<p>(21) 出願番号 特願2017-155502 (P2017-155502)                  (22) 出願日 平成29年8月10日 (2017.8.10)                  (65) 公開番号 特開2019-36021 (P2019-36021A)                  (43) 公開日 平成31年3月7日 (2019.3.7)                  審査請求日 令和2年7月7日 (2020.7.7)</p>	<p>(73) 特許権者 715010864                  エイブリック株式会社                  東京都港区三田三丁目9番6号                  (72) 発明者 中島 伸吾                  東京都中央区東日本橋3丁目4番14号                  株式会社ジーダット内                   審査官 土井 悠生</p>
---	--

最終頁に続く

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【特許請求の範囲】

【請求項1】

基準電圧と帰還電圧を入力し、その差を増幅し出力する差動増幅回路と、  
 前記差動増幅回路の出力端子に接続された第1のソース接地増幅回路と、  
 前記差動増幅回路の出力端子に接続された第2のソース接地増幅回路と、  
 前記第1のソース接地増幅回路の出力端子と前記第2のソース接地増幅回路の出力端子  
 の間に接続された、抵抗部とコンデンサ部を有する位相補償回路と、  
 前記第2のソース接地増幅回路の出力端子に接続された出力トランジスタと、を備え、  
 前記位相補償回路の前記抵抗部と前記コンデンサ部の少なくとも一方は、フィルタを有  
 することを特徴とするボルテージレギュレータ。

10

【請求項2】

前記位相補償回路の前記抵抗部は、  
 直列に接続された第一の抵抗及び第二の抵抗と、前記第二の抵抗と並列に接続されハイ  
 パスフィルタを備えた、  
 ことを特徴とする請求項1に記載のボルテージレギュレータ。

【請求項3】

前記位相補償回路の前記抵抗部は、  
 並列に接続された第一の抵抗及び第二の抵抗と、前記第二の抵抗と直列に接続されハイ  
 パスフィルタを備えた、  
 ことを特徴とする請求項1に記載のボルテージレギュレータ。

20

**【請求項 4】**

前記位相補償回路の前記コンデンサ部は、  
並列に接続された第一のコンデンサ及び第二のコンデンサと、前記第二のコンデンサと直列に接続されローパスフィルタを備えた、  
ことを特徴とする請求項 1 から 3 のいずれかに記載のボルテージレギュレータ。

**【請求項 5】**

前記位相補償回路の前記抵抗部は、  
並列に接続された第一の抵抗及び第二の抵抗と、前記第二の抵抗と直列に接続されローパスフィルタを備えた、  
ことを特徴とする請求項 1 に記載のボルテージレギュレータ。

10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、ボルテージレギュレータに関する。

**【背景技術】****【0002】**

一般的に、ボルテージレギュレータは、入力電圧  $V_{in}$  を受けて一定の出力電圧  $V_{out}$  を発生し、負荷が変動しても出力電圧  $V_{out}$  を常に一定に保つ。そして、ボルテージレギュレータは、過渡応答特性を向上させる為に、周波数帯域を広くする必要はある。

**【0003】**

20

図 4 は、従来のボルテージレギュレータ 400 の回路である。従来のボルテージレギュレータ 400 は、出力端子の電圧に応じた帰還電圧  $V_{fb}$  と基準電圧  $V_{ref}$  との差を増幅した信号を出力する誤差増幅器 41 と、抵抗とコンデンサで構成された位相補償回路 42 を備え、3 段増幅回路を構成している。このような回路構成にすることによって、安定動作と過渡応答性の改善を両立させている。

**【0004】**

また、従来のボルテージレギュレータ 400 は、出力負荷電流をセンスする出力電流検出回路 43 と、位相補償回路 42 の抵抗と並列に接続されたスイッチ回路を備え、出力電流に応じて位相補償回路 42 の抵抗値を切り替えることが出来るので、さらに動作を安定させることが出来る（例えば、特許文献 1 参照）。

30

**【先行技術文献】****【特許文献】****【0005】**

【特許文献 1】特開 2013 - 77288 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0006】**

従来のボルテージレギュレータ 400 は、負荷電流が変化した時に、位相補償回路 42 の抵抗値を切り替える時にスイッチングノイズが発生する。従って、ボルテージレギュレータ 400 は、スイッチングノイズによって動作が不安定になる可能性がある。

40

**【課題を解決するための手段】****【0007】**

従来の課題を解決するために、本発明のボルテージレギュレータは、差動増幅回路の出力端子に接続された第 1 及び第 2 のソース接地増幅回路と、第 1 のソース接地増幅回路の出力端子と第 2 のソース接地増幅回路の出力端子の間に接続された抵抗部とコンデンサ部を有する位相補償回路と、第 2 のソース接地増幅回路の出力端子に接続された出力トランジスタとを備え、位相補償回路の抵抗部とコンデンサ部の少なくとも一方はフィルタを有することを特徴とする。

**【発明の効果】****【0008】**

50

本発明ボルテージレギュレータは、位相補償回路を上記のように構成したので、広範囲な負荷電流条件に対して安定した動作が可能になる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態のボルテージレギュレータの回路図である。

【図2】本発明の実施形態のボルテージレギュレータの他の例を示す回路図である。

【図3】本発明の実施形態のボルテージレギュレータの他の例を示す回路図である。

【図4】従来のボルテージレギュレータの回路図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施形態について、図面を参照して説明する。

【0011】

図1は、本実施形態のボルテージレギュレータ100の回路図である。

ボルテージレギュレータ100は、差動増幅器11と、基準電圧回路12と、MOSトランジスタ13と、定電流源14と、MOSトランジスタ15と、定電流源16と、MOSトランジスタ17と、フィードバック回路18と、出力端子19と、位相補償回路20と、を備えている。

【0012】

位相補償回路20は、抵抗21及び22とコンデンサ23を有する抵抗部と、コンデンサ24及び25とローパスフィルタ26を有するコンデンサ部と、を備えている。ローパスフィルタ26は、例えば、抵抗とコンデンサで構成される。

【0013】

出力トランジスタ17とフィードバック回路18は、電源端子Vin（「第1の電源端子」ともいう）と接地端子VSS（「第2の電源端子」ともいう）との間に直列に接続されている。

【0014】

差動増幅器11は、非反転入力端子が基準電圧Vrefを生成する基準電圧回路12に接続され、反転入力端子がフィードバック回路18の出力端子に接続され、出力端子がMOSトランジスタ13のゲート端子とMOSトランジスタ15のゲート端子に接続されている。

【0015】

MOSトランジスタ13と定電流源14は、電源端子Vinと接地端子VSSとの間に直列に接続され、第1のソース接地増幅回路を構成する。第1のソース接地増幅回路は、入力端子がMOSトランジスタ13のゲート端子で、出力端子がMOSトランジスタ13のドレイン端子である。

【0016】

MOSトランジスタ15と定電流源16は、電源端子Vinと接地端子VSSとの間に直列に接続され、第2のソース接地増幅回路を構成する。第2のソース接地増幅回路は、入力端子がMOSトランジスタ15のゲート端子で、出力端子がMOSトランジスタ15のドレイン端子である。第2のソース接地増幅回路は、出力端子がMOSトランジスタ17のゲート端子に接続されている。

【0017】

位相補償回路20は、第1のソース接地増幅回路の出力端子と第2のソース接地増幅回路の出力端子の間に接続されている。

位相補償回路20の抵抗部は、並列に接続された抵抗22とコンデンサ23が抵抗21と直列に接続されている。位相補償回路20のコンデンサ部は、直列に接続されたローパスフィルタ26とコンデンサ25がコンデンサ24と並列に接続されている。

【0018】

フィードバック回路18は、出力端子19の出力電圧Voutを分圧して帰還電圧Vfbを生成する。または、フィードバック回路18は、出力電圧Voutを分圧せずに、そ

10

20

30

40

50

のまま帰還電圧  $V_{fb}$  として出力しても良い。

【0019】

差動増幅器 11 は、基準電圧回路 12 の出力する基準電圧  $V_{ref}$  と帰還電圧  $V_{fb}$  とを比較した結果を増幅して、第 1 のソース接地増幅回路と第 2 のソース接地増幅回路に出力する。

【0020】

ここで、第 1 のソース接地増幅回路と第 2 のソース接地増幅回路は、位相補償回路 20 の両端の電圧が等しくなるように各素子を設定する。例えば、MOS トランジスタ 13 と MOS トランジスタ 15 は、アスペクト比 ( $W/L$ ) が等しく、定電流源 14 と定電流源 16 は、電流値が等しくする。また例えば、MOS トランジスタ 13 と MOS トランジスタ 15 のアスペクト比を変えた場合は、定電流源 14 と定電流源 16 の電流比もアスペクト比に対応するよう設定する。

10

【0021】

次に、ボルテージレギュレータ 100 の動作について説明する。

出力端子 19 の出力電圧  $V_{out}$  が低下すると帰還電圧  $V_{fb}$  も低下するので、差動増幅器 11 の出力電圧は上昇する。第 1 のソース接地増幅回路及び第 2 のソース接地増幅回路は、入力電圧が上昇するので、出力電圧は低下する。

【0022】

第 1 のソース接地増幅回路は、位相補償回路 20 を介して MOS トランジスタ 17 のゲート端子を制御する。第 2 のソース接地増幅回路は、MOS トランジスタ 17 のゲート端子を制御する。第 2 のソース接地増幅回路の出力は、位相補償回路 20 を介さないことで、MOS トランジスタ 17 のゲート端子の電圧を遅延無く所望の電圧に設定することが出来る。

20

【0023】

第 1 のソース接地増幅回路及び第 2 のソース接地増幅回路の出力電圧が低下すると、MOS トランジスタ 17 は、ゲート端子の電圧が低下する。従って、MOS トランジスタ 17 はオンするように動作するので、出力端子 19 の出力電圧  $V_{out}$  は上昇し、一定に保たれる。

【0024】

また、出力端子 19 の出力電圧  $V_{out}$  が上昇すると、ボルテージレギュレータ 100 は、出力端子 19 の出力電圧  $V_{out}$  を低下させ、一定に保つように動作する。

30

【0025】

次に、ボルテージレギュレータ 100 の位相補償の動作について説明する。

【0026】

MOS トランジスタ 17 は、他のトランジスタと比べてサイズが遥かに大きい。従って、MOS トランジスタ 17 のゲートとドレイン間の寄生容量は、ミラー効果により他のトランジスタと比べて大きな値となっている。また、コンデンサ 24 とコンデンサ 25 は、MOS トランジスタ 17 のゲートとドレイン間の寄生容量に対して無視できるほど十分小さい容量値に設定されている。

【0027】

MOS トランジスタ 13 と MOS トランジスタ 15 の出力抵抗の合成抵抗値と、MOS トランジスタ 17 のゲートとドレイン間の寄生容量の容量値によって、ポール P2 が発生する。また、夫々図示しない、MOS トランジスタ 17 の出力抵抗と負荷抵抗の合成抵抗値と負荷容量の容量値によって、ポール P3 が発生する。更に、位相補償回路 20 の抵抗部の抵抗値とコンデンサ部の容量値によって決まる周波数に、ゼロ点 Z1 が発生する。

40

【0028】

ボルテージレギュレータ 100 は、ポール P2 で 90 度の位相の遅れが発生し、更にポール P3 で 90 度の位相遅れが発生する。特に、ポール P2 とポール P3 の周波数が接近した場合、位相余裕を確保することができなくなり、即ち安定動作を保つことができなくなる。従って、ゼロ点 Z1 で位相を 90 度進めることによって、安定動作を保つようにす

50

る。

【0029】

ポールP3の周波数は、負荷抵抗の抵抗値と負荷容量の容量値に依存するので、出力端子19に流れる負荷電流に応じて変化する。例えば、ポールP3の周波数は、負荷抵抗が小さく負荷電流が大きい場合は高くなり、負荷抵抗が大きく負荷電流が少ない場合は低くなる。

【0030】

ここで、位相補償回路20の抵抗部は、抵抗22と並列に接続されたコンデンサ23はハイパスフィルタとして機能する。ハイパスフィルタのカットオフ周波数よりも低い帯域では、位相補償回路20の抵抗部の抵抗値は、抵抗21と抵抗22の抵抗値の合計になる。また、ハイパスフィルタのカットオフ周波数以上の帯域では、位相補償回路20の抵抗部の抵抗値は、抵抗21の抵抗値になる。

10

【0031】

よって、ゼロ点Z1の周波数は、負荷電流が大きくなったとき、即ち、ハイパスフィルタのカットオフ周波数以上の帯域になると高くなる。従って、ボルテージレギュレータ100は、負荷電流が増加してポールP3の周波数が高くなった場合、ゼロ点Z1の周波数を高くできる。

【0032】

また、位相補償回路20のコンデンサ部は、コンデンサ25にローパスフィルタ26が直列に接続されている。ローパスフィルタのカットオフ周波数よりも低い帯域では、位相補償回路20のコンデンサ部の容量値は、コンデンサ24とコンデンサ25の容量値の合計になる。また、ローパスフィルタのカットオフ周波数以上の帯域では、位相補償回路20のコンデンサ部の容量値は、コンデンサ24の容量値になる。

20

【0033】

よって、ゼロ点Z1の周波数は、負荷電流が大きくなったとき、即ち、ローパスフィルタのカットオフ周波数以上の帯域になると高くなる。従って、ボルテージレギュレータ100は、負荷電流が増加してポールP3の周波数が高くなった場合、ゼロ点Z1の周波数を高くできる。

【0034】

以上説明したように、ボルテージレギュレータ100は、負荷電流の変動によってポールP3の周波数が移動したとしても、ゼロ点Z1を適切な帯域で発生させることができるので、安定動作を保つことができる。従って、ボルテージレギュレータ100は、広範囲な負荷電流条件に対して安定した動作が可能になる。

30

【0035】

なお、位相補償回路20の抵抗部は、並列に接続された抵抗22とコンデンサ23が抵抗21と直列に接続されている、としたがこれに限定されない。図2に示すボルテージレギュレータ200の位相補償回路30のように、ハイパスフィルタであるコンデンサ33と直列に接続された抵抗32が抵抗31と並列に接続されても良い。

【0036】

また、位相補償回路20は、抵抗部とコンデンサ部が並列に接続された構成として説明したが、この構成に限定されない。例えば、図3のボルテージレギュレータ300の位相補償回路40のように、抵抗部とコンデンサ部が直列に接続された構成であっても、同様の効果を得ることが出来る。

40

【0037】

また、各実施形態のゼロ点Z1の周波数は、負荷電流が大きくなったとき低くなるように、位相補償回路を構成してもよい。この場合は、位相補償回路20の抵抗部は、例えば、並列に接続された第一の抵抗及び第二の抵抗と、第二の抵抗と直列に接続されローパスフィルタを備えて構成すればよい。

【0038】

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されず、本

50

発明の趣旨を逸脱しない範囲において種々の変更が可能であることは言うまでもない。

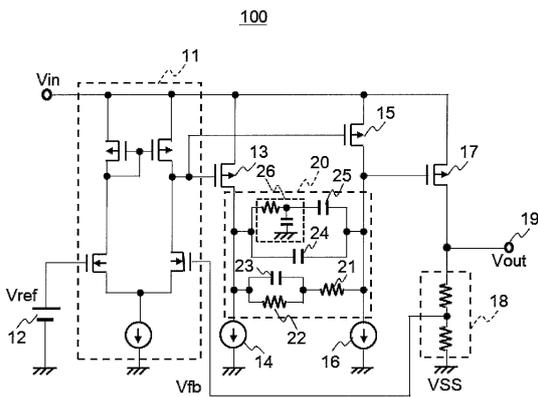
例えば、上記各実施形態の位相補償回路は、必要に応じて、単独または組み合わせて構成してもよい。

【符号の説明】

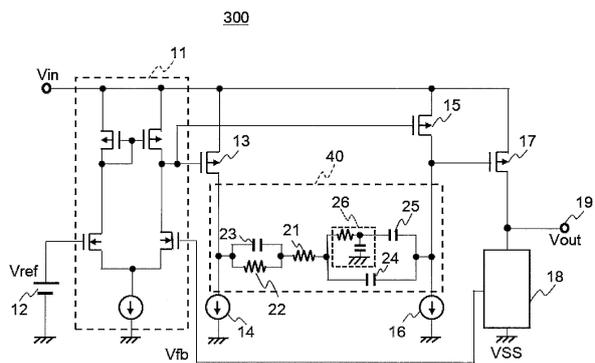
【0039】

- 11 差動増幅回路
- 12 基準電圧回路
- 14、16 定電流源
- 18 フィードバック回路
- 20、30、40 位相補償回路
- 26 ローパスフィルタ

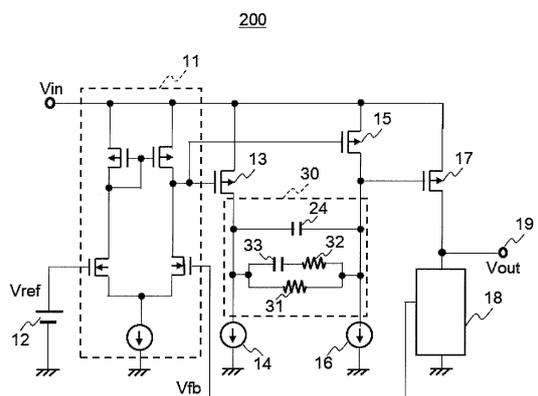
【図1】



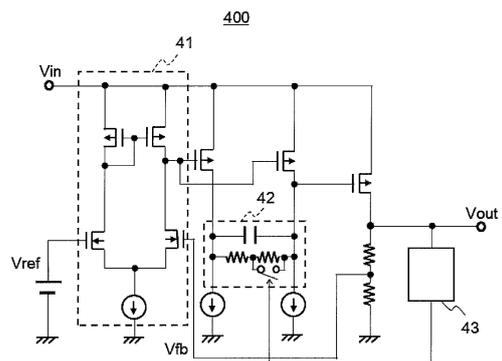
【図3】



【図2】



【図4】



---

フロントページの続き

- (56)参考文献 特開2013-077288(JP,A)  
特開2005-243032(JP,A)  
特開2003-316454(JP,A)  
特開2005-215897(JP,A)  
米国特許出願公開第2008/0157735(US,A1)

(58)調査した分野(Int.Cl., DB名)

G05F 1/445  
G05F 1/56  
G05F 1/613  
G05F 1/618  
H02M 3/00-3/44