(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/20

(45) 공고일자 1999년02월01일
(11) 등록번호 특0169553
(24) 등록일자 1998년10월12일

(21) 출원번호 특1995-020208
(22) 출원일자 1995년07월10일
(65) 공개번호 특1996-005766
(43) 공개일자 1996년02월23일
(30) 우선권주장 94-158465 1994년07월11일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 이즈미 시게카즈
일본국 효오고 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 히까리 마이크로하디바이스 카이하쯔켄큐쇼
하야후지 노리오
일본국 효오고 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 히까리 마이크로하디바이스 카이하쯔켄큐쇼
(74) 대리인 김영길

심사관 : 남승희

(54) 반도체층의 제조방벙

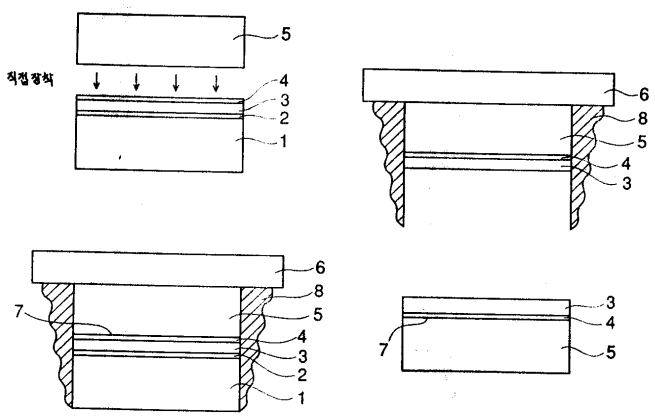
요약

반도층의 제조방법은 반도체층으로 되는 제 1기판(1)을 준비하는 공정과; 제 1 기판(1)의 표면상에 에칭정지층(2)을 형성하는 공정과; 에칭정지층(2)상에 반도체소자의 구성으로 능동층을 형성하는 공정과; 능동층(3)상에 결정결함완화층(4)을 형성하는 공정과; 제 1 기판(1)의 반도체의 열전도율보다 높은 물질로 된 제 2 기판(5)을 준비하는 공정과; 결정결함완화층(4)이 제 2 기판(5)의 표면에 접착하는 공정과; 에칭정지층(2)을 노출시키기 위해 제 1 기판(1)을 선택적으로 에칭제거하는 공정과; 능동층(3)을 노출하기 위해 에칭정지층(2)을 선택적으로 에칭제거해서 능동층(3)이 결정결함완화층(4)을 통해서 제 2 기판(5)에 배열되는 반도체층을 완성하는 공정으로 구성된다.

그러므로, 방열성이 고열전도율을 가지는 제 2 기판과 능동층에 두께를 줄임으로서 크게 향상된다.

또한 능동층의 양질의 결정성과 기판의 충분한 기계적인 강도가 얻어진다.

대표도



명세서

[발명의 명칭]

반도체층의 제조방법

[도면의 간단한 설명]

제1(a)-1(b) 도는 본 발명의 제1실시예에 따른 반도체층을 제조하는 방법을 설명하는 개략도.

제2(a)-2(b) 도는 본 발명의 제2실시예에 따른 반도체층을 제조하는 방법을 설명하는 개략도.

제3(a)-3(b) 도는 본 발명의 제3실시예에 따른 반도체층을 제조하는 방법을 설명하는 개략도.

제4(a)-4(d) 도는 본 발명의 제3실시예에 따른 반도체층을 제조하는 방법을 설명하는 개략도.

제5(a)-5(b) 도는 본 발명의 제3실시예에 따른 반도체층을 제조하는 방법을 설명하는 개략도.

제6(a)-6(f) 도는 본 발명의 제3실시예에 따른 반도체층을 제조하는 방법을 설명하는 개략도.

제7(a)-7(c) 도는 종래기술에 따른 기판의 연삭후에 PHS를 형성하는 반도체층을 제조하는 방법을 설명하는 도면.

제8도는 종래의 열전도율이 높은 결정으로 되는 기판상에 반도체소자능동층을 형성하는 반도체층의 제조방법을 설명하는 도면.

제9도는 종래의 기판의 직접접착을 이용한 반도체층의 제조방법을 설명하는 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : GaAs 기판 2 : 에칭정지층($In_{0.49}Ga_{0.51}P$)

3 : GaAs계 반도체 소자능동층 4 : 결정결함완화층(GaAs)

5 : GaP기판 6 : 유리기관

7 : 접착면 8 : 왁스

9 : PHS(Plated Heat Sink) 10 : Si 기판

11 : SiO_2 박막 21 : InP기판

22 : 에칭정지층($In_{0.53}Ga_{0.47}As$) 23 : InP계 반도체 소자능동층

24 : 결정결함완화층(InP) 31 : 에미터 콘택트층 (n형 InGaAs)

32 : 에미터층(n형 AlGaAs) 33 : 베이스층(P형 GaAs)

34 : 콜랙터층(n형 GaAs)

43 : 고출력 소자로 되는 반도체층(소자 능동층과 완충)

45 : 열전도율이 높은 결정으로 되는 기판

51 : 반도체 기판

55 : 열전도율이 높은 물질로 되는 기판

101 : H^+ 주입영역(절연영역) 102 : 더미 에미터(절연물)

103 : WSi 104 : 레지스트

105 : 베이스전극금속 106 : 에미터전극

107 : 콜랙터전극

[발명의 상세한 설명]

본 발명은 헤테로 접합 바이폴라 트랜지스터, 전계효과트랜지스터, 레이져 다이오드, 직접회로등의 반도체 소자 능동층과 방열을 위한 기판을 구비한 방열성이 양화한 반도체층의 제조방법에 관한 것이다.

GaAs및 그화합물(이이후 GaAs계로 칭한다.)반도체 장치와 InP및 그화합물(이이후 InP계로 칭한다.) 반도체 소자는 Sir계반도체 소자에 비교해서 전자의 이동도가 높고, 광학적 전자천이에 대해서는 직접 천이형 이기때문 종래부터 고주파수 소자로 해서 헤테로 접합 바이폴라 트랜지스터, 전계효과 트랜지스터 등에 광소자로 해서 레이져 다이오드등에 폭넓게 이용된다.

그러나, GaAs(InP)계 반도체 장치는 GaAs(InP)의 열전도율이 Si계와 비교해서 낮다하는 문제점이 있다.

대표적인 반도체의 기본물성에 대해서는 표1에 나타낸다.

이 표1에서 나타난바와 같이 GaAs, InP는 GaP, Si에 비교해서 열전도율이 낮다.

[표 1]

물성 / 단위	열도전율(열저항율) W/cmK(cmK/W)	격자정수 Å	결정구조 ----	열팽창계수 1/K
GaAs	0.54(1.852)	5.6533	섬아연광형	5.7×10^{-6}
InP	0.70(1.429)	5.8688	섬아연광형	4.5×10^{-6}
Gap	1.10(0.909)	5.4511	섬아연광형	4.7×10^{-6}
Si	1.57(0.637)	5.4301	다이아몬드형	2.4×10^{-6}

일반적으로 장치의 열방산은 그 열저항에 의존하고, 물체의 열저항을 열류(단위 : 주/sec = Watt)당의 상승온도(단위 : K)를 나타내고, 열저항은 (열저항) ×(물체의 길이)/(물체의 단면적)과 같다.

열저항율은 열전도율의 역수이다.

헤테로접합바이폴라트랜지스터, 전계효과트랜지스터, 레이져다이오드 등의 GaAs계(InP계) 소자가 고출력 소자로해서 이용되는 경우, 큰 직류전류가 필요하다.

이들 소자의 전력효율이 낮으므로 장치에 인가된 일정비율이 열로해서 소비된다.

이때 소자본체에서 소자외부로 열이 전달되어 가는 경로의 열저항이 큰만큼, 이 경로의 양단의 온도차가 크게 된다.

이것은 소자자신의 온도가 상승하는 것을 의미하고 소자특성의 열화를 초래함과 동시에 소자의 신뢰성의 저하를 수반한다.

이와같은 온도상승의 문제를 회피하기위해, 전력효율을 일정하게하면, 열저항을 내리지않으면 안되나, 그를 위해서는 상기 열이 전달해가는 경로의 길이를 짧게하던가, 또는 이 경로에 어떤 물질의 열전도율을 높게한다.

즉 열저항을 낮게하는 것이 필요하다.

구체적으로 이하와 같은 방법이 이용된다.

(1) GaAs(InP)기판을 박막화해서 열전도율이 높은 금속등으로 되는 PHS(Plated Heat Sink)라고 불리우는 열을 흡수하여 외부로 방산하기 위한 판을 기판의 이면에 설치한다.

(2)열전도율이 높은 GaP, 또는 Si 등의 결정을 기판으로해서 이용하고, 그 기판상에 소자를 형성하기 위한 GaAs계(InP계)결정층을 성장한다.

기본적으로 (1)은 열이 전달해가는 경로를 단축하는 방법이고, (2)는 그 경로에 어떤 물질의 열전도율을 높게하는 방법이다.

방법 (1)의 열전도율이 낮은 GaAs를 연삭 박막화하고, 열전도율이 높은 금속 등을 도금하여 PHS를 형성하는 방법의 일예에 대해서 상세하게 설명한다.

이 방법의 일련의 공정을 제7(a)~제7(c)도에 나타낸다.

우선, 헤테로 접합 바이폴라 트랜지스터등의 고출력 소자로 되는 층두께 3㎛ 정도의 반도체층(43)을 두께 600㎛ 정도의 GaAs기판(1)에 성장한다.

제7(a)도에서 반도체층(43)이 단일층으로 나타나나, 그것은 능동층과 버퍼층을 포함한다.

그후 기판을 왁스(8)로 유리판(6)에 부착한다(제7(a)도).

유기판(6)은 반도체층(43)이 접촉된다.

그후 GaAs 기판(1)은 두께가 30㎛정도 이하로 되기까지 연삭해서 박막화하고, 방열용으로 PHS(9)를 도금한다(제7(b)도).

최후로 GaAs기판(1)을 유리판(6)에서 분리한다(제7(c)도).

그러나 이 방법에 따르면 연삭된 기판두께가 양화한 균일성을 유지하기 어렵고, 또 기판의 기계적강도로 저하하므로서, 이 연삭공정 이후의 처리공정이 불안정하게 된다.

한편, 상기 기술된 방법(2)에 의하면, 열전도율이 높은 GaP, Si 등의 결정으로 되는 기판(45)상에 소자를 형성하는 반도체층(43)을 결정성장하는 방법을 일반으로 소자형성층(43) 과 기판(45)과의 격자정수, 열팽창계수, 결정구조 등이 다르기때문에, 양호한 결정성을 가진 반도체층(43)을 얻기가 어렵다.

실제로 표1에 나타난 바와같이 GaAs 및 InP의 격자정수, 열팽창계수, 및 결정구조는 다르다.

상기 방법(1)과 방법(2)이외에, 특개평 1-304722호 공보에 개시된 방법이 공지되어 있다.

이 방법의 일련의 처리공정은 제9(a)~제9(c)도에 도시되어 있다.

이 방법에서는, 열전도율이 높은 물질로 되는 기판(55)과 소자를 형성하기 위한 반도체기판(51)을 직접접착(제9(a), (b))한후, 이 반도체기관(51)을 소정의 두께까지 연삭 또는 에칭하여 소자형성을 행하는 것이다.

이 방법에 따르면, 반도체기판(51)에 형성된 반도체층의 결정성이 열화를 피할 수 있다.

그러나, 기판(55)에 반도체기판(51)을 직접접착후, 반도체기관(51)을 연삭 또는 에칭할때에 그 기판두께를 균일하게 유지하는 것이 어렵다.

또한 그 재현성 문제도 있다.

또 기판(51)의 두께의 벗아남 이하의 기판두께까지 반도체기판(51)을 박충화하기는 불가능하다.

반도체기판 두께는 얇은 편이 방열성은 양호하게되나 상기점에서 상기 방법에 의한 방열성의 개선에는 한계가 있다.

고출력 GaAs계(InP계)화합물 반도체소자의 방열성을 개선해서, 소자의 온도 상승을 억제하는 방법으로해서, 상기 (1)의 GaAs(InP)기판을 박막화해서 열전도율이 높은 PHS를 기판의 이면에 설치하는 방법과, 상기 (2)의 열전도율이 높은 결정을 기판으로해서 이용하여, 그 기판상에 소자를 형성하기위한 GaAs계(InP계)결정을 성장하는 방법이 이용되고 있다.

그러나, (1)에 대해서는 GaAs 기판을 기판두께의 균일성을 유지해서 연삭하는 것이 곤란하고, 또 연삭후에 기계적인 웨이퍼강도가 얻어지지 않고, 그 이하의 공정이 안정하지 않는 등의 문제가 있다.

또 방법(2)에 따르면, 기판에 소장형성층과 격자정수, 열팽창계수, 결정구조 등이 다른 재료를 이용하기 때문에, 양호한 결정성을 가진 소자형성층이 얻어 지지않는 것이다.

한편, 열전도율이 높은 기판(55)과 소자를 형성하기 위한 반도체기판(51)을 직접접착하는 방법에서는 상기 소자형성층의 결정성열화의 문제는 회피할 수 있으나, 접착후의 연삭 또는 에칭에 의한 반도체기판(51)의 박막화때 그 기판(51)두께의 균일성, 재현성을 확보하는 것이 곤란하고, 기판두께의 편차 이하의 박층화가 불가능하기때문에, 따라서 그것이 방열성 개선에 한계가 있다.

고열전도율을 가진 물질로 이루어진 기판에 소자가 후에 형성되는 반도체기판상에 직접접착되는 상술의 방법에서 소자의 방열성을 개선하는 반도체층을 제조하는 방법을 제공하는 것이 본 발명의 목적이다.

본 발명의 다른 목적과 잇점은 후술하는 상세설명으로부터 더욱 명확해진다. 기술된 상세설명과 실시예는 설명일뿐이며 본 발명의 다양하게 추가된 변경이 본 발명의 상세한 설명에서 이 기술에 종사하는 사람에게 분명해질 것이다.

본 발명의 제1 관점에 따르면, 반도체층을 제조하는 방법은 주면을 가진 제1 기판을 마련하고, 열전도율을 가진 반도체를 포함하는 공정과; 제1 기판의 표면상에 에칭정지층을 형성하는 공정과; 그 반도체소자 능동층상에 결정결함 완화층을 형성하는 공정과 표면을 가진 제2 기판을 준비하고 제1 기판의 반도체 열전도율 높은 물질을 포함하는 공정과; 그 제2 기판의 표면에 결정 결함완화층의 표면과 접속하는 공정과; 제1 기판을 선택적으로 에칭하는 것에 의해 제거하여, 에칭정지층의 표면을 노출시키는 공정과; 에칭정지층을 선택적으로 에칭하는 것에 의해 제거하고 능동층의 표면을 누출시키는 공정을 포함하고, 제2 기판상에 상기 결정결함완화층을 통해서 능동층이 배열된 반도체층을 완성하는 것이다.

그러므로, 열발산성이 고열전도율을 가지는 물질을 포함하는 제2 기판에 의해 개선된다.

또한, 결정결함완화층 능동층과 제2 기판사이에 개재되어서, 능동층의 결정성이 열화하는 않는다.

또한 제2 기판은 충분한 기계적강도를 제공하고, 능동층을 노출시킨 공정후 처리공정이 안정되게 행해진다.

반도체기판의 선택적 에칭으로, 에칭정지층의 표면이 노출될때 자동적으로 멈추게 된다.

또한, 에칭정지층의 선택에칭으로 능동층의 표면이 노출될때 자동적으로 멈추게 된다.

또한, 에칭정지층의 선택에칭으로, 능동층의 표면이 노출될 때 에칭은 자동적으로 멈춘다.

그러므로, 능동층은 역으로 상술의 에칭공정에 의해 영향을 받지 않는다.

즉, 능동층의 두께가 성장될때 능동층의 두께가 유지된다.

그 결과, 능동층의 두께는 전술의 종래의 기판접착을 이용한 방법에서 에칭후의 반도체기판 두께보다 균일성, 재현성에서 격단으로 우수한 것이다.

이것은 능동층두께의 변동의 제어를 의미하고, 상기 종래의 방법에 비해 능동층 및 결정결함완화층을 감소시켜서 방열성이 더 개선된다.

그러므로 방열성이 향상되므로서, 소자의 고전력출력 동작중에 온도의 바람직 하지 않는 상승이 억제되고 소자특성의 열화가 억제되며, 그결과 신뢰성이 향상된다.

또한 능동층의 두께의 균일성과 재현성이 만족하므로서, 소자의 균일성과 재현성의 특성이 개선된다.

본 발명의 제2 관점에 따르면, 상술의 방법에서 제1 기판은 GaAs이다.

그러므로 GaAs의 열전도성보다 높은 물질이 제2 기판으로 이용될때, 열전송로의 열저항이 감소되어서 방열성이 개선된다.

본 발명의 제3 관점에 따르면, 상술의 방법에서 제1 기판을 GaAs이고, 제2 기판은 GaAs보다 2배의 열전동성을 가진 GaP로 된다.

그러므로, 열전송로의 열저항이 감소되어서 방열성이 향상된다.

본 발명의 제4관점에 따르면, 상술의 방법에서 제1 기판을 GaAs이고, 제2 기판은 GaAs의 열저항율 보다 3배 높은 Si로 된다.

그러므로 열전송로의 열전도율이 감소해서 방열성이 향상된다.

또한, 화합물반도체는 아니나, Si를 제2기판으로 사용함으로서, 경비가 절감된다.

본 발명의 제5 관점에 따르면, 상술의 방법에서, 제1 기판을 GaAs로 되고, 제2 기판을 Si기판과 그 Si기판보다 충분히 얇은 SiO막으로 되고, Si기판의 표면에 배열된다.

결정결함완화층이 SiO막에 접착된다.

Si기판이 이용되므로서, 열전송로의 열저항을 감소되어서 방열성이 향상된다.

또한, SiO막은 Si기판에서 능동층을 절연한다.

SiO의 열전도율이 Si의 열전도율의 수십분의 일이나, SiO막의 두께가 Si기판의 열저항에 비해 무시할만하다.

또한, 화합물반도체층은 아니나, Si는 제2 기판으로 사용하므로 경비가 절감된다.

본 발명의 제6 관점에 따르면, 상술의 방법에서 제1 기판은 InP이다.

그러므로, InP의 열전도율보다 큰 물질이 제2 기판으로 이용될때, 열전송로의 열저항은 감소되어서 방열성이 향상된다.

본 발명의 제7 관점에 따르면, 상술의 방법에서 제1 기판을 InP이고, 제2 기판이 InP보다 2배의 열전도성을 가진 Si로 된다.

그러므로 열전송로의 열저항율이 감소해서 방열성이 향상된다.

또 화합물반도체는 아니나 Si를 제2 기판으로 사용해서 경비가 절감된다.

본 발명의 제8 관점에 따르면, 상술의 방법에서 제1 기판을 InP이고, 제2 기판을 Si기판과 Si기판보다 충분이 얇고 Si기판의 표면상에 배열되는 SiO 막으로 된다.

결정결함완화층이 SiO 막에 접착된다.

Si기판을 이용하므로서, 열전송로의 열저항이 감소되어서 방열성이 향상된다.

또한 SiO 막이 Si기판에서 능동층과 절연된다.

SiO 의 열전도율이 Si의 수십분일이어도 SiO 막의 두께가 Si기판의 두께보다 얇으므로 SiO막의 열저항이 매우 낮고 Si기판의 열저항에 비교해서 무시할만큼 적다.

또한 화합물반도체는 아니나 Si를 사용함에 따라 경비가 절감된다.

본 발명의 제9 관점에 의하며, 상술의 방법에서 에칭정지층상에 생성된 능동층은 헤테로 접합 바이폴라 트랜지스터용의 능동층이다.

또한, 이 경우에 능동층의 두께와 결정결함완화층을 감소할 수 있어서, 방열성이 향상된다.

그러므로 고전류 밀도를 가진 헤테로 접합 바이폴라 트랜지스터에서는 고전력출력동작중에 온도의 바람직하지 않는 상승이 억제되고 소자특성의 열화가 억제되며 그 결과 신뢰성이 증진된다.

또한 능동층의 두께의 균일성과 재현성이 만족되므로 소자의 균일성과 재현성 역시 향상된다.

또한 제2 기판이 충분한 기계적인 강도를 가지고, 능동층의 표면을 노출하는 공정후의 처리공정이 안정되게 행해진다.

제1(a)~1(d) 도는 본 발명의 실시예 1에 따른 반도체층을 제조하는 방법의 처리공정을 나타내는 개략도이다.

이들 도면에서 (1)은 GaAs기판(제 1 기판), (2)는 에칭정지층, (3)은 반도체소자의 GaAs계 능동층, (4)는 결정결함완화층, (5)는 GaP기판(제2기판), (6)은 유리기판, (7)은 접착면, (8)은 왁스를 나타낸다.

GaAs계 능동층(3)은 단일층으로 나타내나, 그것을 실제로 복수의 GaAs계 반도체층을 가진다.

그 제조방법에 대해 설명한다.

먼저 제1(a)도에 나타난 바와같이, 에칭정지층(2)은 InGaP이고, GaAs기판(1)(제1기판)에 약 100㎚의 두께로 엑피텍셜 성장된다.

InGaP는 격자정합되어 있다.

그후 GaAs계 능동층(3)은 반도체층이 완성될 때 제2기판(5)에서 가장 멀리 위치로 되는 층에서 엑피텍셜 성장된다.

마지막으로 결정결함완화층(4)는 능동층(3)에 성장되는 GaAs를 구비한다.

그후 제2 기판(5)은 결정결함완화층(4)의 표면에 직접 접착되는 GaAs의 열전도율의 2배 높은 GaP를 가진

다.

충분한 접착강도가 30분동안 수소분위기에서 450℃에서 어닐되어 얻어진다. (H.Wade 등 의, International Symposition of Gallium Arsenide and Related Compounds, 1992년), 직접접착에 의한 손상은 능동층(3)상에 결정결함완화층(4)에 의해 모두 흡수되므로, 능동층(3)의 품질저하는 없다.

제1(b)도의 과정에서 GaP기판(5)은 왁스(8)등에 사용되는 유리(6)에 부착된다.

그후 제1(c)도에 나타난 바와같이, GaAs기판(1)은 유리플레이트(6)의 반대측상에 노출된 표면에서 화학적인 웨트에칭을 행한다.

25℃에서 가열된 HSO : H2 : HO(=5 : 1 : 1)의 혼합물이 에칭액으로해서 사용될때 InGaP 에칭정지층(2)에서 에칭이 자동적으로 멈춘다.

이 에칭액에 의한 에칭비는 거의 5㎛/min이다.

즉 이 에칭액은 InGaP를 에칭하지않으나 GaAs는 에칭한다.

그래서 GaAs기판은 고균일성과 재현성을 제거된다.

그후 InGaP층(2)는 25℃에서 가열된 HCL(30%) : HO(=3 :2)의 혼합물이 애칭액으로 사용되는 웨트에칭으로 제거된다.

에칭비는 n의 150㎚/min이다.

이 에칭액이 GaAs는 에칭하지않고 InGaP를 에칭하므로, GaAs계 화합물 반도체능동층(3)으 표면이 노출될때, 에칭 자동으로 멈춘다.

GaAs기판(1)도 상술의 에칭에서와 같다.

InGaP층(2)는 고균일성과 재현성을 가지고 제거된다.

마지막으로 GaP기판(5)은 제조프로세스를 완성하기위해 유리프레이트(6)으로부터 분리된다.

그결과, 결정결함완화층(4)를 통해서 GaP기판(5)상에 능동층(3)이 배열된 제1(d)도에 나타난 구조가 얻어진다.

상술의 제조방법의 효과와 기능에 대해 설명한다.

본 발명의 실시예 1에서, 제2 기판(5)는 GaAs의 2배의 열전도율을 가진 GaP가지므로, 방열성이 GaAs기판이 사용되는 경우에 비교해서 향상된다.

또한 상술한 바와같이 선택에칭이 이용되므로, 그것이 성장할때 능동층의 두께의 균일성이 거의 확보되고, 능동층(3)의 두께와 에칭에 의한 결정결함완화층(4)의 두께에 거의 변동이 없다.

그러므로, 능동층(3)은 소자를 형성하는데 필요한 최소두께로 얇어지고, 결정결함완화층(4)은 직접접착에 의한 능동층의 손상을 방지하는데 필난 최소두께로 얇게할 수 있다. 기판의 직접접착을 포함하는 종래 방법에 따르면, 에칭정지층이 사용되지 않으므로, 에칭후 소자가 형성될때 반도체기판 두께의 변동이 크고 능동층의 두께에서 상술의 완화와 결정결함완화층을 최소화하는 것이 불가능하다.

본 발명의 실시예 1에 따르면, 방열성이 크게 향상되고, 소자의 동작중에 온도상승의 의해 소자특성의 열화가 방지되어 신뢰성이 향상된다.

또한 소자의 균일성과 재현성이 증진된다.

또한 능동층의 결정성도 상술한 바와같이 만족시킬 수 있다.

또 소자의 구성 즉 결정결함완화층(4)과 능동층(3)으로서의 반도체층은 기계적강도를 충분히 유지하는 100㎛초과의 두께를 가지는 GaP기판(5)에 부착되어 소자를 완성하기 위한 다음 처리공정이 안정하게 행해진다.

[실시예 2]

본 발명의 실시예 2에 따른 반도체층을 제조하는 방법을 설명하는 개략도이다.

이 실시예 2에 따른 처리공정은 GaP대신에 Si가 사용되는 것을 제외하고는 제1(a)～제1(d)도에 대해 이미 설명한 것과 근본적으로 동일하다.

특히 제2(a)도의 공정에서 InGaP 에칭정지층(2), 능동층(3) 및 결정결함완화층(4)은 GaAs기판(1)에 연속해서 성장되는 GaAs를 구비한다.

그후 제2 기판(10)은 결정결함완화층(4)의 표면에 직접접착되는 GaAs의 열전도성의 3배인 Si로 된다.

충분한 접착강도는 30분동안 수소분위기에서 450℃로 어닐함에 의해 얻어진다.

직접접착에 의한 손상을 능동층상에 수정결함완화층(4)에 의해 모두 흡수되어 능동층의 품질의 열화는 없다.

그후 제1(b)와 (c)도에 나타난대로, Si기판(10)은 왁스(8)를 사용하는 유리플레이트(6)에 부착되고 GaAs기판(1)과 에칭정지층(2)는 선택에칭에 의해 연속으로 제거된다.

최후로 Si기판(10)은 제조방법을 완성하기위한 유리플레이트(6)에서 분리된다. 그결과 결정결함완화층(4)을 통해서 Si기판(10)에 능동층(3)이 배열된 제2(b)도에 나타난 구조가 얻어진다.

실시예 2에 따른 제조방법의 효과와 기능에 대한 설명을 한다.

Si의 열전도율은 GaAs의 3배이고 GaP보다 높으므로 방열성이 GaP기판이 사용된 상술의 실시예 1에 비교해서 더 개선된다.

또한, 화합물 반도체기판을 사용하는 경우에 비교해서 경비가 절감된다.

상술의 실시예 1에서와 같이 능동층(3)의 결정성이 향상되고 균일성 및 소자의 특성의 재현성이 개선되며, 기판의 충분한 기계강도를 유지한다.

[실시예 3]

본 발명의 실시예 3에 따른 반도체층을 제조하는 방법을 설명하기 위한 제3(a)~제3(b)도는 개략도이다.

우선 제3(a)도에 나타난 바와같이, 200~500㎚의 두께로 가진 얇은 SiO 막(11)은 CVD(Chemical Vapor Deposition)에 의해 Si기판(10)에 형성된다.

또, 얇은 SiO막(11)이 Si기판(10)의 표면을 산화함에 의해 형성된다.

그후 에칭정지층(2), 능동층(3) 및 결정결함완화층(4)이 본 발명의 상술의 실시예 1에 나타난바와같이 GaAs기판(1)상에 연속으로 생성된다.

그때, SiO 얇은막(11)은 결정결함완화층(4)에 직접접착된다.

직접접착이 실시예 1에서 기술된 바와 같이 같은 조건하에서 행해진다.

다음의 처리공정은 실시예 1에서 따른 제1(b), 1(c) 및 (d)에 대해 이미 기술한 것과 동일하다.

즉 Si기판(10)을 왁스(8)등에 사용되는 유리플레이트(6)에 부착되고 GaAs기판(1)과 에칭정지층(2)이 선택에칭에 의해 제거되고 유리플레이트(6)에서 Si기판(10)의 분리가 된다.

그결과 얇은 SiO막(11)과 결정결함완화층(4)를 통해서 능동층(3)이 Si기판(10)에 배열되는 제3(b)도에 나타난 구조가 얻어진다.

제3 실시예에 따른 제조방법의 효과와 기능에 대핸 설명한다.

Si기판(10)이 n형 또는 p형의 도전형을 가지나, SiO막이 50㎚이상 두꺼울때 절연막으로 충분히 기능하므로, Si기판(10)은 능동층에서 절연된다.

한편 SiO의 열전도율이 Si의 수십분의 일이어도 SiO막(11)의 두께가 Si기판(10)의 두께 즉 100㎛이상보다 충분히 두껍게 한 수백나노미터이므로, 얇은 SiO막(11)의 열저항이 매우 낮고 Si기판(10)의 열저항에 비교해서 무시할 수 있다.

그결과 얇은 SiO막(11)을 이용함에 의해, Si기판(10)은 GaAs계 화합물 반도체소자로부터 절연되어 방열성이 증진된다.

또한, 상술의 실시예 1에서와 같이 능동층의 결정성이 만족하고 소자특성의 균일성과 재현성이 향상되며, 기판의 충분한 기계적인 강도가 유지된다.

또한 Si기판을 방열에 이용하므로 화합물 반도체기판을 이용하는 경우에 비교해서 경비가 절감된다.

[실시예 4]

본 발명의 실시예 4에 따른 반도체층을 제조방법을 설명하는 개략도이다. 최초로, 제4(a)도에 나타난바와같이, 에칭정지층(22)은 InGaAs로 되고 제1 기판으로 InP기판(21)에 엑피텍셜성장되는 100㎚ 이하의 두께를 가진다.

InGaAs는 InP와 격자정합된다.

그후 InP계 화합물 반도체능동층이 구조가 완성될때 후에 기술하는 제2 기판에서 가장 멀리떨어져 위치되는 층에서 에칭정지층상에 연속해서 에피텍셜성장된다.

도면에서 이들 능동층이 단순화를 위해 단일층(23)으로 나타나 있다.

최후로, 결정결함을 완화하는 InP층(24)은 능동층(23)에 성장된다.

그때 제2 기판(10)은 Si로 되고, 2Si는 결정결함완화층(24)의 표면에 직접접착되는 InP의 열전도율의 2배를 가진다.

충분한 접착강도가 30분동안 수소분위기에서 450℃로 어닐해서 얻어진다.

직접접착에 의한 손상은 능동층(23)상의 결정결함완화층(24)에 의해 모두 흡수되고 능동층이 절이 열화되지 않는다.

제4(b)도의 공정에서 Si기판(10)은 왁스(8)등을 사용해서 유리플레이트(6)에 부착된다.

그후 제4(c)도에 나타난바와같이, InP기판(21)은 유리플레이트(6)의 반대측의 노출표면에서 화학적인 웨트에칭으로 행해진다.

이때, 에칭액으로해서 온도 25℃의 희염산을 이용하며 InGaAs 에칭정지층(22)에서 에칭이 자동적으로 정지한다.

InP의 에칭비는 이 에칭액에 의해 약 5㎛/min이 걸린다.

즉 이 에칭액은 InGaAs를 에칭하지 않고 InP만 에칭한다.

그래서 InP기판은 고균일성과 재현성을 가지고 제거된다.

그후 InGaAs층(22)은 애칭액으로 25℃에서 가열된 구연산(50%)와 HO(30%)(=4 :1)의 혼합물을 사용해서 웨트에칭으로 제거된다.

이 에칭액에 의한 InGaAs의 에칭비는 약 150㎚/min이다.

이 에칭액이 InP를 에칭하지 않고 InGaAs만을 에칭하나, InP계 화합물 반도체능동층(23)의 표면이 노출될 때, 에칭이 자동으로 멈춘다.

InP기판(21)의 상술의 에칭과 같이, InGaAs층(22)가 고균일성과 재현성으로 제거된다.

최후로 Si기판(10)은 제조처리를 완료하기위해 유리플레이트(6)에서 분리된다.상술의 제조방법의 효과와 기능에 대해 설명한다.

본 발명의 실시예 4에서, 제2 기판(10)은 InP의 열전도율의 약 2배가 되는 Si로 되며, 방열성이 InP기판을 사용한 경우와 비교해서 개선된다.

또한 상술한바와같이 선택에칭이 이용되므로, 성장될때 능동층(23)의 두께의 균일성이 유지되며, 능동층(23)의 두께와 에칭에 의한 결정결함완화층(24)의 두께의 변동이 거의 없다.

그러므로, 능동층(23)은 소자를 제조하는데 필요한 최소 두께로 얇게할 수 있고, 결정결함완화층(24)은 직접접착에 의한 손상으로부터 능동층(23)을 보호하는데 필요한 최소두께로 얇게할 수 있다.

그결과, 방열성이 크게 향상되고, 소자동작중에 온동상승에 의해 야기된 소자 특서의 열화가 방지되어서 신뢰성이 향상된다.

또한, 소자특성의 균일성과 재현성이 개선된다.

또한 능동층의 결정성이 상술한바와같이 만족된다.

또한 소자의 구성으로 반도체층 즉 결정결함완화층(24)과 능동층(23)이 기계적강도를 유지하기에 충분한 100㎛ 초과두께의 Si기판(10)에 부착되며, 소자의 완성을 위한 다음 처리과정이 안정되게 행해진다.

Si기판이 방열용 기판으로 사용되므로서 화합물 반도체기판을 사용하는 경우에 비해 경비가 절감된다.

[실시예 5]

제5(a)-5(b)도는 발명의 실시예 5에 따른 반도체층을 제조하는 방법을 설명하기 위한 개략도이다.

우선 제5(a)도에 나타난바와같이, CVD법으로 Si기판(10)에 200～500㎚의 두께의 얇은 SiO막(11)이 형성된다.

또한 얇은 SiO막(11)은 Si기판(10)의 표면을 산화함에 의해 형성된다.

그후, 에칭정지층(22), 능동층(23), 및 결정결함완화층(24)이 본 발명의 실시예 4에서 상술한 바와 같이 InP기판(21)에 연속해서 생성된다.

직접접착은 실시예 4에서 기술된 것과 같은 조건하에서 행해진다.

다음 처리공정을 실시예 4에서 따른 제4(b), 4(c) 및 (4d)에 대해 이미 기술된 것과 같다.

즉 Si기판(10)은 왁스(8)등을 이용해서 유리플레이트(6)에 부착하고, InP기판(21)과 에칭정지층(22)은 선택에칭에 의해 연속해서 제거되고 유리플레이트(6)에서 Si기판(10)의 분리가 이어진다.

그결과, 얇은 SiO막(11)과 결정결함완화층(24)을 통해서 능동층(23)이 Si기판(10)에 배열되는 제5(b)도에 도시된 구조가 얻어진다.

실시예 3에 따른 제조방법의 기능과 효과에 대해 설명한다.

Si기판(10)이 n형 또는 p형의 도전율을 가져도, SiO막(11)를 50㎚이상 두꺼울 때 절연막으로해서 충분히 기능하므로, Si기판(10)은 능동층에서 절연된다.

한편 SiO의 열전도율이 Si의 수십분의 일이어도 SiO막(11)의 두께가 Si기판(10)의 두께보다 훨씬 두꺼운 수백나노미터 즉 100㎛ 이상이므로, 얇은 SiO의 열저항은 매우 낮고 Si기판(10)의 열저항과 비교해서 무시할 수 있다.

그 결과 SiO 얇은 막(11)을 이용함에 의해, Si기판(10)은 InP계 화합물 반도체 소자로부터 절연되고, 방열성이 향상된다.

또한 상술의 실시예 4에서, 능동층의 결정성이 만족되고, 소자특성의 균일성과 재현성이 향상되며, 기판의 충분한 기계적강도가 유지된다.

또한, Si기판은 열발산에 이용되므로 화합물 반도체기판의 사용되는 경우에 비교해서 경비가 절감된다.

[실시예 6]

제6(a)～6(f)도는 본 발명의 실시예 6에 따른 헤테로접합바이폴라트랜지스터(이 이후 HBT라 칭한다)의 제조방법에서 처리공정을 설명하는 개략도이다.

우선 InGaP 에칭정지층(2)는 GaAs기판(1)에 성장시킨다.

그후, HBT구성의 능동층이 에칭정지층(2)에 연속해서 성장된다.

능동층은 실시예 1에 따른 제1(a)-1(d)도에 나타난 GaAs계 화합물 반도체능동층(3)에 해당한다.

특히 실시예 6에서, n형 InGaAs 에미터접촉층(31), n형 AlGaAs 에미터층(32), p형 GaAs베이스층(33) 및 n형 GaAs콜렉터층(34)이 에칭정지층(2)에 연속해서 성장된다.

이들 4개층의 성장순서는 정상성장순서와는 반대다.

왜냐하면 후자의 공정에서 G예기판의 콜렉터층(34) 사이트에 접착되고 에미터접촉층(31) 사이드 위에 GaAs기판(1)이 제거되어서, 기판위치가 역으로 되기 때문이다.

결정결함완화층(4)의 표면의 직접접착, 유리플레이트(6)에 GaP기판(5)의 접착, GaAS기판(1)의 선책에칭 및 에칭정지층(2)의 선택에칭이 본 발명의 제1 실시예에서 기술된 것과 같다.

그다음에 GaP기판(5)는 유리플레이트(6)에서 분리되어서, 에미터접촉층(31)이 최상층이 엷은 구조가 제6(b)도에 나타난 바와같이 얻어진다.

그러므로 다음의 처리공정에서 헤테로접합바이폴라트랜지스터를 정상제조하는 방법을 사용해서 상술의 능동층이 패턴화되고 전극이 고안정성으로 생성된다.

특히 제6(c)도에 나타난 바와같이 절연영역(101)의 H 이온을 주입함에 의해 형성되고 그후, 절연막 더미에디터(102)를 형성하는 WSi마스크(103)로 사용해서 에칭된다.

그 다음에, 제6(d)도에 나타난대로, 에미터접촉층(31)는 마스크로 더미에미터(102)를 사용해서 에칭되고, 에미터층(32)은 저항막(104)과 더미에미터(102)를 마스크로 사용해서 에칭되며, 베이스전극(105)의 퇴적이 이어진다.

그후, 제6(e)도에 나타난 바와같이 더미에미터(102)는 제거됨과 동시에 에미터전극(106)이 생성된다.

최후로, 제6(f)도에 나타난 바와같이 베이스전극(105) 외측의 절연영역(101)의 일부가 콜렉터층(34)이 노출되기까지 에칭되며, 콜렉터전극(107)이 콜렉터층(34)의 노출면을 접촉하여 생성되어, 헤테로접합바이폴라트랜지스터를 완성한다.

실시예 6에 따른 헤테로접합바이폴라트랜지스터를 제조하는 방법의 기능과 효과에 대해 설명한다.

GaAs기판과 에칭정지층이 선책에칭에 의해 제거되므로서, 상술의 제1 실시예에서 능동층과 결정결함완화층(24)을 두께로 줄이는 것이 가능하다.

헤테로 접합 바이폴라 트랜지스터는 다른 소자에 비해 고전류 밀도를 상대적으로 가지므로, GaAs의 열전도율의 2배인 GaP기판을 이용하고, 능동층과 결정결함완화층의 두께로 완화함에 의해 방열성의 개선이 소자온도의 바람직하지 않는 상승을 억제하는데 효과적이다.

또한, 결정결함완화층(4)이 도입되므로, 능동층의 결정성이 향상된다.

또한, 소자의 고균일성과 재현성과 기판의 기계적인 강도가 유지된다.

(57) 청구의 범위

청구항 1

반도체층을 제조하는 방법(제1(a)-a(d)도)에 있어서, 표면을 가지고 제1 기판(1)을 준비하고, 열전도율을 가진 반도체를 구비하는 공정과; 상기 제 1 기판(1)의 표면상에 에칭정지층(2)를 형성과는 공정과; 상기 에칭정지층(2)에 반도체소자의 구성으로 능동층(3)을 형성하는 공정과; 상기 능동층상에 결정결함완화층(4)을 형성하는 공정과, 표면을 가지는 제2 기판(5)을 준비하고 상기 제1 기판(1)의 반도체의 열전도율보다 높은 물질을 구비하는 공정과, 상기 제2 기판(5)의 표면에 상기 결정결함완화층(4)를 접착하는 공정과, 상기 에칭정지층(2)을 노출하도록 제1 기판(1)을 선택적으로 에칭제거하는 공정과, 상기 능동층(3)을 노출하기 위해 상기 에칭정지층(2)을 선택적으로 에칭제거해서, 상기 능동층(3)이 상기 결정결함완화층(4)을 통해서 상기 제2 기판(5)의 표면에 배열되는 반도체층을 완성하는 반도체층 제조방법

청구항 2

제1항에 있어서, 상기 제1 기판(1)은 GaAs로 되는 반도체층 제조방법.

청구항 3

제2항에 있어서, 상기 제2 기판(10)은 Si로 되는 반도체층 제조방법.

청구항 4

제2항에 있어서, 상기 제2 기판(10)은 Si로 되는 반도체층 제조방법.

청구항 5

제2항에 있어서, Si기판과 상기 Si기판(10)보다 충분히 얇은 SiO_2막은 준비하여, 상기 제2 기판으로서 상기 Si기판(10)의 표면에 배열되는 공정과, 상기 결정결함완화층(4)이 상기 SiO_2막(11)에 접착되는 공정을 포함하는 반도체제조방법

청구항 6

제1항에 있어서, 상기 제1 기판(21)은 InP로 되는 반도체층 제조방법

청구항 7

제6항에 있어서, 상기 제2 기판(10)은 Si로 되는 반도체층 제조방법.

청구항 8

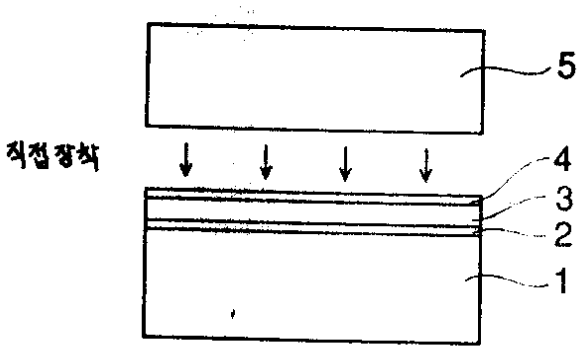
제6항에 있어서, Si기판(10)과 상기 Si기판(10)보다 얇은 SiO_2막(11)을 준비하고, 상기 제2 기판으로서 상기 Si기판(10)의 표면에 배열되는 공정과, 상기 결정결함완화층(24)이 상기 SIO_2막(11)에 접착되는 공정을 포함하는 반도체층 제조방법.

청구항 9

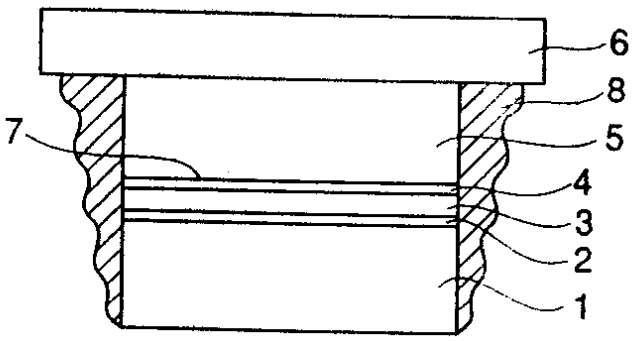
제1항에 있어서, 상기 에칭정지층상에 헤테로접합바이폴라트랜지스터의 구성으로 능동층(31, 32. 33, 34)들을 생성하는 공정을 포함하는 반도체층 제조방법.

도면

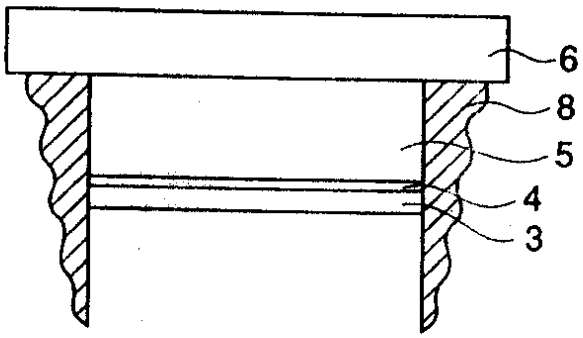
도면1a



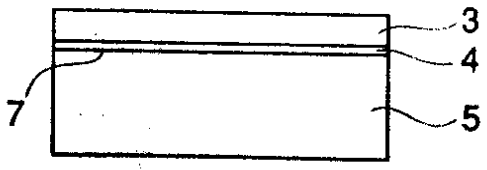
도면1b



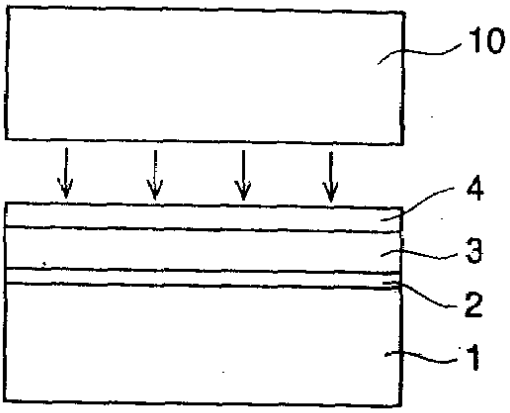
도면1c



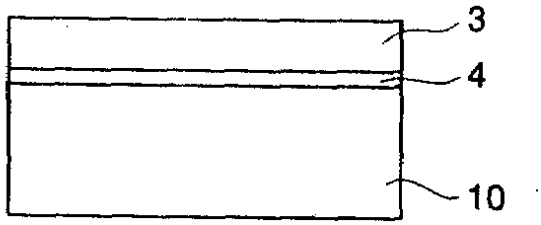
도면1d



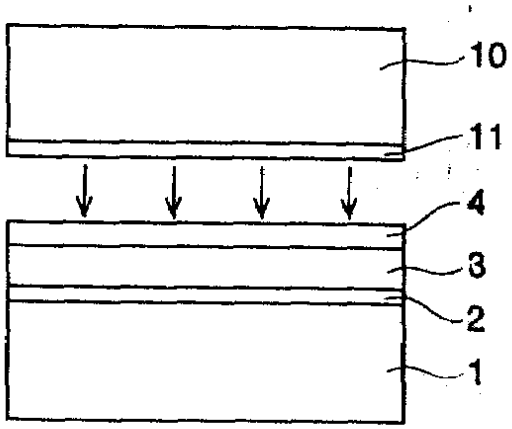
도면2a



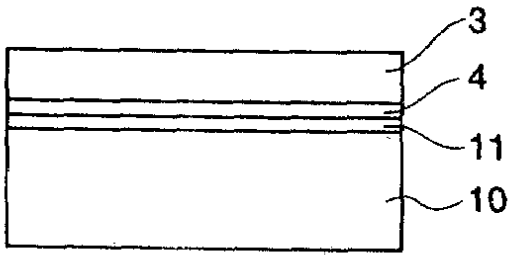
도면2b



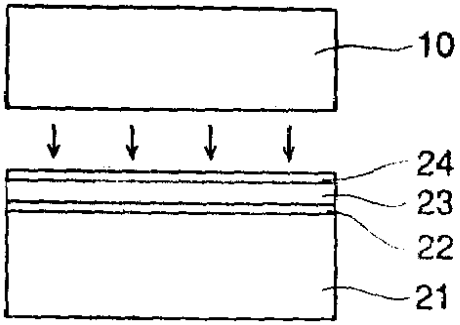
도면3a



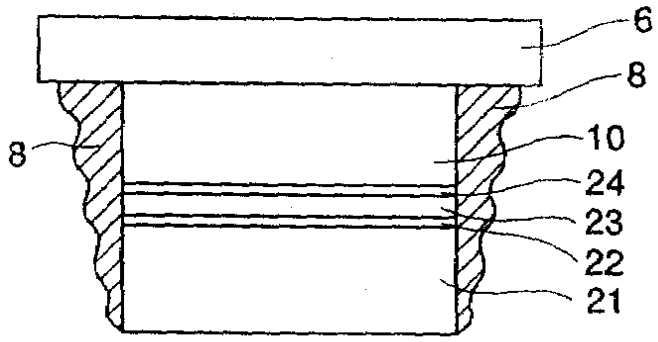
도면3b



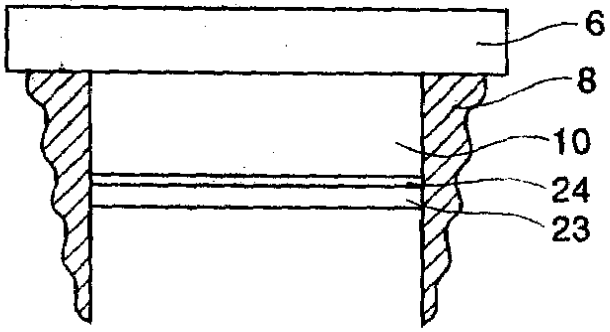
도면4a



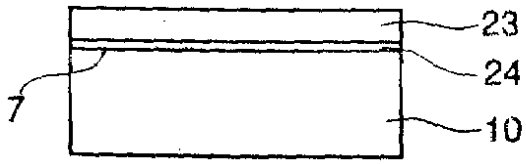
도면4b



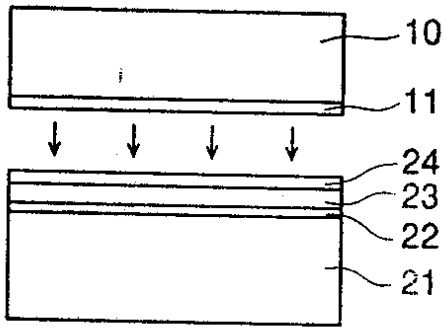
도면4c



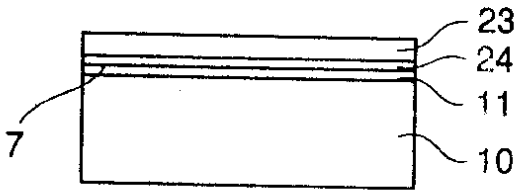
도면4d



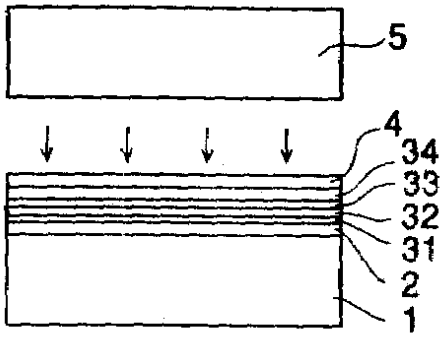
도면5a



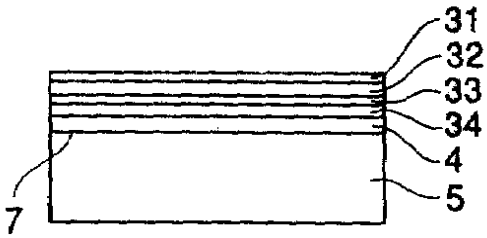
도면5b



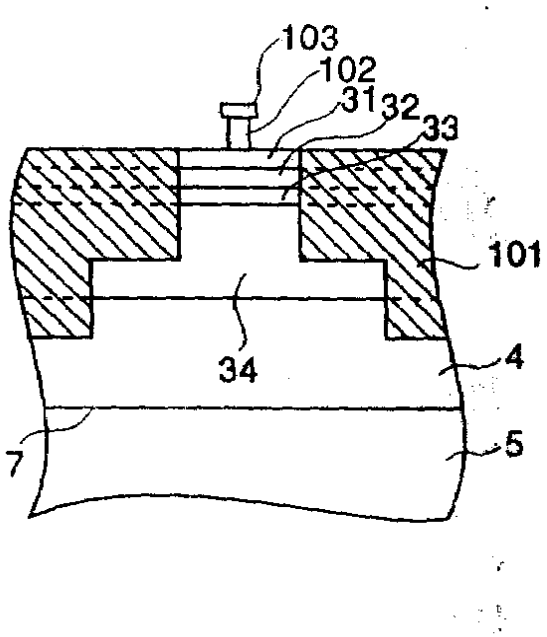
도면6a



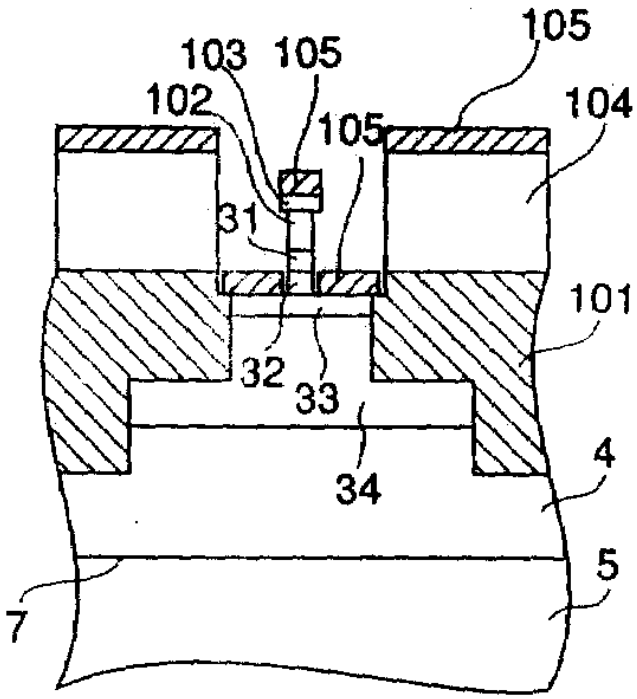
도면6b



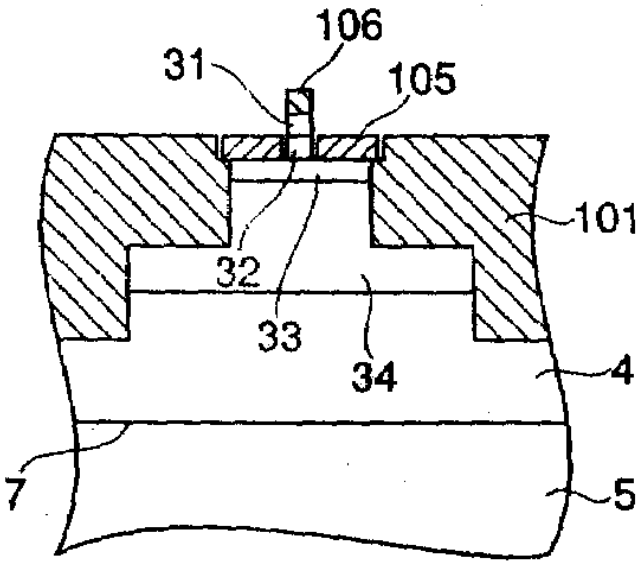
도면6c


103
102
31
32
33
101
34
4
7
5

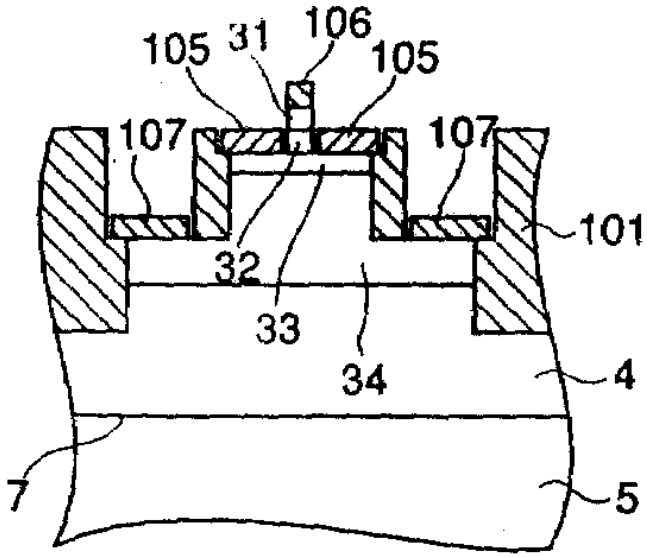
도면6d


105
103
105
102
105
104
31
101
32
33
34
4
5
7

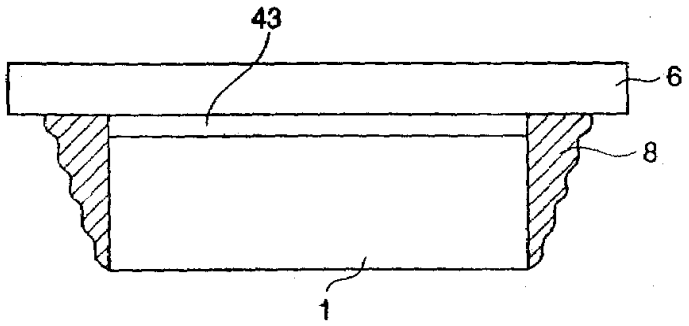
도면6e



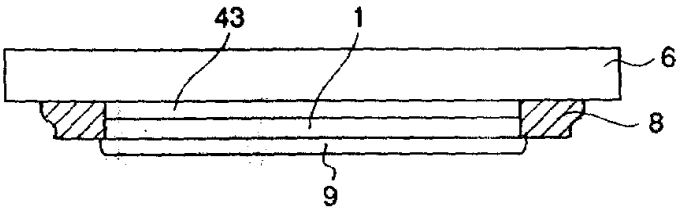
도면6f



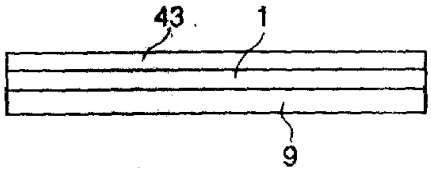
도면7a



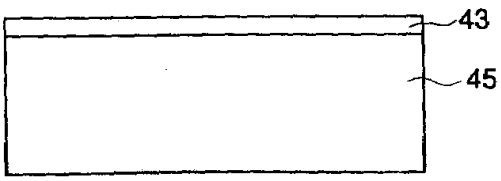
도면7b



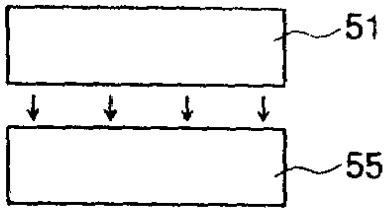
도면7c



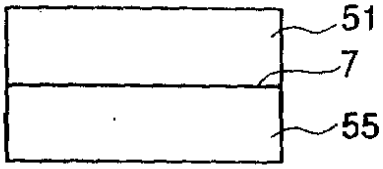
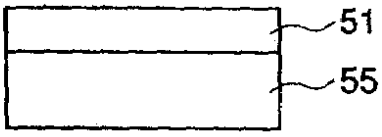
도면8



도면9a



도면9b



도면9c