

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6294691号  
(P6294691)

(45) 発行日 平成30年3月14日(2018.3.14)

(24) 登録日 平成30年2月23日(2018.2.23)

(51) Int.Cl. F I  
**H04B 3/06 (2006.01)** H04B 3/06 A

請求項の数 9 (全 42 頁)

<p>(21) 出願番号 特願2014-22501 (P2014-22501)                  (22) 出願日 平成26年2月7日(2014.2.7)                  (65) 公開番号 特開2015-149668 (P2015-149668A)                  (43) 公開日 平成27年8月20日(2015.8.20)                  審査請求日 平成28年10月3日(2016.10.3)</p>	<p>(73) 特許権者 302062931                  ルネサスエレクトロニクス株式会社                  東京都江東区豊洲三丁目2番24号                  (74) 代理人 100103894                  弁理士 冢入 健                  (72) 発明者 秦 勝彦                  神奈川県川崎市中原区下沼部1753番地                  ルネサスエレクトロニクス株式会社内                    審査官 鴨川 学                    (56) 参考文献 特開2013-153313 (JP, A)                  )                  特開2009-225018 (JP, A)                  )                  最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

位相が90度ずつ異なる複数のサンプリングクロックを含む多相サンプリングクロックを用いて、入力信号に含まれるデータのうち奇数番目のデータに対応するデータ値とエッジ値とを出力する第1のサンプリング回路と、

前記多相サンプリングクロックを用いて、前記入力信号に含まれるデータのうち偶数番目のデータに対応するデータ値とエッジ値とを出力する第2のサンプリング回路と、を有し、1つのサンプリング期間に1つのデータをサンプリングし、前記サンプリングクロックの1周期中に2つのサンプリング期間を含む半導体装置であって、

前記第1のサンプリング回路及び前記第2のサンプリング回路は、それぞれ、

入力信号の信号レベルに負のオフセットを加えて、前記入力信号をサンプリングして第1のデータ値を出力する第1のデータサンプリング回路と、

前記入力信号の信号レベルに正のオフセットを加えて、前記入力信号をサンプリングして第2のデータ値を出力する第2のデータサンプリング回路と、

前記第1のデータ値と、前記第2のデータ値と、を前サンプリング期間でサンプリングしたデータ値に基づき選択して第3のデータ値として出力するセレクタと、

前記セレクタが出力した前記第3のデータ値を後段のレジスタに順にシフトして前記データ値を出力するシフトレジスタと、

前記入力信号の信号レベルに第1のオフセットを加えて、前記入力信号のエッジ部分の値を示す第1のエッジ値を出力する第1のエッジサンプリング回路と、

10

20

前記入力信号の信号レベルに第2のオフセットを加えて、前記入力信号のエッジ部分の値を示す第2のエッジ値を出力する第2のエッジサンプリング回路と、を有し、

一方のサンプリング回路における前記第1のオフセット及び前記第2のオフセットの少なくとも一方を、他方のサンプリング回路の前記第1若しくは第2のデータ値、又は、前記シフトレジスタによってシフトされた前記第3のデータ値に基づき決定する半導体装置

【請求項2】

現サンプリング期間における前記一方のサンプリング回路の前記第1のオフセットは、前サンプリング期間で出力された前記第1のデータ値に基づき決定される請求項1に記載の半導体装置。

10

【請求項3】

前記他方のサンプリング回路の前記第1のデータサンプリング回路は、

前記入力信号に含まれるデータの論理レベルに対応するデータ値を出力する第1のサンプラと、

前記第1のサンプラの出力を前記多相サンプリングクロックに含まれる一のサンプリングクロックを用いてラッチして、ラッチしたデータを前記第1のデータ値として出力する第1のラッチ回路と、を有し、

前記一方のサンプリング回路の前記第1のオフセットは、前記第1のサンプラが出力するデータ値に基づき決定され、

前記一方のサンプリング回路の前記第2のオフセットは、予め設定された固定値が与えられる請求項2に記載の半導体装置。

20

【請求項4】

現サンプリング期間における前記一方のサンプリング回路の前記第1のオフセットは、2つ前のサンプリング期間でサンプリングされたデータ値と、3つ前のサンプリング期間でサンプリングされたデータ値と、に基づき決定され、

現サンプリング期間における前記一方のサンプリング回路の前記第2のオフセットは、3つ前のサンプリング期間でサンプリングされたデータ値に基づき決定される請求項1に記載の半導体装置。

【請求項5】

前記シフトレジスタは、前記セレクトが出力する前記データ値を保持する第1のDラッチ回路と、前記第1のDラッチ回路の後段に接続される第2のDラッチ回路と、を少なくとも有し、

30

前記一方のサンプリング回路の前記第1のオフセットは、前記一方のサンプリング回路の前記シフトレジスタの前記第1のDラッチ回路の出力値と、前記他方のサンプリング回路の前記シフトレジスタの前記第2のDラッチ回路の出力値と、に基づき決定され、

前記一方のサンプリング回路の前記第2のオフセットは、前記他方のサンプリング回路の前記シフトレジスタの前記第2のDラッチ回路の出力値に基づき決定される請求項4に記載の半導体装置。

【請求項6】

現サンプリング期間における前記一方のサンプリング回路の前記第1のオフセット及び第2のオフセットは、2つ前のサンプリング期間でサンプリングされたデータ値と、3つ前のサンプリング期間でサンプリングされたデータ値と、に基づき決定される請求項1に記載の半導体装置。

40

【請求項7】

前記シフトレジスタは、前記セレクトが出力する前記データ値を保持する第1のDラッチ回路と、前記第1のDラッチ回路の後段に接続される第2のDラッチ回路と、を少なくとも有し、

前記一方のサンプリング回路の前記第1のオフセット及び前記第2のオフセットは、前記一方のサンプリング回路の前記シフトレジスタの前記第1のDラッチ回路の出力値と、前記他方のサンプリング回路の前記シフトレジスタの前記第2のDラッチ回路の出力値と

50

、に基づき決定される請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 のサンプリング回路及び前記第 2 のサンプリング回路を備え、前記データ値と前記第 1 のエッジ値と前記第 2 のエッジ値とを含むエッジ値とを出力するサンプリング回路と、

前記データ値の時間変化に基づき前記エッジ値の有効と無効とを判断するパターンフィルタと、

前記パターンフィルタが有効と判断した前記エッジ値と前記データ値とに基づき前記多相サンプリングクロックの一つと前記入力信号との位相差を判定する位相検出回路と、

前記位相検出回路の判定結果に応じて前記多相サンプリングクロックの位相を操作する位相制御信号を出力する位相制御回路と、

基準クロックから多相クロックを生成し、前記位相制御信号に基づき前記多相クロックから選択した複数のクロックを前記多相サンプリングクロックとして出力する位相シフト部と、

を有する請求項 1 に記載の半導体装置。

【請求項 9】

前記パターンフィルタは、連続する前記サンプリング期間で前記サンプリング回路が出力した前記データ値の論理レベルに基づき、前記エッジ値に含まれる前記第 1 のエッジ値と前記第 2 のエッジ値のいずれか一方を選択して出力すると共に、選択したエッジ値の有効性を示すフラグ値を出力する請求項 8 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、例えば受信した高速シリアル信号からクロック信号とデータ信号とを抽出する半導体装置に関する。

【背景技術】

【0002】

近年、電子装置間、或いは、半導体装置間の通信にシリアル信号を用いるシリアル通信が多く用いられている。このシリアル通信は、例えば、SATA (Serial ATA)、USB (Universal Serial Bus)、有線 LAN (Local Area Network) 等に利用されているものである。このシリアル通信では、近年、伝送する信号の高速化 (高周波数化) が著しく伝送線路での信号損失が大きな問題となっている。そこで、シリアル通信の受信回路では、判定帰還型等化器 (DFE: Decision Feedback Equalizer) 等の補正回路を用いて信号を受信する。

【0003】

この判定帰還型等化器では、次のデータ値の判定タイミングまでに、現在受信しているデータ値の安定結果を帰還する必要がある。つまり、判定帰還型等化器では、判定結果の帰還処理のために許容される時間が 1 UI (Unit Interval) 以内に制限される。そのため、判定帰還型等化器は、伝送信号の高速化に対応できない問題がある。そこで、この帰還に要する時間の制限を緩和するために、ループアンロール (loop unroll) 方式を適用した判定帰還型等化器が提案されている。ループアンロール方式は、第 1 タップのデータ値を帰還せずに投機実行しつつ、入力信号を等化する方式である。従って、ループアンロール方式を適用した判定帰還型等化器を用いることで、帰還に要する時間の許容時間を、例えば、2 UI 程度まで拡大することができる。そこで、ループアンロール方式を適用した判定帰還型等化器の例が特許文献 1 及び非特許文献 1 に開示されている。

【0004】

特許文献 1 で開示されている等化器は、連続して入力される複数の入力信号を交互に波形等化処理する第 1 の波形等化処理手段及び第 2 の波形等化処理手段を備える。そして、特許文献 1 の等化器は、第 1 の波形等化処理手段及び第 2 の波形等化処理手段は、それぞれ、2 つ前の入力信号の判定結果を示す値 a、及び 4 つ前の入力信号の判定結果を示す値

10

20

30

40

50

b それぞれに定数  $w_2$  を乗じた値を波形等化処理対象の入力信号に加えることにより波形等化処理を行う。また、非特許文献 1 においても、特許文献 1 と同様に、2 つ前以上の入力信号の判定結果を示す値に基づき等化処理を行う例が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2011 - 244284 号公報

【非特許文献】

【0006】

【非特許文献 1】Brian S. Leibowitz' et al., A 7.5Gb/s 10-Tap DFE Receiver with First Tap Partial Response, Spectrally Gated Adaptation, and 2nd-Order Data-Filtered CDR, ISSCC2007

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献 1 或いは非特許文献 1 で開示された等化器を用いた場合、エッジサンプリングを行うエッジサンプリング回路に関する、消費電力が大きくなる問題がある。

【0008】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0009】

一実施の形態によれば、半導体装置は、奇数番目のデータ値及びエッジ値を出力する第 1 のサンプリング回路と、偶数番目のデータ値及びエッジ値を出力する第 2 のサンプリング回路と、を有し、一方のサンプリング回路においてエッジ値の決定に用いる第 1 のオフセット及び第 2 のオフセットを、他方のサンプリング回路において、データ値をサンプリングする経路中で異なるオフセットでサンプリングされた複数のデータ値のいずれか一方を選択するセレクタと、セレクタが選択したデータ値を伝達するシフトレジスタと、の間以外から取得したデータ値に基づき決定する。

30

【0010】

なお、上記実施の形態の装置を方法やシステムに置き換えて表現したもの、該装置または該装置の一部の処理をコンピュータに実行せしめるプログラムなども、本発明の態様としては有効である。

【発明の効果】

【0011】

前記一実施の形態によれば、半導体装置は、ループアンロール方式の判定帰還型等化器の消費電力を削減することができる。

【図面の簡単な説明】

【0012】

40

【図 1】実施の形態 1 にかかる半導体装置のブロック図である。

【図 2】サンプリング回路で生じる課題を説明するためのサンプリング回路の概略図である。

【図 3】実施の形態 1 にかかるサンプリング回路の概略図である。

【図 4】図 2 で示したサンプリング回路のエッジサンプリング回路への帰還経路のタイミングチャートである。

【図 5】図 3 で示したサンプリング回路のエッジサンプリング回路への帰還経路のタイミングチャートである。

【図 6】実施の形態 1 にかかるサンプリング回路の回路図である。

【図 7】実施の形態 1 にかかるミキサーの回路図である。

50

【図 8】実施の形態 1 にかかるパターンフィルタの回路図である。

【図 9】実施の形態 1 にかかる半導体装置に入力されるデータ値と入力信号の信号レベルとの関係を示すタイミングチャートである。

【図 10】実施の形態 1 にかかる半導体装置に連続して入力されるデータ値と入力信号の信号レベルとの関係を示すタイミングチャートである。

【図 11】実施の形態 1 にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示すタイミングチャートである。

【図 12】実施の形態 1 にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示すタイミングチャートである。

【図 13】実施の形態 1 にかかる半導体装置で出力されるエッジ値と入力信号の位相との関係を示すタイミングチャートである。

10

【図 14】実施の形態 1 にかかる位相判定回路の回路図である。

【図 15】実施の形態 2 にかかるサンプリング回路の回路図である。

【図 16】実施の形態 2 にかかるミキサーの回路図である。

【図 17】実施の形態 2 にかかる半導体装置における第 2 のタップデータ及び第 3 のタップデータのパターンとエッジサンプリング回路のオフセットとの関係を示す図である。

【図 18】実施の形態 2 にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示す表である。

【図 19】実施の形態 2 にかかる半導体装置において有効なエッジ値をサンプリング可能なデータ値のパターンを示す表である。

20

【図 20】実施の形態 2 にかかる半導体装置において有効なエッジ値を取得可能なデータ列のうちエッジ値  $e(n)$  に最も近いデータ列を説明する表である。

【図 21】実施の形態 3 にかかるサンプリング回路の回路図である。

【図 22】実施の形態 3 にかかるミキサーの回路図である。

【図 23】実施の形態 3 にかかる半導体装置における第 2 のタップデータ及び第 3 のタップデータのパターンとエッジサンプリング回路のオフセットとの関係を示す表である。

【図 24】実施の形態 3 にかかる半導体装置において有効なエッジ値をサンプリング可能なデータ値のパターンを示す表である。

【発明を実施するための形態】

【0013】

30

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。以下、図面を参照して実施の形態について説明する。まず、実施の形態 1 にかかる半導体装置 1 のブロック図を図 1 に示す。

【0014】

図 1 に示す実施の形態 1 にかかる半導体装置 1 は、シリアル信号  $D_{in}$  を受信して、シリアル信号  $D_{in}$  からデータを抽出する。また、実施の形態 1 にかかる半導体装置 1 は、シリアル信号  $D_{in}$  に基づき、データ値のサンプリングに用いるサンプリングクロックを生成する。つまり、実施の形態 1 にかかる半導体装置 1 は、CDR (クロックアンドデータリカバリ) 回路として利用されるものである。なお、実施の形態 1 にかかる半導体装置 1 は、サンプリングクロックとして、複数の異なる位相を有する複数のクロックが含まれる多相サンプリングクロックを用いる。

40

【0015】

図 1 に示すように、実施の形態 1 にかかる半導体装置 1 は、サンプリング回路 10、パターンフィルタ 20、位相検出回路 30、位相制御回路 40、位相シフト部 50、PLL (Phase Locked Loop) 回路 60 を有する。半導体装置 1 は、受信した入力信号  $D_{in}$  からデータ値を抽出する。また、半導体装置 1 は、データ値と共にエッジ値を抽出して、データ値とエッジ値とに基づきサンプリングに用いるクロックの位相を制御する。

【0016】

サンプリング回路 10 は、位相シフト部 50 が出力した多相サンプリングクロック信号  $CLK$  に応じて入力信号  $D_{in}$  からデータ値  $d_0$ 、 $d_1$  と、エッジ値  $e_{a0}$ 、 $e_{b0}$ 、 $e_{a$

50

1、e b 1を抽出する。ここで、実施の形態1にかかる半導体装置1では、多相サンプリングクロックとして、位相が90度ずつ異なる4つのクロック信号を利用する。そして、サンプリング回路10は、1つのサンプリングクロックに対して2UIが含まれるようにサンプリング動作を行う。つまり、サンプリング回路10は、1つのサンプリングクロックの1周期に奇数番目のデータ値d0と偶数番目のデータ値d1を出力する。また、サンプリング回路10は、データ値d0に対応してエッジ値e a 0、e b 0を出力し、データ値d1に対応してエッジ値e a 1、e b 1を出力する。なお、以下の説明では、1UIを1つのサンプリング期間として表現する場合がある。

【0017】

パターンフィルタ20は、データ値の時間変化に基づきエッジ値の有効と無効とを判断する。より具体的には、パターンフィルタ20は、連続するサンプリング期間で前記サンプリング回路が出力したデータ値の論理レベルに基づき、エッジ値に含まれる第1のエッジ値と第2のエッジ値のいずれか一方を選択して出力すると共に、選択したエッジ値の有効性を示すフラグ値を出力する。実施の形態1では、パターンフィルタ20は、サンプリング回路10が出力したデータ値d0、d1に基づき、エッジ値e a 0、e b 0、e a 1、e b 1の有効性を判断し、当該判断結果に基づき有効エッジフラグe 0 v a l i d、e 1 v a l i d及び有効エッジ値e 0、e 1をデータ値d0、d1と共に出力する。

【0018】

位相検出回路30は、パターンフィルタ20が有効と判断したエッジ値とデータ値とに基づき多相サンプリングクロックSMCLKの一つと入力信号との位相差を判定する。より具体的には、位相検出回路30は、データ位相の進みと遅れとを判断し、当該判断結果に基づきアップ信号UPと、ダウン信号DOWNと、を出力する。アップ信号UPは、多相サンプリングクロックの位相が入力信号の位相に対して遅れている場合に出力されるものである。ダウン信号DOWNは、多相サンプリングクロック信号の位相が入力信号の位相に対して進んでいる場合に出力されるものである。

【0019】

位相制御回路40は、位相検出回路30の判定結果に応じて多相サンプリングクロックSMCLKの位相を操作する位相制御信号PSを出力する。より具体的には、位相制御回路40は、アップ信号UP及びダウン信号DOWNにより示された位相情報をフィルタリングして、多相サンプリングクロックの位相を決定し、位相シフト部を制御する。

【0020】

位相シフト部50は、基準クロックRCLKから多相クロックを生成し、位相制御信号PSに基づき多相クロックから選択した複数のクロックを多相サンプリングクロックSMCLKとして出力する。位相シフト部50は、PLL回路60が出力する基準クロックから生成した多相クロックのうちいずれを選択するかを変更することで多相サンプリングクロックSMCLKの位相をシフトし、データ及びエッジをサンプリングするための多相サンプリングクロックSMCLKを出力する。PLL回路60は、基準クロックRCLKを出力する。

【0021】

ここで、実施の形態1にかかる半導体装置1では、サンプリング回路10に特徴の1つを有する。また、実施の形態1にかかるパターンフィルタ20は、サンプリング回路10の特徴を有効に機能させるための特徴をさらに有する。そこで、以下では、サンプリング回路10及びパターンフィルタ20についてさらに詳細に説明する。

【0022】

サンプリング回路10は、ループアンループ方式の判定帰還型等化器(以下、単に、判定帰還型等化器と称す)により構成される。以下では、まず、判定帰還型等化器で生じる課題について詳細に説明する。なお、以下で説明する判定帰還型等化器は、入力信号データレートは半分の周波数のサンプリングクロックによりデータ値及びエッジ値のサンプリングを行うハーフレート方式のものである。そこで、図2に判定帰還型等化器の課題を説明するための判定帰還型等化器10aの回路図を示す。

10

20

30

40

50

## 【 0 0 2 3 】

図 2 に示す判定帰還型等化器 1 0 a は、奇数番目のデータ値及び当該データ値に対応するエッジ値をサンプリングする第 1 のサンプリング回路と、偶数番目のデータ値及び当該データ値に対応するエッジ値をサンプリングする第 2 のサンプリング回路とを有する。

## 【 0 0 2 4 】

図 2 に示す例では、第 1 のサンプリング回路は、ミキサー 1 0 1、1 0 4、1 4 0、データサンプラー 1 0 2、1 0 5、エッジサンプラー 1 4 1、D ラッチ回路 1 0 3、1 0 6、1 2 0、1 4 2、1 4 3、セレクトア 1 0 7、バッファ回路 1 0 8 を有する。第 2 のサンプリング回路は、ミキサー 1 1 1、1 1 4、1 5 0、データサンプラー 1 1 2、1 1 5、エッジサンプラー 1 5 1、D ラッチ回路 1 1 3、1 1 6、1 3 0、1 5 2、1 5 3、セレクトア 1 1 7、バッファ回路 1 1 8 を有する。

10

## 【 0 0 2 5 】

また、ミキサー 1 0 1、データサンプラー 1 0 2、D ラッチ回路 1 0 3 は、第 1 のサンプリング回路の第 1 のデータサンプリング回路を構成する。この第 1 のデータサンプリング回路は、入力信号の信号レベルに負のオフセットを加えて、入力信号  $D_{in}$  をサンプリングして第 1 のデータ値を出力する。ミキサー 1 0 4、データサンプラー 1 0 5、D ラッチ回路 1 0 6 は、第 1 のサンプリング回路の第 2 のデータサンプリング回路を構成する。この第 2 のデータサンプリング回路は、入力信号の信号レベルに正のオフセットを加えて、入力信号  $D_{in}$  をサンプリングして第 2 のデータ値を出力する。ミキサー 1 4 0、エッジサンプラー 1 4 1、D ラッチ回路 1 4 2、1 4 3 は、第 1 のサンプリング回路のエッジサンプリング回路を構成する。エッジサンプリング回路は、入力信号  $D_{in}$  の信号レベルに第 1 のオフセットを加えて、入力信号  $D_{in}$  のエッジ部分の値を示す第 1 のエッジ値を出力する。

20

## 【 0 0 2 6 】

ミキサー 1 1 1、データサンプラー 1 1 2、D ラッチ回路 1 1 3 は、第 2 のサンプリング回路の第 1 のデータサンプリング回路を構成する。この第 1 のデータサンプリング回路は、入力信号の信号レベルに負のオフセットを加えて、入力信号  $D_{in}$  をサンプリングして第 1 のデータ値を出力する。ミキサー 1 1 4、データサンプラー 1 1 5、D ラッチ回路 1 1 6 は、第 2 のサンプリング回路の第 2 のデータサンプリング回路を構成する。この第 2 のデータサンプリング回路は、入力信号の信号レベルに正のオフセットを加えて、入力信号  $D_{in}$  をサンプリングして第 2 のデータ値を出力する。ミキサー 1 5 0、エッジサンプラー 1 5 1、D ラッチ回路 1 5 2、1 5 3 は、第 2 のサンプリング回路のエッジサンプリング回路を構成する。エッジサンプリング回路は、入力信号  $D_{in}$  の信号レベルに第 1 のオフセットを加えて、入力信号  $D_{in}$  のエッジ部分の値を示す第 1 のエッジ値を出力する。

30

## 【 0 0 2 7 】

そして、図 2 示すように、判定帰還型等化器 1 0 a では、第 1 のサンプリング回路及び第 2 のサンプリング回路は、投機的に固定的なオフセットを加えてサンプリングした第 1 のデータ値及び第 2 のデータ値をそれ以前のサンプリング期間の判定結果に応じてセレクトアで選択することでデータ値を出力する。このような投機的なオフセットに基づきデータ値をサンプリングする方式がループアンロール方式である。

40

## 【 0 0 2 8 】

一方、判定帰還型等化器 1 0 a において、投機的に適用したオフセットに基づきエッジ値をサンプリングする場合、正のオフセットに基づきエッジ値をサンプリングするエッジサンプリング回路と、負のオフセットに基づきエッジ値をサンプリングするエッジサンプリング回路とが必要になる。このようにエッジサンプリング回路の個数が増加すると回路面積の増加だけでなく、消費電力も大きくなる問題がある。

## 【 0 0 2 9 】

そこで、判定帰還型等化器 1 0 a では、セレクトア 1 0 7、セレクトア 1 1 7 が出力する決定されたデータ値をバッファ 1 0 8、1 1 8 を介してミキサー 1 5 0、1 4 0 にフィード

50

バックする。これにより、判定帰還型等化器 10 a では、エッジサンプリング回路の個数を削減し、回路面積の削減及び消費電力の低減を実現する。

【0030】

続いて、実施の形態 1 にかかる判定帰還型等化器 10 として利用される判定帰還型等化器 10 b の回路図を図 3 に示す。図 3 に示すように、実施の形態 1 にかかる判定帰還型等化器 10 b は、基本的な回路構成は、図 2 に示した判定帰還型等化器 10 a と同じであるが、エッジサンプリング回路へのフィードバック経路が異なる。具体的には、判定帰還型等化器 10 b では、一方のサンプリング回路のミキサ 140、150 にフィードバックするデータ値として、他方のサンプリング回路のデータサンプラ 102、データサンプラ 112 が出力するデータ値を用いる。

10

【0031】

つまり、実施の形態 1 にかかる判定帰還型等化器 10 b では、投機的にサンプリングされたデータ値をエッジサンプリング回路にフィードバックする。実施の形態 1 にかかる判定帰還型等化器 10 b は、このような構成とすることでデータ値をエッジサンプリング回路にフィードバックするフィードバック経路として形成されるクリティカルパスのタイミング制約を緩和する。そこで、以下でこのクリティカルパスに関する課題を説明する。

【0032】

図 2 に示す判定帰還型等化器 10 a では、セレクタ 107 の出力を待って、その直後のエッジサンプリング処理に間に合うようにデータ値をエッジサンプリング回路にフィードバックしなければならない。そのため、判定帰還型等化器 10 a では、エッジサンプリング回路へのフィードバック経路がクリティカルパスとなる。クリティカルパスにおいては、信号を短時間に伝達するために CTS (clock tree synthesis) バッファ等を多く配置しなければならない、消費電力が大きくなる問題がある。

20

【0033】

一方、図 3 に示す判定帰還型等化器 10 b では、データ値をエッジサンプリング回路にフィードバックするフィードバック経路に設けられる回路の段数が判定帰還型等化器 10 a よりも少ない。つまり、判定帰還型等化器 10 b は、判定帰還型等化器 10 a よりもフィードバック経路上に設けられる回路素子により生じる遅延が小さいため、クリティカルパスのタイミング制約を緩和することができる。そこで、図 2 に示した判定帰還型等化器 10 a のフィードバック経路のタイミングチャートを図 4 に示し、図 3 に示した判定帰還型等化器 10 b のフィードバック経路のタイミングチャートを図 5 に示す。そして、図 4 及び図 5 に示したタイミングチャートを参照してクリティカルパスのタイミング制約について説明する。

30

【0034】

なお、図 4 及び図 5 では、多相サンプリングクロック S M C L K に位相が 90 度ずつ異なる 4 つのサンプリングクロックを用いる。この 4 つのサンプリングクロックを図 4 及び図 5 を以下のように表現する。基準となるサンプリングクロックをサンプリングクロック S M C L K ( 0 ) として示す。サンプリングクロック S M C L K ( 0 ) から位相が 90 度遅れたサンプリングクロックをサンプリングクロック S M C L K ( 90 ) として示す。サンプリングクロック S M C L K ( 0 ) から位相が 180 度遅れたサンプリングクロックをサンプリングクロック S M C L K ( 180 ) として示す。サンプリングクロック S M C L K ( 0 ) から位相が 270 度遅れたサンプリングクロックをサンプリングクロック S M C L K ( 270 ) として示す。

40

【0035】

図 4 に示すように、判定帰還型等化器 10 a は、サンプリングクロック S M C L K ( 0 ) によりデータサンプラ 102 がデータ値をサンプリングする。そして、データサンプラ 102 がデータ値を出力するまでの遅延時間は、 $T_{pd}(A)$  となる。続いて、D ラッチ回路 103 がサンプリングクロック S M C L K ( 180 ) に応じてデータサンプラ 102 が出力したデータ値をラッチする。データサンプラ 102 がデータ値を出力してから D ラッチ回路 103 がデータ値を出力するまでの遅延時間は、 $T_{pd}(B)$  となる。

50

## 【 0 0 3 6 】

その後、Dラッチ回路103が出力したデータ値は、セレクタ107から出力される。Dラッチ回路103がデータ値を出力してからセレクタ107がデータ値を出力するまでの遅延時間は、 $T_{pd}(C)$ となる。そして、セレクタ107が出力したデータ値は、ミキサー150に伝達される。ミキサー150がセレクタ107が出力したデータ値に応じて出力を遷移させるまでの遅延時間は、 $T_{pd}(D)$ である。

## 【 0 0 3 7 】

ここで、エッジサンプリング回路では、エッジサンプラー141がサンプリングクロックSMCLK(270)でミキサー140の出力値をサンプリングする。そのため、判定帰還型等化器10aでは、サンプリングクロックSMCLK(0)の立ち上がりからサンプリングクロック(270)の立ち上がりエッジまでの時間 $T_m$ から上記遅延時間 $T_{pd}(A)$ 、 $T_{pd}(B)$ 、 $T_{pd}(C)$ 、 $T_{pd}(D)$ の和を引いた時間 $T_{setup}(E)$ を、エッジサンプラー141のセットアップ時間以上確保しなければならない。

10

## 【 0 0 3 8 】

一方、図3に示すように、実施の形態1にかかる判定帰還型等化器10bでは、Dラッチ回路103及びセレクタ107を介さずにフィードバック経路が構成される。そのため、図5に示すように、判定帰還型等化器10bでは、期間 $T_m$ に含まれる遅延時間は、データサンプラー102で生じる遅延時間 $T_{pd}(A)$ とミキサー140で生じる遅延時間 $T_{pd}(D)$ のみである。つまり、判定帰還型等化器10bでは、エッジサンプラー141のセットアップ時間として必要な時間 $T_{pd}(E)$ を図2に示した判定帰還型等化器10aよりも多く確保することができる。

20

## 【 0 0 3 9 】

上記説明より、実施の形態1にかかる判定帰還型等化器10bを用いることで、判定帰還型等化器10aよりもフィードバック経路のタイミング制約を緩和して、判定帰還型等化器10にかかる消費電力を低減することができる。しかしながら、判定帰還型等化器10bでは、投機的にサンプリングされたデータ値をエッジサンプリング回路にフィードバックするため、出力するエッジ値が有効性に問題が生じる可能性がある。しかし、実施の形態1にかかる半導体装置1では、パターンフィルタ20等を用いることでエッジ値の有効性の問題を解決している。そこで、エッジ値の有効性判断処理を含めた実施の形態1にかかる半導体装置1の詳細について以下で説明する。

30

## 【 0 0 4 0 】

まず、実施の形態1にかかる半導体装置1のサンプリング回路(以下、判定帰還型等化器と称す)10の詳細な回路図を図6に示す。なお、図6に示す判定帰還型等化器10は、図3に示した判定帰還型等化器10bに第2のエッジサンプリング回路と、シフトレジスタとを追加したものである。図6に示す判定帰還型等化器10は、図3に示した判定帰還型等化器10bと実質的に同じものであるが、より実際の回路に近づけたものである。

## 【 0 0 4 1 】

図6に示す判定帰還型等化器10は、奇数番目のデータ値及び当該データ値に対応するエッジ値をサンプリングする第1のサンプリング回路と、偶数番目のデータ値及び当該データ値に対応するエッジ値をサンプリングする第2のサンプリング回路とを有する。

40

## 【 0 0 4 2 】

図6に示す例では、第1のサンプリング回路は、ミキサー100、101、104、140、144、データサンプラー102、105、エッジサンプラー141、145、Dラッチ回路103、106、120~124、142、143、146、147、セレクタ107、バッファ回路108、125を有する。第2のサンプリング回路は、ミキサー110、111、114、150、154、データサンプラー112、115、エッジサンプラー151、155、Dラッチ回路113、116、130~134、152、153、156、157、セレクタ117、バッファ回路118、135を有する。

## 【 0 0 4 3 】

ミキサー100は、後段に接続される第1のデータサンプリング回路、第2のデータサ

50

ンプリング回路、第1のエッジサンプリング回路及び第2のエッジサンプリング回路に、入力信号  $D_{in}$  とオフセット  $w_2$  との加算結果を与える。このオフセット  $w_2$  は、第2のタップ以前のデータ値から算出される。なお、データ値については、1つ前のサンプリング期間に入力されたデータ値を第1のタップデータ値と称し、2つ前のサンプリング期間に入力されたデータ値を第2のタップデータ値と称し、3つ前のサンプリング期間に入力他データ値を第3のタップデータ値と称す。

【0044】

ミキサー101、データサンプラー102、Dラッチ回路103は、第1のサンプリング回路の第1のデータサンプリング回路を構成する。この第1のデータサンプリング回路は、入力信号の信号レベルに負のオフセットを加えて、入力信号  $D_{in}$  をサンプリングして第1のデータ値を出力する。ミキサー101は、ミキサー100が出力した入力信号  $D_{in}$  に負のオフセット  $-w_1$  を加算してデータサンプラー102に出力する。データサンプラー102は、サンプリングクロック  $SMCLK(0)$  に応じてミキサー101が出力した入力信号  $D_{in}$  をサンプリングして第1のデータ値を出力する。Dラッチ回路103は、サンプリングクロック  $SMCLK(180)$  に応じてデータサンプラー102が出力した第1のデータ値をラッチする。ここで、ミキサー101が加算する負のオフセット  $-w_1$  は、第1のタップデータの論理レベルに基づき生成されるオフセット値を反転したものである。

10

【0045】

ミキサー104、データサンプラー105、Dラッチ回路106は、第1のサンプリング回路の第2のデータサンプリング回路を構成する。この第2のデータサンプリング回路は、入力信号の信号レベルに正のオフセットを加えて、入力信号  $D_{in}$  をサンプリングして第2のデータ値を出力する。ミキサー104は、ミキサー100が出力した入力信号  $D_{in}$  に正のオフセット  $w_1$  を加算してデータサンプラー105に出力する。データサンプラー105は、サンプリングクロック  $SMCLK(0)$  に応じてミキサー104が出力した入力信号  $D_{in}$  をサンプリングして第2のデータ値を出力する。Dラッチ回路106は、サンプリングクロック  $SMCLK(180)$  に応じてデータサンプラー105が出力した第2のデータ値をラッチする。ここで、ミキサー104が加算する正のオフセット  $w_1$  は、第1のタップデータの論理レベルに基づき生成されるオフセット値である。

20

【0046】

ミキサー140、エッジサンプラー141、Dラッチ回路142、143は、第1のサンプリング回路の第1のエッジサンプリング回路を構成する。第1のエッジサンプリング回路は、入力信号の信号レベルに第1のオフセットを加えて、入力信号  $D_{in}$  のエッジ部分の値を示す第1のエッジ値  $e_{a0}$  を出力する。ミキサー140は、ミキサー100が出力した入力信号  $D_{in}$  にデータサンプラー112が出力したデータ値に基づき生成される第1のオフセット  $w_1$  を加算してエッジサンプラー141に出力する。エッジサンプラー141は、サンプリングクロック  $SMCLK(90)$  に応じてミキサー140が出力した入力信号  $D_{in}$  をサンプリングして第1のエッジ値  $e_{a0}$  を出力する。Dラッチ回路142は、サンプリングクロック  $SMCLK(270)$  に応じてエッジサンプラー141が出力した第1のエッジ値  $e_{a0}$  をラッチする。Dラッチ回路143は、サンプリングクロック  $SMCLK(90)$  に応じてDラッチ回路142が出力した第1のエッジ値  $e_{a0}$  をラッチする。

30

40

【0047】

ミキサー144、エッジサンプラー145、Dラッチ回路146、147は、第1のサンプリング回路の第2のエッジサンプリング回路を構成する。第2のエッジサンプリング回路は、入力信号  $D_{in}$  の信号レベルに第2のオフセットを加えて、入力信号  $D_{in}$  のエッジ部分の値を示す第2のエッジ値  $e_{b0}$  を出力する。ミキサー144は、ミキサー100が出力した入力信号  $D_{in}$  に値をゼロとする第2のオフセットを加算してエッジサンプラー145に出力する。つまり、ミキサー144は、第1のエッジサンプリング回路と第2のエッジサンプリング回路との遅延調整を行う。エッジサンプラー145は、サンプリ

50

ングクロックSMCLK(90)に応じてミキサー144が出力した入力信号Dinをサンプリングして第2のエッジ値eb0を出力する。Dラッチ回路146は、サンプリングクロックSMCLK(270)に応じてエッジサンプラー145が出力した第2のエッジ値eb0をラッチする。Dラッチ回路147は、サンプリングクロックSMCLK(90)に応じてDラッチ回路146が出力した第2のエッジ値eb0をラッチする。

【0048】

また、Dラッチ回路120~124は、シフトレジスタを構成する。このシフトレジスタは、奇数段目のレジスタをサンプリングクロックSMCLK(0)に基づき動作させ、偶数番目のレジスタをサンプリングクロックSMCLK(180)に基づき動作させる。Dラッチ回路120~124は、セクタ107が選択したデータ値d0をサンプリングクロックSMCLK(0)及びサンプリングクロックSMCLK(180)に基づきシフトして、出力する。

10

【0049】

ミキサー110は、後段に接続される第1のデータサンプリング回路、第2のサンプリング回路、第1のエッジサンプリング回路及び第2のエッジサンプリング回路に、入力信号Dinとオフセットw2との加算結果を与える。このオフセットw2は、第2のタップ以前のデータ値から算出される。

【0050】

ミキサー111、データサンプラー112、Dラッチ回路113は、第2のサンプリング回路の第1のデータサンプリング回路を構成する。この第1のデータサンプリング回路は、入力信号の信号レベルに負のオフセットを加えて、入力信号Dinをサンプリングして第1のデータ値を出力する。ミキサー111は、ミキサー100が出力した入力信号Dinに負のオフセット-w1を加算してデータサンプラー112に出力する。データサンプラー112は、サンプリングクロックSMCLK(180)に応じてミキサー111が出力した入力信号Dinをサンプリングして第1のデータ値を出力する。Dラッチ回路113は、サンプリングクロックSMCLK(0)に応じてデータサンプラー112が出力した第1のデータ値をラッチする。ここで、ミキサー111が加算する負のオフセット-w1は、第1のタップデータの論理レベルに基づき生成されるオフセット値を反転したものである。

20

【0051】

ミキサー114、データサンプラー115、Dラッチ回路116は、第2のサンプリング回路の第2のデータサンプリング回路を構成する。この第2のデータサンプリング回路は、入力信号の信号レベルに正のオフセットを加えて、入力信号Dinをサンプリングして第2のデータ値を出力する。ミキサー114は、ミキサー100が出力した入力信号Dinに正のオフセットw1を加算してデータサンプラー115に出力する。データサンプラー115は、サンプリングクロックSMCLK(180)に応じてミキサー114が出力した入力信号Dinをサンプリングして第2のデータ値を出力する。Dラッチ回路116は、サンプリングクロックSMCLK(0)に応じてデータサンプラー115が出力した第2のデータ値をラッチする。ここで、ミキサー114が加算する正のオフセットw1は、第1のタップデータの論理レベルに基づき生成されるオフセット値である。

30

40

【0052】

ミキサー150、エッジサンプラー151、Dラッチ回路152、153は、第2のサンプリング回路の第1のエッジサンプリング回路を構成する。第1のエッジサンプリング回路は、入力信号の信号レベルに第1のオフセットを加えて、入力信号Dinのエッジ部分の値を示す第1のエッジ値ea1を出力する。ミキサー150は、ミキサー100が出力した入力信号Dinにデータサンプラー102が出力したデータ値に基づき生成される第1のオフセットw1を加算してエッジサンプラー151に出力する。エッジサンプラー151は、サンプリングクロックSMCLK(270)に応じてミキサー150が出力した入力信号Dinをサンプリングして第1のエッジ値ea1を出力する。Dラッチ回路152は、サンプリングクロックSMCLK(90)に応じてエッジサンプラー151が出

50

力した第1のエッジ値  $e_{a1}$  をラッチする。Dラッチ回路153は、サンプリングクロック  $SMCLK(270)$  に応じてDラッチ回路152が出力した第1のエッジ値  $e_{a1}$  をラッチする。

【0053】

ミキサー154、エッジサンプラー155、Dラッチ回路156、157は、第2のサンプリング回路の第2のエッジサンプリング回路を構成する。第2のエッジサンプリング回路は、入力信号  $D_{in}$  の信号レベルに第2のオフセットを加えて、入力信号  $D_{in}$  のエッジ部分の値を示す第2のエッジ値  $e_{b1}$  を出力する。ミキサー154は、ミキサー100が出力した入力信号  $D_{in}$  に値をゼロとする第2のオフセットを加算してエッジサンプラー155に出力する。つまり、ミキサー154は、第1のエッジサンプリング回路と第2のエッジサンプリング回路との遅延調整を行う。エッジサンプラー155は、サンプリングクロック  $SMCLK(270)$  に応じてミキサー154が出力した入力信号  $D_{in}$  をサンプリングして第2のエッジ値  $e_{b1}$  を出力する。Dラッチ回路156は、サンプリングクロック  $SMCLK(90)$  に応じてエッジサンプラー155が出力した第2のエッジ値  $e_{b1}$  をラッチする。Dラッチ回路157は、サンプリングクロック  $SMCLK(270)$  に応じてDラッチ回路156が出力した第2のエッジ値  $e_{b1}$  をラッチする。

10

【0054】

また、Dラッチ回路130~134は、シフトレジスタを構成する。このシフトレジスタは、奇数段目のレジスタをサンプリングクロック  $SMCLK(180)$  に基づき動作させ、偶数番目のレジスタをサンプリングクロック  $SMCLK(0)$  に基づき動作させる。Dラッチ回路130~134は、セレクタ117が選択したデータ値  $d_1$  をサンプリングクロック  $SMCLK(0)$  及びサンプリングクロック  $SMCLK(180)$  に基づきシフトして、出力する。

20

【0055】

そして、第1のサンプリング回路では、第1のデータサンプリング回路が出力する第1のデータ値と、第2のデータサンプリング回路が出力する第2のデータ値と、を第2のサンプリング回路の初段のシフトレジスタの出力値(例えば、Dラッチ回路130の出力値)に基づき選択する。つまり、第1のサンプリング回路は、前サンプリング期間の判定結果に基づき決定された1UI前のデータ値に基づき現サンプリング期間のデータ値を決定する。第2のサンプリング回路では、第1のデータサンプリング回路が出力する第1のデータ値と、第2のデータサンプリング回路が出力する第2のデータ値と、を第1のサンプリング回路の初段のシフトレジスタの出力値(例えば、Dラッチ回路120の出力値)に基づき選択する。つまり、第2のサンプリング回路は、前サンプリング期間の判定結果に基づき決定された1UI前のデータ値に基づき現サンプリング期間のデータ値を決定する。

30

【0056】

また、バッファ回路125、135は、第1のサンプリング回路のシフトレジスタの出力と第2のサンプリング回路のシフトレジスタの出力とに基づきオフセット  $w_2$  を出力する。バッファ回路125は、奇数番目のデータ値に対応する第1のサンプリング回路に設けられるものであるため、奇数番目のデータ値のサンプリングに用いられるサンプリングクロック  $SMCLK(0)$  でDラッチがラッチしたデータ値に基づきオフセット  $w_2$  を出力する。バッファ135は、偶数番目のデータ値に対応する第2のサンプリング回路に設けられるものであるため、偶数番目のデータ値のサンプリングに用いられるサンプリングクロック  $SMCLK(180)$  でDラッチがラッチしたデータ値に基づきオフセット  $w_2$  を出力する。

40

【0057】

また、図6に示した判定帰還型等化器10では、第1のサンプリング回路及び第2のサンプリング回路は、投機的に固定的なオフセットを加えてサンプリングした第1のデータ値及び第2のデータ値をそれ以前のサンプリング期間の判定結果に応じてセレクタで選択することでデータ値を出力する。

50

## 【 0 0 5 8 】

また、図 6 に示した判定帰還型等化器 1 0 では、一方のサンプリング回路における第 1 のオフセット及び第 2 のオフセットの少なくとも一方を、他方のサンプリング回路のセレクタとシフトレジスタとの間以外から取得したデータ値に基づき決定する。具体的には、実施の形態 1 にかかる判定帰還型等化器 1 0 では、他方のサンプリング回路（例えば、偶数データに対応する第 2 のサンプリング回路）の第 1 のデータサンプリング回路は、入力信号  $D_{in}$  に含まれるデータの論理レベルに対応するデータ値を出力する第 1 のサンプラ（例えば、データサンプラ 1 1 2）と、データサンプラ 1 1 2 の出力を多相サンプリングクロックに含まれる一のサンプリングクロックを用いてラッチして、ラッチしたデータを第 1 のデータ値として出力する第 1 のラッチ回路（例えば、D ラッチ回路 1 1 3）と、を有する。そして、判定帰還型等化器 1 0 は、一方のサンプリング回路（例えば、奇数データに対応する第 1 のサンプリング回路）のミキサー 1 4 0 に与える第 1 のオフセット  $w_1$  を、データサンプラ 1 1 2 が出力するデータ値に基づき決定し、一方のサンプリング回路の第 2 のオフセットとして、予め設定された固定値を与える。

10

## 【 0 0 5 9 】

ここで、判定帰還型等化器 1 0 のミキサー 1 4 0、1 4 4、1 5 0、1 5 4 等のミキサーの回路について説明する。ミキサーは実質的に同じ構成であるため、ここでは、ミキサー 1 4 0 を例にミキサーについて説明する。図 7 に実施の形態 1 にかかるミキサー 1 4 0 の回路図を示す。なお、実施の形態 1 にかかる判定帰還型等化器 1 0 では、入力信号  $D_{in}$  等の信号の伝達は、差動信号により行われる。

20

## 【 0 0 6 0 】

図 7 に示す回路図では、ミキサー 1 4 0 に第 1 のオフセット  $w_1$  を与えるバッファ回路 1 0 8 も一緒に示した。ミキサー 1 4 0 は、NMOS トランジスタ  $MN_1$ 、 $MN_2$ 、負荷抵抗  $R_{L1}$ 、 $R_{L2}$ 、電流源を有する。また、バッファ回路 1 0 8 は、NMOS トランジスタ  $MN_{11}$ 、 $MN_{12}$ 、電流源を有する。

## 【 0 0 6 1 】

NMOS トランジスタ  $MN_1$  と NMOS トランジスタ  $MN_2$  とは、差動対を構成する。NMOS トランジスタ  $MN_1$  のゲートには、入力信号  $D_{in}$  のうち正の信号  $I_{NP}$  が与えられる。NMOS トランジスタ  $MN_2$  のゲートには、入力信号  $D_{in}$  のうち負の信号  $I_{NN}$  が与えられる。そして、電流源は、当該差動対に電流  $I_{main}$  を供給する。また、NMOS トランジスタ  $MN_1$  のドレインと電源電圧  $V_{DD}$  が供給される電源配線との間には負荷抵抗  $R_{L1}$  が接続される。NMOS トランジスタ  $MN_2$  のドレインと電源電圧  $V_{DD}$  が供給される電源配線との間には負荷抵抗  $R_{L2}$  が接続される。また、NMOS トランジスタ  $MN_1$  のドレインには、第 1 の出力配線を介して第 1 の出力端子  $O_{UTN}$  が接続される。NMOS トランジスタ  $MN_2$  のドレインには、第 2 の出力配線を介して第 2 の出力端子  $O_{UTP}$  が接続される。

30

## 【 0 0 6 2 】

また、バッファ回路 1 0 8 は、NMOS トランジスタ  $MN_{11}$  と NMOS トランジスタ  $MN_{12}$  とが差動対を構成する。NMOS トランジスタ  $MN_{11}$  のゲートには、データサンプラ 1 1 2 が出力するデータ値として与えられる差動信号のうち負の信号  $F_{BN}$  が与えられる。NMOS トランジスタ  $MN_{12}$  のゲートには、データサンプラ 1 1 2 が出力するデータ値として与えられる差動信号のうち正の信号  $F_{BP}$  が与えられる。そして、電流源は、当該差動対に電流  $I_{w1}$  を供給する。また、NMOS トランジスタ  $MN_{11}$  のドレインは、第 1 の出力配線に接続される。NMOS トランジスタ  $MN_{12}$  のドレインは、第 2 の出力配線に接続される。

40

## 【 0 0 6 3 】

ミキサー 1 4 0 では、入力信号  $D_{in}$  のレベルに応じて電流源から与えられる電流  $I_{main}$  を負荷抵抗  $R_{L1}$  と負荷抵抗  $R_{L2}$  のいずれに与えるかを切り替えることで、ミキサー 1 4 0 の出力の論理レベルを切り替える。また、バッファ回路 1 0 8 は、データ値の論理レベルに応じて、電流  $I_{w1}$  を負荷抵抗  $R_{L1}$  と負荷抵抗  $R_{L2}$  のいずれに与えるか

50

を切り替える。つまり、バッファ回路 108 は、電流  $I_{w1}$  を第 1 の出力配線及び第 2 の出力配線に出力することでミキサー 140 の信号レベルにオフセットを与える。

【0064】

上記説明より、実施の形態 1 にかかる判定帰還型等化器 10 は、データサンプラー 102 及びデータサンプラー 112 が出力する第 1 のデータ値をエッジサンプリング回路にフィードバックする。つまり、実施の形態 1 にかかる判定帰還型等化器 10 は、現サンプリング期間における一方のサンプリング回路の第 1 のオフセットを、前サンプリング期間で出力された第 1 のデータ値に基づき決定される。これにより、実施の形態 1 にかかる判定帰還型等化器 10 は、フィードバック経路のタイミング制約を緩和する。また、実施の形態 1 にかかる判定帰還型等化器 10 は、サンプリングクロックの半周期毎にデータ値  $d_0$  と第 1 のエッジ値  $e_{a0}$  と第 2 のエッジ値  $e_{b0}$  とを含む奇数データ情報と、データ値  $d_1$  と第 1 のエッジ値  $e_{a1}$  と第 2 のエッジ値  $e_{b1}$  を含む偶数データ情報と、を交互に出力する。

10

【0065】

パターンフィルタ 20 は、連続して出力される奇数番目のデータ  $d_0$  と偶数番目のデータ  $d_1$  とに基づきエッジ値の有効性を判断する。また、パターンフィルタ 20 は、奇数データ情報及び偶数データ情報にそれぞれ含まれる 2 つのエッジ値のうちいずれか一方を、データ値  $d_0$ 、 $d_1$  に基づき選択する。そこで、実施の形態 1 にかかるパターンフィルタ 20 について以下で詳細に説明する。パターンフィルタ 20 の詳細な回路図を図 8 に示す。

20

【0066】

図 8 に示すように、パターンフィルタ 20 は、フリップフロップ回路 200 ~ 203、205 ~ 208、211 ~ 214、セクタ 210、217、エッジ有効性判断回路 209、216 を有する。

【0067】

フリップフロップ回路 200、201 は、シフトレジスタを構成し、データ値  $d_0$  をサンプリングクロックに応じてシフトして出力する。フリップフロップ回路 202、203 は、シフトレジスタを構成し、データ値  $d_1$  をサンプリングクロックに応じてシフトして出力する。

30

【0068】

フリップフロップ回路 205、206 は、シフトレジスタを構成し、第 1 のエッジ値  $e_{a0}$  をサンプリングクロックに応じてシフトしてセクタ 210 の一方の端子（例えば、選択信号が 0 のときに選択される端子）に出力する。フリップフロップ回路 207、208 は、シフトレジスタを構成し、第 2 のエッジ値  $e_{b0}$  をサンプリングクロックに応じてシフトしてセクタ 210 の他方の端子（例えば、選択信号が 1 のときに選択される端子）に出力する。

【0069】

フリップフロップ回路 211、212 は、シフトレジスタを構成し、第 1 のエッジ値  $e_{a1}$  をサンプリングクロックに応じてシフトしてセクタ 217 の一方の端子（例えば、選択信号が 0 のときに選択される端子）に出力する。フリップフロップ回路 213、214 は、シフトレジスタを構成し、第 2 のエッジ値  $e_{b1}$  をサンプリングクロックに応じてシフトしてセクタ 217 の他方の端子（例えば、選択信号が 1 のときに選択される端子）に出力する。

40

【0070】

エッジ有効性判断回路 209 は、データ値  $d_1$ 、 $d_0$  に基づき、第 1 のエッジ値  $e_{a0}$  又は第 2 のエッジ値  $e_{b0}$  の有効性を示す有効性フラグ  $e_{0valid}$  を出力する。また、エッジ有効性判断回路 209 は、データ値  $d_1$ 、 $d_0$  に基づき、セクタ 217 に選択信号を出力する。

【0071】

エッジ有効性判断回路 209 は、データ遷移判定回路 220、221、223、224

50

、225、NAND回路222、226を有する。データ遷移判定回路220、221、223、224、225は、入力される2つの値が所定の条件を満たすときのみ出力を0とする。例えば、データ遷移判定回路220、221、223、224、225は、一方の値が1かつ他方の値が0である場合にのみ出力を0とする。

【0072】

データ遷移判定回路220は、フリップフロップ回路200が出力するデータ値d0が0、かつ、フリップフロップ回路202が出力するデータ値d1が1のときのみ出力を0とする。つまり、データ遷移判定回路220は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が0から1に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が1から0に遷移する場合と、において0

10

【0073】

データ遷移判定回路221は、フリップフロップ回路200が出力するデータ値d0が1、かつ、フリップフロップ回路202が出力するデータ値d1が0のときのみ出力を0とする。つまり、データ遷移判定回路221は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が1から0に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が0から1に遷移する場合と、において0

【0074】

NAND回路222は、データ遷移判定回路220の出力とデータ遷移判定回路221の出力との反転論理積をセクタ217に対する選択信号として出力する。ここで、NAND回路222に入力される値が共に1となる場合は、連続する3つのデータ値が110、001と遷移する2つの場合である。つまり、エッジ有効性判断回路209は、連続する3つのデータ値の遷移が110、001の2つの場合である場合は選択信号を0とし、セクタ217は第1のエッジ値e a 1をエッジ値e1として出力する。

20

【0075】

データ遷移判定回路223は、フリップフロップ回路201が出力するデータ値d0が0、かつ、フリップフロップ回路203が出力するデータ値d1が1のときのみ出力を0とする。つまり、データ遷移判定回路223は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が0から1に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が1から0に遷移する場合と、において0

30

【0076】

データ遷移判定回路224は、フリップフロップ回路201が出力するデータ値d0が1、かつ、フリップフロップ回路203が出力するデータ値d1が0のときのみ出力を0とする。つまり、データ遷移判定回路224は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が1から0に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が0から1に遷移する場合と、において0

【0077】

データ遷移判定回路225は、データ遷移判定回路220の出力値が1、かつ、データ遷移判定回路224の出力値が0のときのみ出力を0とする。NAND回路226は、データ遷移判定回路225の出力値とデータ遷移判定回路223の出力値との反転論理積を有効性フラグe0 validとして出力する。この有効性フラグe0 validは、セクタ210が出力するエッジ値e0の有効性を示すものである。有効性フラグe0 validは、例えば、値が1であればエッジ値e0が有効であることを示す。なお、有効性フラグe0 validがどのような場合に有効状態となり、どのような場合に無効状態となるかの詳細な説明は後述する。

40

【0078】

エッジ有効性判断回路216は、データ遷移判定回路230、231、232、234

50

、NAND回路233、235を有する。データ遷移判定回路230、231、232、234は、入力される2つの値が所定の条件を満たすときのみ出力を0とする。例えば、データ遷移判定回路230、231、232、234は、一方の値が1かつ他方の値が0である場合にのみ出力を0とする。

【0079】

データ遷移判定回路230は、フリップフロップ回路200に入力されるデータ値d0が1、かつ、フリップフロップ回路202が出力するデータ値d1が0のときのみ出力を0とする。つまり、データ遷移判定回路230は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が1から0に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が0から1に遷移する場合と、において

10

0を出力する。

【0080】

データ遷移判定回路231は、フリップフロップ回路201に入力されるデータ値d0が1、かつ、フリップフロップ回路202が出力するデータ値d1が0のときのみ出力を0とする。つまり、データ遷移判定回路231は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が1から0に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が0から1に遷移する場合と、において

0を出力する。

【0081】

データ遷移判定回路232は、フリップフロップ回路201に入力されるデータ値d0

20

が0、かつ、フリップフロップ回路203が出力するデータ値d1が1のときのみ出力を0とする。つまり、データ遷移判定回路232は、奇数番目のデータ値d0から偶数番目のデータ値d1へのデータ値の遷移が0から1に遷移する場合と、偶数番目のデータd1から奇数番目のデータ値d0へのデータ値の遷移が1から0に遷移する場合と、において

0を出力する。

【0082】

NAND回路233は、データ遷移判定回路231の出力とデータ遷移判定回路232の出力との反転論理積をセクタ210に対する選択信号として出力する。ここで、NAND回路233に入力される値が共に1となる場合は、連続する3つのデータ値が110、001と遷移する2つの場合である。つまり、エッジ有効性判断回路216は、連続する3つのデータ値の遷移が110、001の2つの場合である場合は選択信号を0とし、セクタ210は第1のエッジ値e a 0をエッジ値e 0として出力する。

30

【0083】

データ遷移判定回路234は、データ遷移判定回路230の出力値が1、かつ、データ遷移判定回路232の出力値が0のときのみ出力を0とする。NAND回路235は、データ遷移判定回路231の出力値とデータ遷移判定回路234の出力値との反転論理積を有効性フラグe 1 v a l i dとして出力する。この有効性フラグe 1 v a l i dは、セクタ217が出力するエッジ値e 1の有効性を示すものである。有効性フラグe 1 v a l i dは、例えば、値が1であればエッジ値e 1が有効であることを示す。なお、有効性フラグe 1 v a l i dがどのような場合に有効状態となり、どのような場合に無効状態となるかの詳細な説明は後述する。

40

【0084】

続いて、実施の形態1にかかるパターンフィルタ20の動作について説明する。入力信号D i nとして与えられるシリアル信号は、伝送線路の特性に起因してシンボル間干渉（I S I : Inter Symbol Interference）により波形の形状劣化が生じる。そのため、判定帰還型等化器10では、オフセットを用いて形状劣化が生じた波形を正しく受信する。

【0085】

そこで、まず、I S Iによる波形劣化について説明する。図9に、実施の形態1にかかる半導体装置に入力されるデータ値と入力信号の信号レベルとの関係を示すタイミングチャートを示す。この図9に示す例は、1ビットのデータ値の応答を示すものである。

50

## 【 0 0 8 6 】

図9に示すように、データ値 $x(n)$ が1（信号レベルが $w_0$ ）となる1ビットのデータがタイミング $t(n)$ で入力された場合、タイミング $t(n+1)$ においても $w_1$ の信号レベルが残ってしまう。このように、前に入力された信号の信号レベルが次のデータ入力タイミングにおいて残ってしまい、次に入力されるデータ値の信号レベルに影響を与えてしまう減少がISIである。

## 【 0 0 8 7 】

続いて、図10に実施の形態1にかかる半導体装置に連続して入力されるデータ値と入力信号の信号レベルとの関係を示すタイミングチャートを示す。図10では、ケース1としてデータ値を1とする2ビットのデータが入力された場合の応答を示し、ケース2としてデータ値が0から1に変化する2ビットのデータが入力された場合の応答を示す。

10

## 【 0 0 8 8 】

図10のケース1では、タイミング $t(n)$ においてタイミング $t(n-1)$ で入力されたデータ値 $x(n-1)$ の信号レベル $w_1$ が残存し、タイミング $t(n)$ で入力されるデータ値 $x(n)$ の信号レベルが $w_0 + w_1$ となる。従って、このケース1において、データ値 $x(n)$ の信号レベルを正しくサンプリングするためには、データ値 $x(n)$ を伝達する入力信号の信号レベルに $+w_1$ のオフセットを設けてサンプリングする必要がある。つまり、ケース1においては、入力信号の信号レベルから $w_1$ を引いた信号レベルに対して信号レベルを判断する必要がある。すなわち、入力信号の信号レベルから $w_1$ を引いた信号レベルが0以上であれば1と判断し、信号レベルが0よりも小さければ0と判断する。

20

## 【 0 0 8 9 】

また、図10のケース2では、タイミング $t(n)$ においてタイミング $t(n-1)$ で入力されたデータ値の信号レベル $-w_1$ が残存し、タイミング $t(n)$ で入力されるデータ値の信号レベルが $w_0 - w_1$ となる。従って、このケース2において、データ値 $x(n)$ の信号レベルを正しくサンプリングするためには、データ値 $x(n)$ を伝達する入力信号の信号レベルに $-w_1$ のオフセットを設けてサンプリングする必要がある。つまり、ケース2においては、入力信号の信号レベルに $w_1$ を足した信号レベルに対して信号レベルを判断する必要がある。すなわち、入力信号の信号レベルに $w_1$ を足した信号レベルが0以上であれば1と判断し、信号レベルが0よりも小さければ0と判断する。

30

## 【 0 0 9 0 】

このように、連続して入力されるデータ値の時間変化に応じてオフセットを設けて、信号レベルの判断を行うことで、受信レベルの変動に対するマージンを大きくすることができる。

## 【 0 0 9 1 】

続いて、連続するデータ値の中間時点でサンプリングするエッジ値に対するISIの影響について説明する。エッジ値については、直近の3ビットのデータ列の影響を受ける。より具体的には、エッジ値に対するISIの影響は、直近の3ビットのデータ列によって4つに分類することができる。そこで、実施の形態1にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示すタイミングチャートを図11に示す。

40

## 【 0 0 9 2 】

図11では、ケース1としてデータ列が110となる場合を示し、ケース2としてデータ列が010となる場合を示し、ケース3としてデータ列が001となる場合を示し、ケース4としてデータ列が101となる場合を示した。

## 【 0 0 9 3 】

図11のケース1では、前サンプリング期間のデータ値 $x(n-1)$ が1、現サンプリング期間のデータ値 $x(n)$ が1、次サンプリング期間のデータ値 $x(n+1)$ が0となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値 $x(n)$ の信号レベル $w_0 + w_1$ から次サンプリング期間でサンプリング対象となるデータ値

50

$x(n+1)$ の信号レベル  $-w_0 + w_1$  に至る太線で示した波形となる。このケース1では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ね  $w_1$  となる。従って、ケース1では、 $+w_1$  のオフセットを設けてエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

【0094】

図11のケース2では、前サンプリング期間のデータ値  $x(n-1)$  が0、現サンプリング期間のデータ値  $x(n)$  が1、次サンプリング期間のデータ値  $x(n+1)$  が0となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $w_0 - w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $-w_0 + w_1$  に至る太線で示した波形となる。このケース2では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ねゼロとなる。従って、ケース2では、オフセットを設けずにエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

10

【0095】

図11のケース3では、前サンプリング期間のデータ値  $x(n-1)$  が0、現サンプリング期間のデータ値  $x(n)$  が0、次サンプリング期間のデータ値  $x(n+1)$  が1となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $-w_0 - w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $w_0 - w_1$  に至る太線で示した波形となる。このケース3では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ね  $-w_1$  となる。従って、ケース3では、 $-w_1$  のオフセットを設けてエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

20

【0096】

図11のケース4では、前サンプリング期間のデータ値  $x(n-1)$  が1、現サンプリング期間のデータ値  $x(n)$  が0、次サンプリング期間のデータ値  $x(n+1)$  が1となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $-w_0 + w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $w_0 - w_1$  に至る太線で示した波形となる。このケース4では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ねゼロとなる。従って、ケース4では、オフセットを設けずにエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

30

【0097】

図11に示したように、シリアル通信では、入力信号  $D_{in}$  の信号レベルがデータ列としてどのようなデータ値が入力されるかによって変化する。パターンフィルタ20では、オフセットを設けてサンプリングしたエッジ値とオフセットを設けずにサンプリングしたエッジ値とのいずれを選択するかを、データ値の時間的な変化に応じて決定することで、正しいエッジ値を出力する。しかしながら、実施の形態1にかかる判定帰還型等化器10では、エッジ値  $e(n)$  のサンプリングに負のオフセットを設けてサンプリングしたデータ値  $x(n-1)$  を利用するため、データ列が001、或いは、110となる場合には、エッジ値  $e_a(n)$  が正しいか否かを示す有効性の判断を行うことが必要になる。そこで、エッジ値  $e_a(n)$  が有効と判断出来るデータ列のパターンと、エッジ値  $e_a(n)$  が無効と判断しなければならないデータ列のパターンについて以下で説明する。そこで、実

40

50

施の形態 1 にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示すタイミングチャートを図 1 2 に示す。

【 0 0 9 8 】

図 1 1 のケース 1 のエッジ値  $e_a(n)$  の有効性は、図 1 1 のケース 1 の 3 つのデータ列の前のデータ値が 0 か 1 によって分類される。また、図 1 1 のケース 3 のエッジ値  $e_a(n)$  の有効性は、図 1 1 のケース 3 の 3 つのデータ列の前のデータ値が 0 か 1 によって分類される。そこで、図 1 2 では、4 つのケースを示した。図 1 2 では、ケース 1 としてデータ列が 0 1 1 0 となる場合を示し、ケース 2 としてデータ列が 1 1 1 0 となる場合を示し、ケース 3 としてデータ列が 0 0 0 1 となる場合を示し、ケース 4 としてデータ列が 1 0 0 1 となる場合を示した。

10

【 0 0 9 9 】

図 1 2 のケース 1 では、2 つ前のサンプリング期間のデータ値  $x(n-2)$  が 0、1 つ前のサンプリング期間のデータ値  $x(n-1)$  が 1、現サンプリング期間のデータ値  $x(n)$  が 1、次サンプリング期間のデータ値  $x(n+1)$  が 0 となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $w_0 + w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $-w_0 + w_1$  に至る太線で示した波形となる。このケース 1 では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との中間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ね  $w_1$  となる。そして、このケース 1 では、データ値  $x(n-2)$  が 0 であるため、エッジ値  $e(n)$  をサンプリングするためにフィードバックする第 1 のオフセットは、負のオフセット（例えば、 $-w_1$ ）を設けてサンプリングしたデータ値  $x(n-1)$  により決定される。そして、ケース 1 のデータ値  $x(n-1)$  は、データ値  $x(n-2)$  が 0 であるため、 $-w_1$  のオフセットを設けてサンプリングされ、正しくサンプリングされる。従って、ケース 1 では、第 1 のオフセットとしてデータ値  $x(n-1)$  の値に基づき決定された第 1 のオフセットを設けてエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

20

【 0 1 0 0 】

図 1 2 のケース 2 では、2 つ前のサンプリング期間のデータ値  $x(n-2)$  が 1、1 つ前のサンプリング期間のデータ値  $x(n-1)$  が 1、現サンプリング期間のデータ値  $x(n)$  が 1、次サンプリング期間のデータ値  $x(n+1)$  が 0 となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $w_0 + w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $-w_0 + w_1$  に至る太線で示した波形となる。このケース 1 では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との中間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ね  $w_1$  となる。そして、このケース 2 では、データ値  $x(n-2)$  が 1 である。そのため、このケース 2 では、データ値  $x(n-1)$  として入力される入力信号の信号レベルは  $w_0 + w_1$  となり、正のオフセットに対して十分な大きさがあるため、データ値  $x(n-1)$  のサンプリングに用いるオフセットは、正のオフセットと負のオフセットのいずれであってもフィードバックするデータ値を出力するデータサンプラーは正しくデータ値を判定することができる。つまり、ケース 2 では、第 1 のオフセットを生成するために用いられるデータ値  $x(n-1)$  の値は常に正しい。従って、ケース 2 では、第 1 のオフセットとしてデータ値  $x(n-1)$  の値に基づき決定された第 1 のオフセットを設けてエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

30

40

【 0 1 0 1 】

図 1 2 のケース 3 では、2 つ前のサンプリング期間のデータ値  $x(n-2)$  が 0、1 つ前のサンプリング期間のデータ値  $x(n-1)$  が 0、現サンプリング期間のデータ値  $x(n)$  が 0、次サンプリング期間のデータ値  $x(n+1)$  が 1 となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $-w_0$

50

-  $w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $w_0 - w_1$  に至る太線で示した波形となる。このケース3では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との中間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ね  $-w_1$  となる。そして、このケース3では、データ値  $x(n-2)$  が0であるため、エッジ値  $e(n)$  をサンプリングするためにフィードバックする第1のオフセットは、負のオフセット(例えば、 $-w_1$ )を設けてサンプリングしたデータ値  $x(n-1)$  により決定される。そして、ケース3のデータ値  $x(n-1)$  は、データ値  $x(n-2)$  が0であるため、 $-w_1$  のオフセットを設けてサンプリングされ、正しくサンプリングされる。従って、ケース3では、第1のオフセットとしてデータ値  $x(n-1)$  の値に基づき決定された第1のオフセットを設けてエッジ値をサンプリングすることでエッジ値  $e(n)$  は正しい値に近くなる。

10

## 【0102】

図12のケース4では、2つ前のサンプリング期間のデータ値  $x(n-2)$  が1、1つ前のサンプリング期間のデータ値  $x(n-1)$  が0、現サンプリング期間のデータ値  $x(n)$  が0、次サンプリング期間のデータ値  $x(n+1)$  が1となる。そのため、入力信号は、現サンプリング期間でサンプリング対象となるデータ値  $x(n)$  の信号レベル  $-w_0 - w_1$  から次サンプリング期間でサンプリング対象となるデータ値  $x(n+1)$  の信号レベル  $w_0 - w_1$  に至る太線で示した波形となる。このケース4では、データ値  $x(n)$  をサンプリングするタイミング  $t(n)$  とデータ値  $x(n-1)$  をサンプリングするタイミング  $t(n+1)$  との中間時点に位置するエッジ値  $e(n)$  のサンプリングタイミングでの信号レベルが概ね  $-w_1$  となる。そして、このケース4では、データ値  $x(n-2)$  が1である。そのため、このケース4では、データ値  $x(n-1)$  は、正のオフセット(例えば、 $w_1$ )のオフセットを設けてサンプリングしなければ誤った値となってしまふ。ここで、判定帰還型等化器10では、負のオフセット(例えば、 $-w_1$ )を設けてサンプリングしたデータ値  $x(n-1)$  をフィードバックに用いる。つまり、ケース4では、第1のオフセットを生成するために用いられるデータ値  $x(n-1)$  が誤った値の可能性がある。従って、ケース4では、第1のオフセットとしてフィードバックする負のオフセットに基づきサンプリングされたデータ値  $x(n-1)$  を用いてサンプリングされたエッジ値  $e(n)$  は誤りがある可能性があるため、廃棄が必要になる。

20

30

## 【0103】

図12で示したデータパターンをまとめるとエッジ値  $e(n)$  が有効でないのは入力される現サンプリング期間に対して2つ前のサンプリング期間から1つ後のサンプリング期間に入力されるデータ列が1001のときのみである。従って、パターンフィルタ20では、2つ前のサンプリング期間から1つ後のサンプリング期間に入力されるデータ列が1001のときに、有効性フラグ  $e_{0\text{valid}}$  及び有効性フラグ  $e_{1\text{valid}}$  を無効状態(例えば、0)とする。

## 【0104】

上記説明より、パターンフィルタ20は、2つの機能を有する。第1の機能は、データ値のデータパターンに応じてフィードバックされたデータ値に基づき第1のオフセットを設けてサンプリングされた第1のエッジ値  $e_a(n)$  とオフセットを設けずにサンプリングされた第2のエッジ値  $e_b(n)$  とのどちらを採用して位相検出回路30に送るのかを決定するものである。第2の機能は、データ値のデータパターンに応じて無効なエッジ値を棄却する機能である。

40

## 【0105】

この第1の機能においては、パターンフィルタ20は、“ $\wedge$ ”を排他的論理和とした場合に、 $x(n-1) \wedge x(n) = 0$ となる条件を満たす時には第2のエッジ値  $e_b(n)$  を選択し、 $x(n-1) \wedge x(n) = 1$ となる条件を満たす時には第1のエッジ値  $e_a(n)$  を選択する。

## 【0106】

50

また、第2の機能においては、パターンフィルタ20は、エッジが無い場合、すなわち  $x(n) = x(n-1)$  の場合にはエッジが存在せずエッジ値  $e(n)$  が無効であることを考慮すると、エッジ値  $e(n)$  がエッジとして使えるのは以下の条件の場合である。その条件とは、 $x(n) \wedge x(n+1) = 1$ 、かつ、 $x(n-2:n+1) \neq 1001$  である。この条件を論理式で表すと、 $e(n) \text{ valid} = x(n) * \sim x(n+1) + \sim (x(n-2) * \sim x(n-1)) * \sim x(n) * x(n+1)$  となる。つまり、パターンフィルタ20は、この論理式で表される条件により有効性フラグ  $e(n) \text{ valid}$  の値を決定する。ここで、上記論理式では、“ $\sim$ ”は反転論理を示し、“ $*$ ”は論理積を示し、“ $+$ ”は論理和を示す。

【0107】

10

なお、上記説明では、前サンプリング期間のデータ値の残存信号レベルとして想定される信号レベル  $-w_1$  及び  $+w_1$  を、エッジ値のサンプリングに用いる第1のオフセットとして与えた。しかし、これは近似であり実際にはエッジ値のサンプリングに対するオフセットを  $w_1$  とは異なる値、例えば、 $+w_{e1}$  又は  $-w_{e1}$  としても良い。上述した判定帰還型等化器10は、これにより適用制限を受けるものではないが、上記説明では、簡単化のために  $w_1 = w_{e1}$  として説明した。

【0108】

また、前提とした図9の入力波形は判定帰還型等化器10の第1のタップデータにより補正可能な信号レベル(例えば、 $w_1$ )となる残像信号レベルを有していたが、一般的には入力波形の残存信号レベルは  $w_2$ 、 $w_3$ 、 $\dots$  と続き、2タップ、3タップと複数タップデータが必要になる。実施の形態1にかかる判定帰還型等化器10は、複数タップデータでの補正を行う場合でも制約を受けるものではなく、任意の1タップに関して適用できる。一般的に第1のタップデータの補正量が一番大きいため、判定帰還型等化器10の構成は、第1のタップデータに適用するのが一番効果的である。

20

【0109】

続いて、実施の形態1にかかる半導体装置1の位相検出回路30について説明する。上記説明より、パターンフィルタ20は、エッジ値  $e(n)$  と共にエッジ値  $e(n)$  の有効性を示す有効性フラグ  $e(n) \text{ valid}$  を出力する。従って、位相検出回路30には、エッジ値  $e(n)$  に基づくサンプリングクロックの位相の進みと遅れの判断に加えて、有効性フラグ  $e(n) \text{ valid}$  に基づき無効なエッジ値  $e(n)$  に対してサンプリングクロックの位相を制御しない機能を有する。

30

【0110】

そこで、まず、判定帰還型等化器10でサンプリングされたエッジ値とサンプリングクロックとの位相の関係について説明する。図13に、実施の形態1にかかる半導体装置で出力されるエッジ値と入力信号の位相との関係を示すタイミングチャートを示す。

【0111】

図13の左図では、データ値  $x(n)$  が0、エッジ値  $e(n)$  が1、データ値  $x(n-1)$  が1となっている。つまり、図13の左図では、入力信号  $D_{in}$  のエッジは、サンプリングクロックに対して位相が進んでいる状態となっている。一方、図13の右図では、データ値  $x(n)$  が0、エッジ値  $e(n)$  が0、データ値  $x(n-1)$  が1となっている。つまり、図13の右図では、入力信号  $D_{in}$  のエッジは、サンプリングクロックに対して位相が遅れている状態となっている。

40

【0112】

ここで、実施の形態1にかかる半導体装置1では、エッジ値  $e(n)$  が0又は1の値をとるため、単位時間中のエッジ値  $e(n)$  の0と1の割合が同じ程度になる状態であれば、サンプリングクロックの位相と入力信号  $D_{in}$  の位相とがほぼ一致した状態となっていると判断出来る。半導体装置1では、単位時間中のエッジ値  $e(n)$  の0と1の割合が同じ程度になるように位相制御回路40及び位相シフト部50がサンプリングクロックの位相を制御する。

【0113】

50

次に、位相検出回路30の構成について説明する。そこで、図14に実施の形態1にかかる位相検出回路30の回路図を示す。図14に示すように、位相検出回路30は、EXOR回路300、310、インバータ301、311、AND回路302、303、312、313、多数決回路320を有する。

【0114】

EXOR回路300には、奇数番目のデータ値d0と、データ値d0に対応するエッジ値e0が入力される。EXOR回路300は、入力される2つの値の排他的論理和を出力する。

【0115】

AND回路302は、EXOR回路300の出力値と、エッジ値e0の有効性を示す有効性フラグe0validと、が入力される。AND回路302は、入力される2つの値の論理積を出力する。AND回路302の出力値は、奇数番目のデータ値のサンプリングに利用したサンプリングクロックの位相が進んでいる場合に1となるダウン信号down0となる。また、ダウン信号down0は、有効性フラグe0validが無効状態（例えば、0）を示す場合には0となる。

10

【0116】

AND回路303は、EXOR回路300の出力値をインバータ301で反転した値と、エッジ値e0の有効性を示す有効性フラグe0validと、が入力される。AND回路303は、入力される2つの値の論理積を出力する。AND回路303の出力値は、奇数番目のデータ値のサンプリングに利用したサンプリングクロックの位相が遅れている場合に1となるアップ信号up0となる。また、アップ信号up0は、有効性フラグe0validが無効状態（例えば、0）を示す場合には0となる。

20

【0117】

EXOR回路310には、偶数番目のデータ値d1と、データ値d1に対応するエッジ値e1が入力される。EXOR回路310は、入力される2つの値の排他的論理和を出力する。

【0118】

AND回路312は、EXOR回路310の出力値と、エッジ値e1の有効性を示す有効性フラグe1validと、が入力される。AND回路312は、入力される2つの値の論理積を出力する。AND回路312の出力値は、偶数番目のデータ値のサンプリングに利用したサンプリングクロックの位相が進んでいる場合に1となるダウン信号down1となる。また、ダウン信号down1は、有効性フラグe1validが無効状態（例えば、0）を示す場合には0となる。

30

【0119】

AND回路313は、EXOR回路310の出力値をインバータ311で反転した値と、エッジ値e1の有効性を示す有効性フラグe1validと、が入力される。AND回路313は、入力される2つの値の論理積を出力する。AND回路313の出力値は、偶数番目のデータ値のサンプリングに利用したサンプリングクロックの位相が遅れている場合に1となるアップ信号up1となる。また、アップ信号up1は、有効性フラグe1validが無効状態（例えば、0）を示す場合には0となる。

40

【0120】

多数決回路320は、アップ信号up0、up1、ダウン信号down0、down1を参照し、アップ信号とダウン信号とのいずれに値が1となる信号が多いのかを判定して最終的なアップ信号upとダウン信号downとの論理レベルを決定する。

【0121】

例えば、多数決回路320は、アップ信号up0、up1がいずれも1であれば、アップ信号upを1かつダウン信号downを0とする。多数決回路320は、ダウン信号down0、down1がいずれも1であればアップ信号upを0かつダウン信号downを1とする。多数決回路320は、アップ信号up0、up1のいずれか一方が1、かつ、ダウン信号down0、down1のいずれか一方が1である場合、アップ信号up及

50

びダウン信号  $down$  をいずれも 0 とする。多数決回路 320 は、アップ信号  $up_0$ 、 $up_1$ 、ダウン信号  $down_0$ 、 $down_1$  のいずれもが 0 であれば、アップ信号  $up$  及びダウン信号  $down$  をいずれも 0 とする。また、多数決回路 320 は、アップ信号  $up_0$ 、 $up_1$  のいずれか一方が 1、かつ、ダウン信号  $down_0$ 、 $down_1$  のいずれも 0 である場合、アップ信号  $up$  を 1 かつダウン信号  $down$  を 0 とする。多数決回路 320 は、アップ信号  $up_0$ 、 $up_1$  のいずれもが 0、かつ、ダウン信号  $down_0$ 、 $down_1$  のいずれか一方が 1 である場合、アップ信号  $up$  を 0 かつダウン信号  $down$  を 1 とする。多数決回路 320 は、上記動作を、OR 回路 321、324、AND 回路 322、325、インバータ 323、326 により行う。

#### 【0122】

OR 回路 321 には、アップ信号  $up_0$  と、アップ信号  $up_1$  と、が入力される。OR 回路 321 は、入力される 2 つの信号の論理和を出力する。OR 回路 324 には、ダウン信号  $down_0$  と、ダウン信号  $down_1$  と、が入力される。OR 回路 324 は、入力される 2 つの信号の論理和を出力する。

#### 【0123】

AND 回路 322 には、OR 回路 321 の出力値と、OR 回路 324 の出力値をインバータ 326 で反転した値と、が入力される。AND 回路 322 は、入力される 2 つの信号の論理積をアップ信号  $up$  として出力する。AND 回路 325 には、OR 回路 324 の出力値と、OR 回路 321 の出力値をインバータ 323 で反転した値と、が入力される。AND 回路 325 は、入力される 2 つの信号の論理積をアップ信号  $up$  として出力する。

#### 【0124】

上記説明より、実施の形態 1 にかかる半導体装置 1 では、判定帰還型等化器 10 に特徴の 1 つを有し、当該特徴により、回路面積の削減及び消費電力の低減を実現している。より具体的には、判定帰還型等化器 10 では、正のオフセット（例えば、 $w_1$ ）を用いてデータ値をサンプリングする第 1 のデータサンプリング回路と、負のオフセット（例えば、 $-w_1$ ）を用いてデータ値をサンプリングする第 2 のデータサンプリング回路と、を用いることで、第 1 のタップデータをループアンロールする。そして、第 1 のデータサンプリング回路のデータサンプラーの出力値を、セレクタを通すことなく、直ちにエッジサンプリング回路の入力に設けられるミキサーにフィードバックする。つまり、判定帰還型等化器 10 では、エッジサンプリング回路へのフィードバック経路の論理を単純化している。

#### 【0125】

通常、第 1 のタップデータをループアンロールする場合、図 2 に示したように、サンプリング対象のデータ値が、セレクタの出力値として出力されることで決定されるため、セレクタから出力されたデータ値をエッジサンプリング回路にフィードバックする構成となる。しかし、この場合、図 4 に示すように、フィードバック経路のタイミング制約が厳しくなり、CTS バッファ等の消費電力が大きくなる問題がある。

#### 【0126】

一方、実施の形態 1 にかかる判定帰還型等化器 10 では、フィードバック経路の論理を単純化しているため、図 2 に示した判定帰還型等化器 10 a の例よりも、フィードバック経路のタイミング制約を緩和することができる。そして、フィードバック経路のタイミング制約を緩和することで、実施の形態 1 にかかる判定帰還型等化器 10 は、CTS バッファを少なくする、或いは、CTS バッファの能力を低く設定することが可能になり、回路面積の削減及び消費電力の低減を実現することができる。

#### 【0127】

また、判定帰還型等化器 10 の別の回路構成として、オフセットを正（ $+w_1$ ）、負（ $-w_1$ ）、ゼロ（0）とする 3 つのエッジサンプリング回路を各相のサンプリング回路に設けて、フィードバックを行わずに、パターンフィルタ等の後続の回路でエッジ値を選択することもできる。しかし、この場合、エッジサンプリング回路の数が増える。エッジサンプリング回路の数の増加は、後段パイプライン及び前段アンプに対する負荷の増大を招き、消費電力が大きくなる問題がある。また、エッジサンプリング回路の数が増加すると

10

20

30

40

50

、回路面積が増加する問題もある。しかしながら、実施の形態 1 にかかる判定帰還型等化器 10 では、1 相のサンプリング回路当たり 2 つのサンプリング回路を有するのみであり、エッジサンプリング回路の回路面積を削減し、かつ、消費電力を低減することができる。

#### 【0128】

また、実施の形態 1 にかかる判定帰還型等化器 10 では、エッジサンプリング回路にフィードバックするデータ値として、前サンプリング期間において負のオフセットを用いてサンプリングしたデータ値を用いる。実施の形態 1 にかかる判定帰還型等化器 10 では、このようなフィードバック経路を構成することで、無効なエッジ値  $e(n)$  とされるデータ列のパターンを 1001 のみとし、エッジ値  $e(n)$  を高い確率でサンプリングクロックの位相制御に反映させることができる。これにより、実施の形態 1 にかかる半導体装置 1 では、CDR (クロックアンドデータリカバリ) 回路として高い位相追従性を実現することができる。

10

#### 【0129】

例えば、非特許文献 1 に記載の技術では、有効なエッジ値  $e(n)$  として採用できるデータパターンは、数パターンしかなく、実施の形態 1 にかかる半導体装置 1 に比べて CDR 回路としての位相追従性が劣る。

#### 【0130】

また、例えば、正のオフセットを用いてデータのサンプリングを行う第 2 のデータサンプリング回路のデータ値をエッジサンプリング回路へのフィードバックとすることもできる。しかしながら、この場合、データパターンが 001 となった場合に有効なエッジ値  $e(n)$  を取得できない。つまり、第 2 のデータサンプリング回路のデータ値をフィードバックする回路は、データパターンが 0001 のときに有効なエッジ値  $e(n)$  を取得できる実施の形態 1 にかかる半導体装置 1 に比べて、無効なエッジ値  $e(n)$  の発生確率が高くなるデメリットが生じる。入力されるデータパターンがランダムであったとすると、1001 を有効なエッジ値として取得することで、001 のデータ列を全て無効なエッジ値とした場合に比べて、無効なエッジ値の発生確率を半分にすることができる。

20

#### 【0131】

また、通常 bang-bang CDR においては位相比較の情報は近接する数ビット (多くは、4 ビットから 8 ビット程度) のエッジ値  $e(n)$  の間引きを行う。例えば 4 ビットの間引きとして、次のような方式がある。最初に近接する 2 ビットのエッジ値を多数決させて 1 ビット出力とする 2 : 1 間引きを行い、さらに間引いたエッジ値同士の 2 : 1 の多数決を行い最終的に 4 : 1 の間引きを行うトーナメント方式がある。また、隣接 4 ビット内で多数決を行う方式もある。いずれの場合でも 4 : 1 以上の間引きを行った場合には、1001 の入力パターンでサンプリングされるエッジ値  $e(n)$  を捨てても  $e(n-2)$  個のエッジ値が有効になるため、CDR 回路の位相追従能力に殆ど影響が無い。つまり、実施の形態 1 にかかる半導体装置 1 では、無効なエッジ値  $e(n)$  の発生確率を極めて小さくできるため、CDR 回路の高い位相追従性を確保することができる。

30

#### 【0132】

##### 実施の形態 2

実施の形態 2 では、実施の形態 1 の判定帰還型等化器 10 の別の形態となる判定帰還型等化器 11 について説明する。なお、実施の形態 2 の説明において、実施の形態 1 で説明した構成要素については、実施の形態 1 と同じ符号を付して、説明を省略する。

40

#### 【0133】

図 15 に実施の形態 2 にかかる判定帰還型等化器 11 の回路図を示す。この図 15 では、D ラッチ回路 120 ~ 124 により構成されるシフトレジスタの D ラッチ回路 122 ~ 124 と、D ラッチ回路 130 ~ 134 により構成されるシフトレジスタの D ラッチ回路 132 ~ 134 と、の図示を省略した。図 15 に示すように、判定帰還型等化器 11 は、エッジサンプリング回路へのフィードバック経路の論理が判定帰還型等化器 10 とは異なる。

50

## 【 0 1 3 4 】

具体的には、実施の形態 2 にかかる判定帰還型等化器 1 1 は、現サンプリング期間における一方のサンプリング回路の第 1 のエッジサンプリング回路の第 1 のオフセットを、2 つ前のサンプリング期間でサンプリングされたデータ値と、3 つ前のサンプリング期間でサンプリングされたデータ値と、に基づき決定する。また、実施の形態 2 にかかる判定帰還型等化器 1 1 は、現サンプリング期間における一方のサンプリング回路の第 2 のエッジサンプリング回路の第 2 のオフセットを、3 つ前のサンプリング期間でサンプリングされたデータ値に基づき決定する。

## 【 0 1 3 5 】

図 1 5 に示すように、判定帰還型等化器 1 1 は、判定帰還型等化器 1 0 からバッファ回路 1 0 8、1 1 8 を削除し、D ラッチ回路 1 6 0、1 6 1、1 6 3、1 6 4、1 7 0、1 7 1、1 7 3、1 7 4、バッファ回路 1 6 2、1 6 5、1 6 6、1 7 2、1 7 5、1 7 6 を追加したものである。

## 【 0 1 3 6 】

D ラッチ回路 1 6 0、1 6 1、及び、バッファ回路 1 6 2 は、D ラッチ回路 1 2 0 が出力する第 2 のタップデータを第 1 のオフセットとしてミキサー 1 4 0 にフィードバックするフィードバック経路を構成する。D ラッチ回路 1 6 0 は、サンプリングクロック S M C L K ( 9 0 ) に基づき動作する。D ラッチ回路 1 6 1 は、サンプリングクロック S M C L K ( 2 7 0 ) に基づき動作する。バッファ回路 1 6 2 は、第 2 のタップデータに基づき  $w 1 / 2$  のオフセットをミキサー 1 4 0 に与える。

## 【 0 1 3 7 】

D ラッチ回路 1 6 3、1 6 4、及び、バッファ回路 1 6 5 は、D ラッチ回路 1 3 1 が出力する第 3 のタップデータを第 1 のオフセットとしてミキサー 1 4 0 にフィードバックするフィードバック経路を構成する。また、D ラッチ回路 1 6 3、1 6 4、及び、バッファ回路 1 6 6 は、D ラッチ回路 1 3 1 が出力する第 3 のタップデータを第 2 のオフセットとしてミキサー 1 4 4 にフィードバックするフィードバック経路を構成する。D ラッチ回路 1 6 3 は、サンプリングクロック S M C L K ( 9 0 ) に基づき動作する。D ラッチ回路 1 6 4 は、サンプリングクロック S M C L K ( 2 7 0 ) に基づき動作する。バッファ回路 1 6 5 は、第 3 のタップデータに基づき  $w 1 / 2$  のオフセットをミキサー 1 4 0 に与える。バッファ回路 1 6 6 は、第 3 のタップデータに基づき  $w 1$  のオフセットをミキサー 1 4 4 に与える。

## 【 0 1 3 8 】

D ラッチ回路 1 7 0、1 7 1、及び、バッファ回路 1 7 2 は、D ラッチ回路 1 3 0 が出力する第 2 のタップデータを第 1 のオフセットとしてミキサー 1 5 0 にフィードバックするフィードバック経路を構成する。D ラッチ回路 1 7 0 は、サンプリングクロック S M C L K ( 9 0 ) に基づき動作する。D ラッチ回路 1 7 1 は、サンプリングクロック S M C L K ( 2 7 0 ) に基づき動作する。バッファ回路 1 7 2 は、第 2 のタップデータに基づき  $w 1 / 2$  のオフセットをミキサー 1 5 0 に与える。

## 【 0 1 3 9 】

D ラッチ回路 1 7 3、1 7 4、及び、バッファ回路 1 7 5 は、D ラッチ回路 1 2 1 が出力する第 3 のタップデータを第 1 のオフセットとしてミキサー 1 5 0 にフィードバックするフィードバック経路を構成する。また、D ラッチ回路 1 7 3、1 7 4、及び、バッファ回路 1 7 6 は、D ラッチ回路 1 2 1 が出力する第 3 のタップデータを第 2 のオフセットとしてミキサー 1 5 4 にフィードバックするフィードバック経路を構成する。D ラッチ回路 1 7 3 は、サンプリングクロック S M C L K ( 9 0 ) に基づき動作する。D ラッチ回路 1 7 4 は、サンプリングクロック S M C L K ( 2 7 0 ) に基づき動作する。バッファ回路 1 7 5 は、第 3 のタップデータに基づき  $w 1 / 2$  のオフセットをミキサー 1 5 0 に与える。バッファ回路 1 7 6 は、第 3 のタップデータに基づき  $w 1$  のオフセットをミキサー 1 5 4 に与える。

## 【 0 1 4 0 】

10

20

30

40

50

ここで、実施の形態 2 にかかる判定帰還型等化器 11 では、ミキサー 140、150 にタップデータに基づき生成されるオフセットとして  $w1/2$  を 2 つ与える。そこで、実施の形態 2 にかかるミキサー 140 の回路図を図 16 に示す。なお、判定帰還型等化器 11 のミキサー 144 とバッファ回路 166 とを組み合わせた回路及びミキサー 154 とバッファ回路 176 とを組み合わせた回路は、図 7 に示したミキサー 140 と実質的に同じ回路であるため、説明を省略する。

#### 【0141】

図 16 に示す回路図では、実施の形態 2 にかかるミキサー 140 にオフセットを与える回路として、バッファ回路 162 及びバッファ回路 165 を示した。ミキサー 140 は、NMOS トランジスタ MN1、MN2、負荷抵抗 RL1、RL2、電流源を有する。また、バッファ回路 162、165 には電流源が共通に設けられる。バッファ回路 162 は、NMOS トランジスタ MN21、MN22 により構成される差動対を有する。バッファ回路 165 は、NMOS トランジスタ MN23、MN24 により構成される差動対を有する。

#### 【0142】

NMOS トランジスタ MN1 と NMOS トランジスタ MN2 とは、差動対を構成する。NMOS トランジスタ MN1 のゲートには、入力信号 Din のうち正の信号 INP が与えられる。NMOS トランジスタ MN2 のゲートには、入力信号 Din のうち負の信号 INN が与えられる。そして、電流源は、当該差動対に電流 I<sub>main</sub> を供給する。また、NMOS トランジスタ MN1 のドレインと電源電圧 VDD が供給される電源配線との間には負荷抵抗 RL1 が接続される。NMOS トランジスタ MN2 のドレインと電源電圧 VDD が供給される電源配線との間には負荷抵抗 RL2 が接続される。また、NMOS トランジスタ MN1 のドレインには、第 1 の出力配線を介して第 1 の出力端子 OUTN が接続される。NMOS トランジスタ MN2 のドレインには、第 2 の出力配線を介して第 2 の出力端子 OUTP が接続される。

#### 【0143】

続いて、バッファ回路 162 について説明する。NMOS トランジスタ MN21 のゲートには、D ラッチ回路 161 が出力するデータ値として与えられる差動信号のうち負の信号 FB0N が与えられる。NMOS トランジスタ MN22 のゲートには、D ラッチ回路 161 が出力するデータ値として与えられる差動信号のうち正の信号 FB0P が与えられる。また、NMOS トランジスタ MN21 のドレインは、第 1 の出力配線に接続される。NMOS トランジスタ MN22 のドレインは、第 2 の出力配線に接続される。

#### 【0144】

続いて、バッファ回路 165 について説明する。NMOS トランジスタ MN23 のゲートには、D ラッチ回路 164 が出力するデータ値として与えられる差動信号のうち負の信号 FB1N が与えられる。NMOS トランジスタ MN24 のゲートには、D ラッチ回路 164 が出力するデータ値として与えられる差動信号のうち正の信号 FB1P が与えられる。また、NMOS トランジスタ MN23 のドレインは、第 1 の出力配線に接続される。NMOS トランジスタ MN24 のドレインは、第 2 の出力配線に接続される。

#### 【0145】

そして、電流源は、バッファ回路 162 の差動対と、バッファ回路 166 の差動対に電流 I<sub>w1</sub> を供給する。つまり、判定帰還型等化器 11 では、バッファ回路 162 とバッファ回路 165 とにそれぞれ電流値が  $Iw1/2$  となる電流が供給される。

#### 【0146】

ミキサー 140 では、入力信号 Din のレベルに応じて電流源から与えられる電流 I<sub>main</sub> を負荷抵抗 RL1 と負荷抵抗 RL2 のいずれに与えるかを切り替えることで、ミキサー 140 の出力の論理レベルを切り替える。また、バッファ回路 162、165 は、データ値の論理レベルに応じて、それぞれ電流  $Iw1/2$  を負荷抵抗 RL1 と負荷抵抗 RL2 のいずれに与えるかを切り替える。つまり、バッファ回路 162、166 は、それぞれが独立して電流  $Iw1/2$  を第 1 の出力配線及び第 2 の出力配線に出力することでミキサ

- 140の信号レベルにオフセットを与える。

【0147】

続いて、実施の形態2にかかる判定帰還型等化器11の動作について説明する。判定帰還型等化器11におけるデータ値のサンプリングについては、実施の形態1にかかる判定帰還型等化器10と同じであるため、ここでは説明を省略する。一方、判定帰還型等化器11におけるエッジ値のサンプリングは、フィードバックするデータ値が実施の形態1にかかる判定帰還型等化器10とは異なるため、実施の形態1とは異なる動作となる。そこで、以下では、実施の形態2にかかる判定帰還型等化器11のエッジ値のサンプリング動作について説明する。

【0148】

図17に実施の形態2にかかる半導体装置における第2のタップデータ及び第3のタップデータのパターンとエッジサンプリング回路のオフセットとの関係を示す図を示す。図17に示すように、実施の形態2にかかる判定帰還型等化器11では、エッジ値 $e(n)$ のサンプリングに用いるオフセットは、2つ前のサンプリング期間で決定された第2のタップデータ(以下、データ値 $x(n-2)$ と称す)と、3つ前のサンプリング期間で決定された第3のタップデータ(以下、データ値 $x(n-3)$ と称す)と、に基づき決定される。より具体的には、データ値 $x(n-3)$ とデータ値 $x(n-2)$ の組み合わせと、各組み合わせに対して期待される第1のエッジ値 $e_a(n)$ 及び第2のエッジ値 $e_b(n)$ と、の関係は、図17の下段の表に示される関係となる。

【0149】

具体的には、データ値 $x(n-3)$ が0、かつ、データ値 $x(n-2)$ が0である場合、第1のエッジ値 $e_a(n)$ のサンプリングに用いられる第1のオフセットは $-w_1$ 、第2のエッジ値 $e_b(n)$ のサンプリングに用いられる第2のオフセットは $+w_1$ となる。データ値 $x(n-3)$ が1、かつ、データ値 $x(n-2)$ が0である場合、第1のエッジ値 $e_a(n)$ のサンプリングに用いられる第1のオフセットは0、第2のエッジ値 $e_b(n)$ のサンプリングに用いられる第2のオフセットは $-w_1$ となる。データ値 $x(n-3)$ が0、かつ、データ値 $x(n-2)$ が1である場合、第1のエッジ値 $e_a(n)$ のサンプリングに用いられる第1のオフセットは0、第2のエッジ値 $e_b(n)$ のサンプリングに用いられる第2のオフセットは $+w_1$ となる。データ値 $x(n-3)$ が1、かつ、データ値 $x(n-2)$ が1である場合、第1のエッジ値 $e_a(n)$ のサンプリングに用いられる第1のオフセットは $+w_1$ 、第2のエッジ値 $e_b(n)$ のサンプリングに用いられる第2のオフセットは $-w_1$ となる。

【0150】

ここで、図11及び図12を用いて説明したように、入力信号 $D_{in}$ の信号波形は、現サンプリング期間の前後のデータ値の大きさに応じて、エッジ値のサンプリングに用いるオフセットを変更する必要がある。そこで、実施の形態2にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示す表を図18に示す。

【0151】

図18では、16個のケースを挙げた。ケース1からケース4は、データ値 $x(n-3)$ とデータ値 $x(n-2)$ の組み合わせとして考えられる4つのパターンに対して、現サンプリング期間のデータ値 $x(n-1)$ と、現サンプリング期間のデータ値 $x(n)$ と、1つ後のサンプリング期間のデータ値 $x(n+1)$ と、の組み合わせを001としたものである。ケース5からケース8は、データ値 $x(n-3)$ とデータ値 $x(n-2)$ の組み合わせとして考えられる4つのパターンに対して、現サンプリング期間のデータ値 $x(n-1)$ と、現サンプリング期間のデータ値 $x(n)$ と、1つ後のサンプリング期間のデータ値 $x(n+1)$ と、の組み合わせを101としたものである。ケース9からケース12は、データ値 $x(n-3)$ とデータ値 $x(n-2)$ の組み合わせとして考えられる4つのパターンに対して、現サンプリング期間のデータ値 $x(n-1)$ と、現サンプリング期間のデータ値 $x(n)$ と、1つ後のサンプリング期間のデータ値 $x(n+1)$ と、の組み合

10

20

30

40

50

わせを010としたものである。ケース13からケース16は、データ値 $x(n-3)$ とデータ値 $x(n-2)$ の組み合わせとして考えられる4つのパターンに対して、現サンプリング期間のデータ値 $x(n-1)$ と、現サンプリング期間のデータ値 $x(n)$ と、1つ後のサンプリング期間のデータ値 $x(n+1)$ と、の組み合わせを110としたものである。

【0152】

まず、ケース1からケース4では、時間的に後から入力される3つのデータ値のパターンが001であるため、オフセットとして期待される値は $-w1$ である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが $-w1$ となるのは、ケース1、2、4の3つの場合である。つまり、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが00となるケース1でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが10となるケース2でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが11となるケース4でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。一方、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが01となるケース3では、オフセットを $-w1$ としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置1は有効なエッジ値 $e(n)$ を取得できない。

【0153】

ケース5からケース8では、時間的に後から入力される3つのデータ値のパターンが101であるため、オフセットとして期待される値は0である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが0となるのは、ケース6、7の2つの場合である。つまり、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが10となるケース6でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが01となるケース7でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。一方、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが00となるケース5と、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが11となるケース7と、では、オフセットを0としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置1は有効なエッジ値 $e(n)$ を取得できない。

【0154】

ケース9からケース12では、時間的に後から入力される3つのデータ値のパターンが010であるため、オフセットとして期待される値は0である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが0となるのは、ケース10、11の2つの場合である。つまり、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが10となるケース10でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが01となるケース11でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。一方、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが00となるケース9と、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが11となるケース11と、では、オフセットを0としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置1は有効なエッジ値 $e(n)$ を取得できない。

【0155】

ケース13からケース16では、時間的に後から入力される3つのデータ値のパターンが110であるため、オフセットとして期待される値は $+w1$ である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが $+w1$ となるのは、ケース13、15、16の3つの場合である。つまり、データ値 $x(n-3)$ とデ

10

20

30

40

50

ータ値  $x(n-2)$  との組み合わせが 00 となるケース 13 でエッジ値  $e_b(n)$  を選択することで、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できる。データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 01 となるケース 15 でエッジ値  $e_b(n)$  を選択することで、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できる。データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 11 となるケース 16 でエッジ値  $e_b(n)$  を選択することで、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できる。一方、データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 10 となるケース 14 では、オフセットを  $+w_1$  としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できない。

【0156】

10

図 18 に示す表に基づき、実施の形態 2 にかかるパターンフィルタ 20 の有効性フラグ  $e(n)_{valid}$  の論理式を考えると、有効性フラグ  $e(n)_{valid}$  の論理式は (1) 式で表される。なお、(1) 式では、データ値  $x(n-3)$  を A、データ値  $x(n-2)$  を B、データ値  $x(n-1)$  を C、データ値  $x(n)$  を D、データ値  $x(n+1)$  を E として表現した。

$$e(n)_{valid} = (\sim B * \sim C + \sim(A \wedge B \wedge C)) * \sim D * E + (B * C + A \wedge B \wedge C) * D * \sim E \dots (1)$$

【0157】

また、図 18 に示す表に基づき、実施の形態 2 にかかるパターンフィルタ 20 の選択信号  $e\_sel(n)$  の論理式を考えると、選択信号  $e\_sel(n)$  の論理式は (2) 式で表される。なお、(2) 式においても、(1) と同じ意味で A ~ E を用いる。

20

$$e\_sel(n) = A * \sim C * \sim D + \sim A * C * D \dots (2)$$

【0158】

上記 (1) 式及び (2) 式に基づきエッジ有効性判断回路 209 及びエッジ有効性判断回路 216 の論理回路を構成することで、実施の形態 2 にかかる半導体装置 1 では、16 個の入力データパターンに対して、有効なエッジ値を取得できる入力データパターンは 10 個になる。そこで、図 19 に実施の形態 2 にかかる半導体装置において有効なエッジ値をサンプリング可能なデータ値のパターンを示す表を示す。なお、図 19 に示す表において、データ値が X となっている部分については、0 と 1 とのいずれの値も取り得ることを意味する。この図 19 に示す表は、図 18 で有効なエッジ値を取得できる入力データパターンをまとめたものである。

30

【0159】

この図 19 に含まれないデータパターンが入力された場合、有効なエッジ値  $e(n)$  が取得できないため CDR 回路の位相追従性が劣化することが考えられる。しかしながら、無効なエッジ値に時間的に近いタイミングで有効なエッジが存在すれば、CDR の位相追従性への影響はほとんど無視できる。そこで、図 19 に含まれないデータパターンにおいて有効なエッジ値がいずれのタイミングで取得できるかを以下で検討する。そこで、図 20 に有効なエッジ値を取得可能なデータ列のうちエッジ値  $e(n)$  に最も近いデータ列を説明する表を示す。

【0160】

40

図 20 に示すように、図 19 の表で正しくエッジ値をサンプリングできないと判断されているケース 3、5、8 においても、3 UI よりも前のデータを加味すると、取得すべきエッジ値  $e(n)$  の 4 UI 以内に有効なエッジ値を取得できる。また、ケース 9、12、14 は、図 19 において正しくエッジ値をサンプリングできないとされているが、ケース 9、12、14 は、ケース 8、5、3 を反転したものであり、ケース 8、5、3 と同様に 4 UI 以内に有効なエッジ値を取得することができる。

【0161】

このように、実施の形態 2 にかかる半導体装置 1 では、無効なエッジ値  $e(n)$  がサンプリングされる入力データパターンが実施の形態 1 に比べて多くなるが、無効なエッジ値  $e(n)$  の時間的に近い位置に有効なエッジ値を検出できる。そのため、実施の形態 2 に

50

かかる半導体装置 1 では、C D R 回路の位相追従性を実施の形態 1 と同等に維持することができる。

【 0 1 6 2 】

上記説明より、実施の形態 2 にかかる判定帰還型等化器 1 1 では、第 2 のタップデータ及び第 3 のタップデータに基づきエッジサンプリング回路に与える第 1 のオフセット及び第 2 のオフセットを生成する。従って、実施の形態 2 にかかる判定帰還型等化器 1 1 では、実施の形態 1 にかかる判定帰還型等化器 1 0 よりもフィードバック経路のタイミング制約を緩和することができる。

【 0 1 6 3 】

また、実施の形態 2 にかかる判定帰還型等化器 1 1 を含む半導体装置 1 では、有効なエッジ値を取得できる入力データパターンが、実施の形態 1 にかかる半導体装置 1 よりも少ない。しかしながら、無効なエッジ値  $e(n)$  の時間的に近い範囲（例えば、4 UI 以内）で有効なエッジ値を取得できる。そのため、実施の形態 2 にかかる半導体装置 1 では、実施の形態 1 にかかる半導体装置 1 と同等の位相追従性を確保することができる。

10

【 0 1 6 4 】

また、実施の形態 2 にかかる半導体装置 1 では、実施の形態 1 とは異なる論理回路で構成されるパターンフィルタ 2 0 を用いるため、パターンフィルタ 2 0 の回路面積が増加する。しかし、実施の形態 2 にかかる判定帰還型等化器 1 1 は、フィードバック経路のタイミング制約が緩和されているため、判定帰還型等化器 1 1 のフィードバック経路の回路面積及び消費電流を削減できる。そして、判定帰還型等化器 1 1 の回路面積及び消費電力の削減によるメリットは、パターンフィルタ 2 0 の回路面積の増加のデメリットを上回る。

20

【 0 1 6 5 】

実施の形態 3

実施の形態 3 では、実施の形態 1 の判定帰還型等化器 1 0 の別の形態となる判定帰還型等化器 1 2 について説明する。なお、実施の形態 3 の説明において、実施の形態 1 で説明した構成要素については、実施の形態 1 と同じ符号を付して、説明を省略する。

【 0 1 6 6 】

図 2 1 に実施の形態 3 にかかる判定帰還型等化器 1 2 の回路図を示す。この図 2 1 では、D ラッチ回路 1 2 0 ~ 1 2 4 により構成されるシフトレジスタの D ラッチ回路 1 2 2 ~ 1 2 4 と、D ラッチ回路 1 3 0 ~ 1 3 4 により構成されるシフトレジスタの D ラッチ回路 1 3 2 ~ 1 3 4 と、の図示を省略した。図 2 1 に示すように、判定帰還型等化器 1 2 は、エッジサンプリング回路へのフィードバック経路の論理が判定帰還型等化器 1 0 とは異なる。

30

【 0 1 6 7 】

具体的には、実施の形態 3 にかかる判定帰還型等化器 1 2 は、現サンプリング期間における一方のサンプリング回路の第 1 のオフセット及び第 2 のオフセットは、2 つ前のサンプリング期間でサンプリングされたデータ値と、3 つ前のサンプリング期間でサンプリングされたデータ値と、に基づき決定する。

【 0 1 6 8 】

図 2 1 に示すように、判定帰還型等化器 1 2 は、判定帰還型等化器 1 0 からバッファ回路 1 0 8、1 1 8 を削除し、D ラッチ回路 1 6 0、1 6 1、1 6 3、1 6 4、1 7 0、1 7 1、1 7 3、1 7 4、バッファ回路 1 8 0、1 8 1、1 9 0、1 9 1、NAND 回路 1 8 2、1 8 3、1 9 2、1 9 3 を追加したものである。

40

【 0 1 6 9 】

D ラッチ回路 1 6 0、1 6 1、バッファ回路 1 8 0、及び、NAND 回路 1 8 2 は、D ラッチ回路 1 2 0 が出力する第 2 のタップデータと、D ラッチ回路 1 3 1 が出力する第 3 のタップデータと、を第 1 のオフセットとしてミキサ 1 4 0 にフィードバックするフィードバック経路を構成する。NAND 回路 1 8 2 は、第 2 のタップデータの反転値と、第 3 のタップデータと、の反転論理積を D ラッチ回路 1 6 0 に与える。D ラッチ回路 1 6 0 は、サンプリングクロック S M C L K ( 9 0 ) に基づき動作する。D ラッチ回路 1 6 1 は

50

、サンプリングクロックSMCLK(270)に基づき動作する。バッファ回路180は、NAND回路182の出力値に基づきオフセット量が $w_1$ 又は0となる第1のオフセットをミキサー140に与える。

【0170】

Dラッチ回路163、164、バッファ回路181、及び、NAND回路183は、Dラッチ回路120が出力する第2のタップデータと、Dラッチ回路131が出力する第3のタップデータと、を第2のオフセットとしてミキサー144にフィードバックするフィードバック経路を構成する。NAND回路183は、第3のタップデータの反転値と、第2のタップデータと、の反転論理積をDラッチ回路163に与える。Dラッチ回路163は、サンプリングクロックSMCLK(90)に基づき動作する。Dラッチ回路164は、サンプリングクロックSMCLK(270)に基づき動作する。バッファ回路181は、NAND回路183の出力値に基づきオフセット量が $-w_1$ 又は0となる第2のオフセットをミキサー144に与える。

10

【0171】

Dラッチ回路170、171、バッファ回路190、及び、NAND回路192は、Dラッチ回路130が出力する第2のタップデータと、Dラッチ回路121が出力する第3のタップデータと、を第1のオフセットとしてミキサー150にフィードバックするフィードバック経路を構成する。NAND回路192は、第2のタップデータの反転値と、第3のタップデータと、の反転論理積をDラッチ回路170に与える。Dラッチ回路170は、サンプリングクロックSMCLK(90)に基づき動作する。Dラッチ回路171は、サンプリングクロックSMCLK(270)に基づき動作する。バッファ回路172は、NAND回路192の出力値に基づきオフセット量が $w_1$ 又は0となる第1のオフセットをミキサー150に与える。

20

【0172】

Dラッチ回路173、174、バッファ回路191、及び、NAND回路193は、Dラッチ回路130が出力する第2のタップデータと、Dラッチ回路121が出力する第3のタップデータと、を第2のオフセットとしてミキサー154にフィードバックするフィードバック経路を構成する。NAND回路193は、第3のタップデータの反転値と、第2のタップデータと、の反転論理積をDラッチ回路173に与える。Dラッチ回路173は、サンプリングクロックSMCLK(90)に基づき動作する。Dラッチ回路174は、サンプリングクロックSMCLK(270)に基づき動作する。バッファ回路192は、NAND回路193の出力値に基づきオフセット量が $-w_1$ 又は0となる第2のオフセットをミキサー154に与える。

30

【0173】

ここで、実施の形態3にかかる判定帰還型等化器12では、ミキサー140、150にタップデータに基づき生成されるオフセットとして $w_1$ 又は0を与え、ミキサー144、154にタップデータに基づき生成されるオフセットとして $-w_1$ 又は0を与える。そこで、実施の形態3にかかるミキサー140の回路図を図16に示す。なお、判定帰還型等化器12のミキサー144、150、154は、ミキサー140と実質的に同じ回路であるため、説明を省略する。

40

【0174】

図22に示す回路図では、実施の形態3にかかるミキサー140にオフセット与える回路として、バッファ回路180を示した。ミキサー140は、NMOSトランジスタMN1、MN2、負荷抵抗RL1、RL2、電流源を有する。また、バッファ回路162、165には電流源が共通に設けられる。バッファ回路162は、NMOSトランジスタMN21、MN22により構成される差動対を有する。バッファ回路165は、NMOSトランジスタMN23、MN24により構成される差動対を有する。

【0175】

NMOSトランジスタMN1とNMOSトランジスタMN2とは、差動対を構成する。NMOSトランジスタMN1のゲートには、入力信号Dinのうち正の信号INPが与え

50

られる。NMOSトランジスタMN2のゲートには、入力信号Dinのうち負の信号INNが与えられる。そして、電流源は、当該差動対に電流Imainを供給する。また、NMOSトランジスタMN1のドレインと電源電圧VDDが供給される電源配線との間には負荷抵抗RL1が接続される。NMOSトランジスタMN2のドレインと電源電圧VDDが供給される電源配線との間には負荷抵抗RL2が接続される。また、NMOSトランジスタMN1のドレインには、第1の出力配線を介して第1の出力端子OUTNが接続される。NMOSトランジスタMN2のドレインには、第2の出力配線を介して第2の出力配線を介して第2の出力端子OUTPが接続される。

【0176】

続いて、バッファ回路180について説明する。バッファ回路180は、NMOSトランジスタMN31~MN34、電流源を有する。NMOSトランジスタMN31~MN34のソースは、電流源に共通接続される。NMOSトランジスタMN31のゲートは、電源電圧VDDが供給される電源端子に接続される。NMOSトランジスタMN31のドレインは、第1の出力配線に接続される。NMOSトランジスタMN32のゲートには、Dラッチ回路161が出力するデータ値として与えられる差動信号のうち負の信号FBNが与えられる。NMOSトランジスタMN32のドレインは、第1の出力配線に接続される。NMOSトランジスタMN33のゲートには、Dラッチ回路161が出力するデータ値として与えられる差動信号のうち正の信号FBPが与えられる。NMOSトランジスタMN33のドレインは、第2の出力配線に接続される。NMOSトランジスタMN34のゲートは、接地電圧が供給される接地端子に接続される。NMOSトランジスタMN34のドレインは、第2の出力配線に接続される。

【0177】

ミキサー140では、入力信号Dinのレベルに応じて電流源から与えられる電流Imainを負荷抵抗RL1と負荷抵抗RL2のいずれに与えるかを切り替えることで、ミキサー140の出力の論理レベルを切り替える。また、バッファ回路180は、フィードバックされたデータ値の論理レベルが1であれば電流Iw1を負荷抵抗RL1に与え、フィードバックされたデータ値の論理レベルが0であれば負荷抵抗RL1、RL2への電流Iw1の供給を停止する。つまり、バッファ回路180は、ミキサー140の信号レベルにオフセット量がw1又は0となるオフセットを与える。

【0178】

なお、ミキサー144、154は、図22に示したNMOSトランジスタMN32のゲートに正の信号FBPが与えられ、NMOSトランジスタMN33のゲートに負の信号FBNが与えられる。

【0179】

続いて、実施の形態3にかかる判定帰還型等化器12の動作について説明する。判定帰還型等化器12におけるデータ値のサンプリングについては、実施の形態1にかかる判定帰還型等化器10と同じであるため、ここでは説明を省略する。一方、判定帰還型等化器12におけるエッジ値のサンプリングは、フィードバックするデータ値が実施の形態1にかかる判定帰還型等化器10とは異なるため、実施の形態1とは異なる動作となる。そこで、以下では、実施の形態3にかかる判定帰還型等化器12のエッジ値のサンプリング動作について説明する。

【0180】

実施の形態3にかかる半導体装置における第2のタップデータ及び第3のタップデータのパターンとエッジサンプリング回路のオフセットとの関係を示す表を図23に示す。図23に示すように、実施の形態3にかかる判定帰還型等化器12では、エッジ値e(n)のサンプリングに用いるオフセットは、2つ前のサンプリング期間で決定されたデータ値x(n-2)と、3つ前のサンプリング期間で決定されたデータ値x(n-3)と、に基づき決定される。より具体的には、データ値x(n-3)とデータ値x(n-2)の組み合わせと、各組み合わせに対して期待される第1のエッジ値ea(n)及び第2のエッジ値eb(n)と、の関係は、以下のようになる。

10

20

30

40

50

## 【0181】

具体的には、データ値  $x(n-3)$  が 0、かつ、データ値  $x(n-2)$  が 0 である場合、第 1 のエッジ値  $e_a(n)$  のサンプリングに用いられる第 1 のオフセットは  $-w_1$ 、第 2 のエッジ値  $e_b(n)$  のサンプリングに用いられる第 2 のオフセットは  $+w_1$  となる。データ値  $x(n-3)$  が 1、かつ、データ値  $x(n-2)$  が 0 である場合、第 1 のエッジ値  $e_a(n)$  のサンプリングに用いられる第 1 のオフセットは  $-w_1$ 、第 2 のエッジ値  $e_b(n)$  のサンプリングに用いられる第 2 のオフセットは 0 となる。データ値  $x(n-3)$  が 0、かつ、データ値  $x(n-2)$  が 1 である場合、第 1 のエッジ値  $e_a(n)$  のサンプリングに用いられる第 1 のオフセットは 0、第 2 のエッジ値  $e_b(n)$  のサンプリングに用いられる第 2 のオフセットは  $+w_1$  となる。データ値  $x(n-3)$  が 1、かつ、データ値  $x(n-2)$  が 1 である場合、第 1 のエッジ値  $e_a(n)$  のサンプリングに用いられる第 1 のオフセットは  $-w_1$ 、第 2 のエッジ値  $e_b(n)$  のサンプリングに用いられる第 2 のオフセットは  $+w_1$  となる。

10

## 【0182】

ここで、図 1 1 及び図 1 2 を用いて説明したように、入力信号  $D_{in}$  の信号波形は、現サンプリング期間の前後のデータ値の大きさに応じて、エッジ値のサンプリングに用いるオフセットを変更する必要がある。そこで、実施の形態 3 にかかる半導体装置に入力されるデータ値のパターンとエッジサンプリング回路のオフセットとの関係を示す表を図 2 4 に示す。

## 【0183】

図 2 4 では、16 個のケースを挙げた。ケース 1 からケース 4 は、データ値  $x(n-3)$  とデータ値  $x(n-2)$  の組み合わせとして考えられる 4 つのパターンに対して、現サンプリング期間のデータ値  $x(n-1)$  と、現サンプリング期間のデータ値  $x(n)$  と、1 つ後のサンプリング期間のデータ値  $x(n+1)$  と、の組み合わせを 001 としたものである。ケース 5 からケース 8 は、データ値  $x(n-3)$  とデータ値  $x(n-2)$  の組み合わせとして考えられる 4 つのパターンに対して、現サンプリング期間のデータ値  $x(n-1)$  と、現サンプリング期間のデータ値  $x(n)$  と、1 つ後のサンプリング期間のデータ値  $x(n+1)$  と、の組み合わせを 101 としたものである。ケース 9 からケース 12 は、データ値  $x(n-3)$  とデータ値  $x(n-2)$  の組み合わせとして考えられる 4 つのパターンに対して、現サンプリング期間のデータ値  $x(n-1)$  と、現サンプリング期間のデータ値  $x(n)$  と、1 つ後のサンプリング期間のデータ値  $x(n+1)$  と、の組み合わせを 010 としたものである。ケース 13 からケース 16 は、データ値  $x(n-3)$  とデータ値  $x(n-2)$  の組み合わせとして考えられる 4 つのパターンに対して、現サンプリング期間のデータ値  $x(n-1)$  と、現サンプリング期間のデータ値  $x(n)$  と、1 つ後のサンプリング期間のデータ値  $x(n+1)$  と、の組み合わせを 110 としたものである。

20

30

## 【0184】

まず、ケース 1 からケース 4 では、時間的に後から入力される 3 つのデータ値のパターンが 001 であるため、オフセットとして期待される値は  $-w_1$  である。このとき、データ値  $x(n-3)$  とデータ値  $x(n-2)$  とに基づき決定されるオフセットが  $-w_1$  となるのは、ケース 1、2、4 の 3 つの場合である。つまり、データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 00 となるケース 1 でエッジ値  $e_a(n)$  を選択することで、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できる。データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 10 となるケース 2 でエッジ値  $e_a(n)$  を選択することで、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できる。データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 11 となるケース 4 でエッジ値  $e_b(n)$  を選択することで、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できる。一方、データ値  $x(n-3)$  とデータ値  $x(n-2)$  との組み合わせが 01 となるケース 3 では、オフセットを  $-w_1$  としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置 1 は有効なエッジ値  $e(n)$  を取得できない。

40

50

## 【 0 1 8 5 】

ケース5からケース8では、時間的に後から入力される3つのデータ値のパターンが101であるため、オフセットとして期待される値は0である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが0となるのは、ケース6、7の2つの場合である。つまり、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが10となるケース6でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが01となるケース7でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。一方、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが00となるケース5と、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが11となるケース7と、では、オフセットを0としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置1は有効なエッジ値 $e(n)$ を取得できない。

10

## 【 0 1 8 6 】

ケース9からケース12では、時間的に後から入力される3つのデータ値のパターンが010であるため、オフセットとして期待される値は0である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが0となるのは、ケース10、11の2つの場合である。つまり、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが10となるケース10でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが01となるケース11でエッジ値 $e_a(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。一方、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが00となるケース9と、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが11となるケース11と、では、オフセットを0としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置1は有効なエッジ値 $e(n)$ を取得できない。

20

## 【 0 1 8 7 】

ケース13からケース16では、時間的に後から入力される3つのデータ値のパターンが110であるため、オフセットとして期待される値は $+w_1$ である。このとき、データ値 $x(n-3)$ とデータ値 $x(n-2)$ とに基づき決定されるオフセットが $+w_1$ となるのは、ケース13、15、16の3つの場合である。つまり、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが00となるケース13でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが01となるケース15でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが11となるケース16でエッジ値 $e_b(n)$ を選択することで、半導体装置1は有効なエッジ値 $e(n)$ を取得できる。一方、データ値 $x(n-3)$ とデータ値 $x(n-2)$ との組み合わせが10となるケース14では、オフセットを $+w_1$ としてエッジ値を出力するエッジサンプリング回路がないため、半導体装置1は有効なエッジ値 $e(n)$ を取得できない。

30

40

## 【 0 1 8 8 】

なお、実施の形態3にかかる半導体装置1においても、パターンフィルタ20の論理は、図24の組み合わせに基づき論理回路が構成される。しかし、ここでは論理式の説明は省略する。

## 【 0 1 8 9 】

また、図24に示すように、実施の形態3にかかる半導体装置1において有効なエッジ値を取得できない入力データパターンは、図18に示した実施の形態2の例と同じである。つまり、実施の形態3にかかる半導体装置1においても、実施の形態2と同様に、無効なエッジ値と時間的に近い範囲(例えば、 $4UI$ 以内)で有効なエッジ値を取得することができる。

50

## 【 0 1 9 0 】

上記説明より、実施の形態 3 にかかる判定帰還型等化器 1 2 の例は、実施の形態 2 にかかる判定帰還型等化器 1 1 と実質的に同じ動作となる。そのため、実施の形態 3 にかかる判定帰還型等化器 1 2 においても、実施の形態 1、2 にかかる判定帰還型等化器と同様に、フィードバック経路のタイミング制約を緩和し、回路面積及び消費電力を低減することができる。

## 【 0 1 9 1 】

また、実施の形態 3 にかかる半導体装置 1 において取得可能な有効なエッジ値は、実施の形態 2 と同じになる。そのため、実施の形態 3 にかかる半導体装置 1 においても、実施の形態 2 にかかる半導体装置 1 と同様に、高い位相追従性を確保することができる。

10

## 【 0 1 9 2 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

## 【 0 1 9 3 】

例えば、上記の実施の形態に係る半導体装置では、半導体基板、半導体層、拡散層（拡散領域）などの導電型（p 型もしくは n 型）を反転させた構成としてもよい。そのため、n 型、及び p 型の一方の導電型を第 1 の導電型とし、他方の導電型を第 2 の導電型とした場合、第 1 の導電型を p 型、第 2 の導電型を n 型とすることもできるし、反対に第 1 の導電型を n 型、第 2 の導電型を p 型とすることもできる。

20

## 【 0 1 9 4 】

また、上記の実施の形態の説明は、信号の論理レベルを明示して説明したが、信号の論理レベルを、第 1 の論理レベルと、第 1 の論理レベルとは反転した論理レベルを有する第 2 の論理レベルと、を用いて表現することもできる。つまり、上記説明では、回路を動作させる論理レベルの一例を示したものであり、論理レベルを反転して考えることもできる。

## 【 符号の説明 】

## 【 0 1 9 5 】

- 1 半導体装置
- 10 ~ 12 判定帰還型等化器
- 20 パターンフィルタ
- 30 位相検出回路
- 40 位相制御回路
- 50 位相シフト部
- 60 PLL 回路
- 100、101、104、110、111、114 ミキサー
- 102、105、112、115 データサンプラー
- 103、106、113、116 D ラッチ回路
- 107、117 セレクタ
- 108、118 バッファ回路
- 120 ~ 124 D ラッチ回路
- 125 バッファ回路
- 130 ~ 134 D ラッチ回路
- 135 バッファ回路
- 140、144 ミキサー
- 141、145 エッジサンプラー
- 142、143、146、147 D ラッチ回路
- 150、154 ミキサー
- 151、155 エッジサンプラー
- 152、153、156、157 D ラッチ回路

30

40

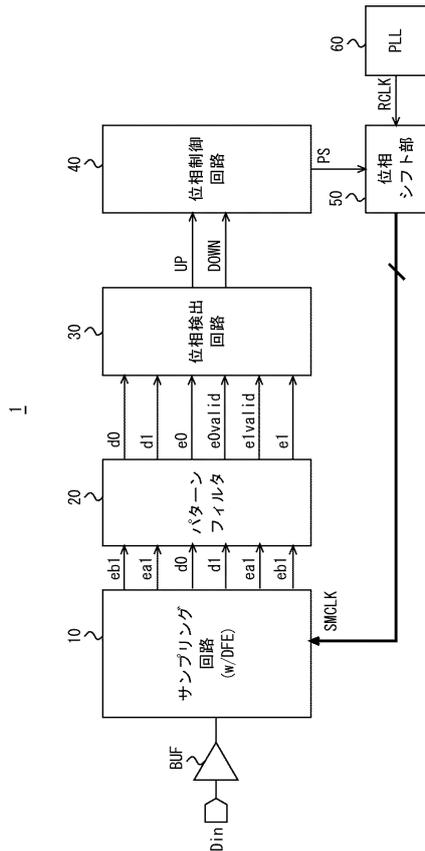
50

- 160、161、163、164 Dラッチ回路
- 162、165、166 バッファ回路
- 170、171、173、174 Dラッチ回路
- 172、175、176 バッファ回路
- 180、181 バッファ回路
- 182、183 NAND回路
- 190、191 バッファ回路
- 192、193 NAND回路
- 200～203、205～208、211～214 フリップフロップ回路
- 209、216 エッジ有効性判断回路
- 210、217 セレクタ
- 220、221、223、224、225 データ遷移判定回路
- 222、226 NAND回路
- 230、231、232、234 データ遷移判定回路
- 233、235 NAND回路
- 300、310 EXOR回路
- 301、311 インバータ
- 302、303、312、313 AND回路
- 320 多数決回路
- 321、324 OR回路
- 322、325 AND回路
- 323、326 インバータ

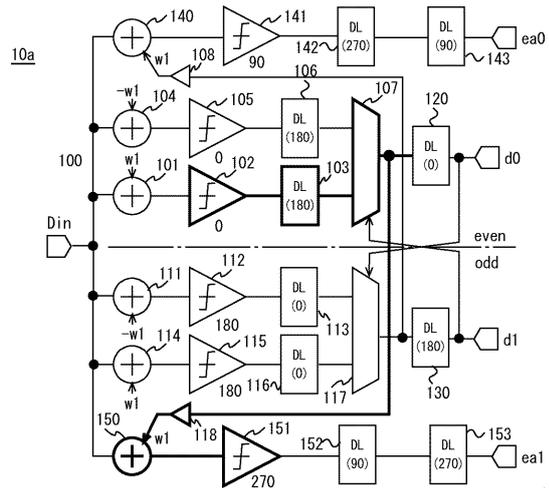
10

20

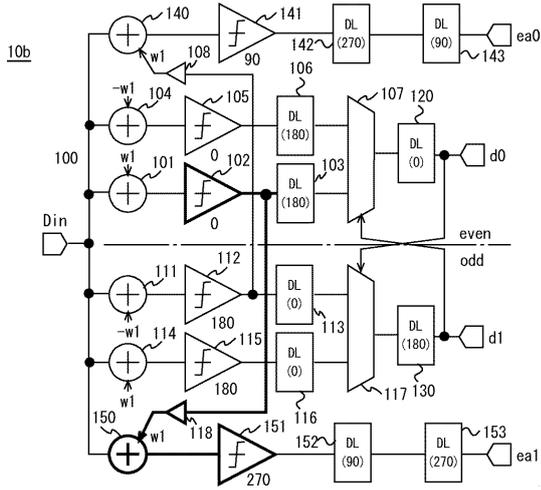
【図1】



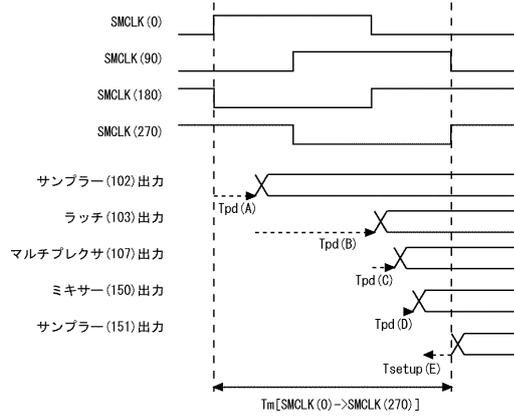
【図2】



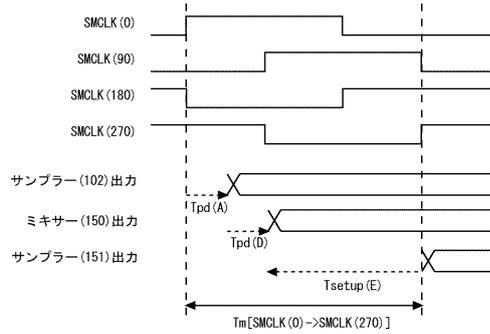
【図3】



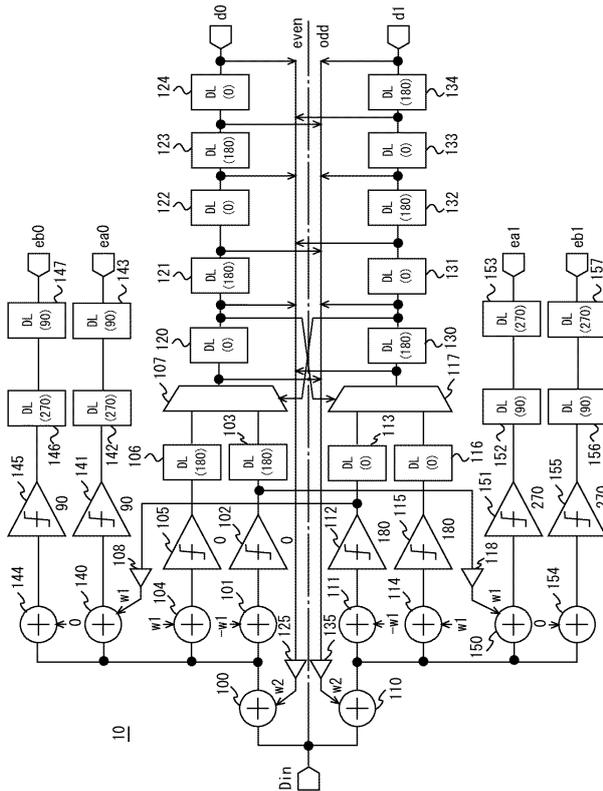
【図4】



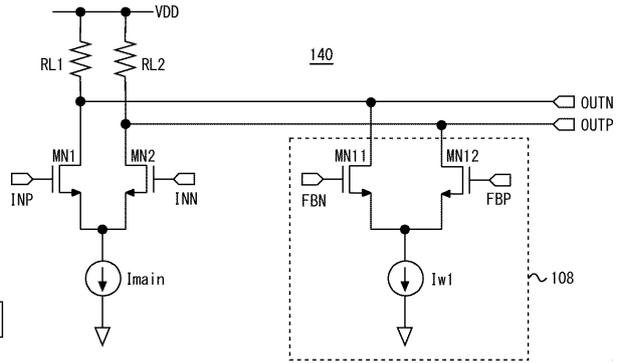
【図5】



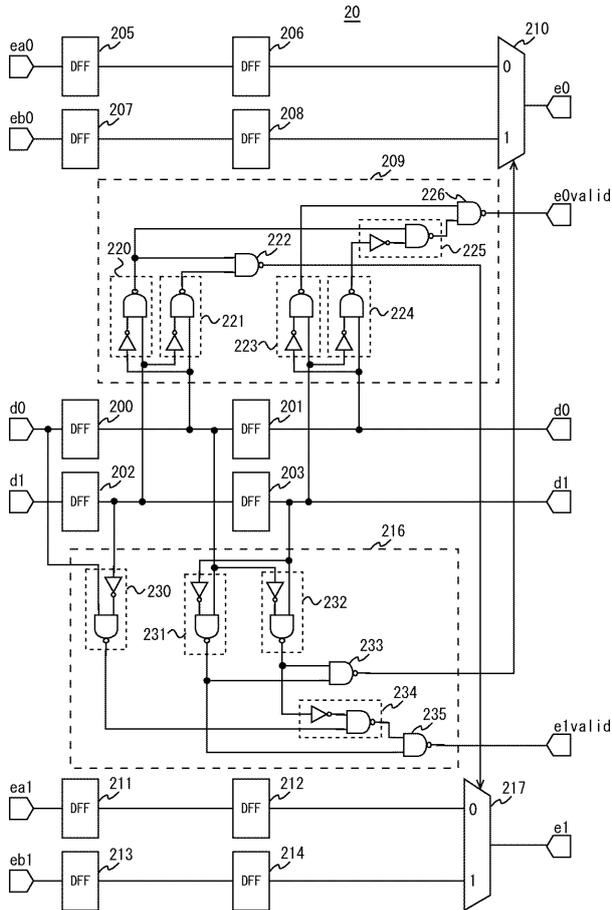
【図6】



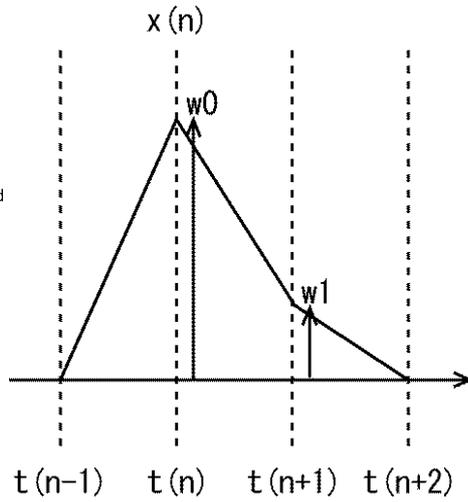
【図7】



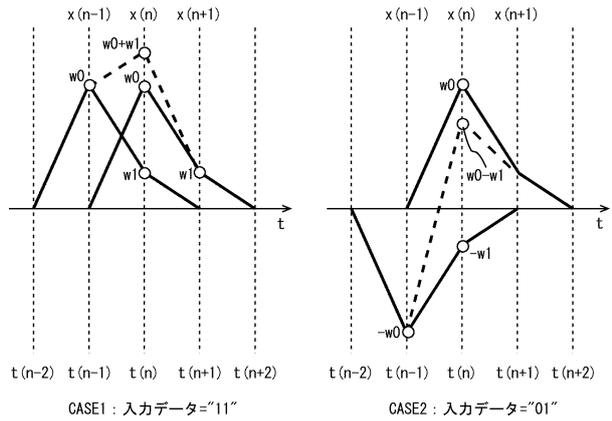
【図8】



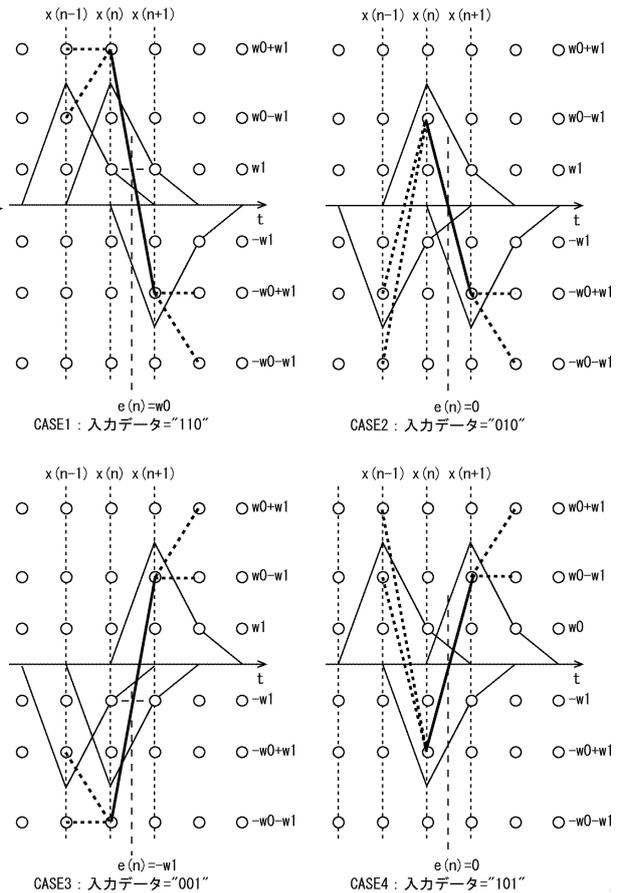
【図9】



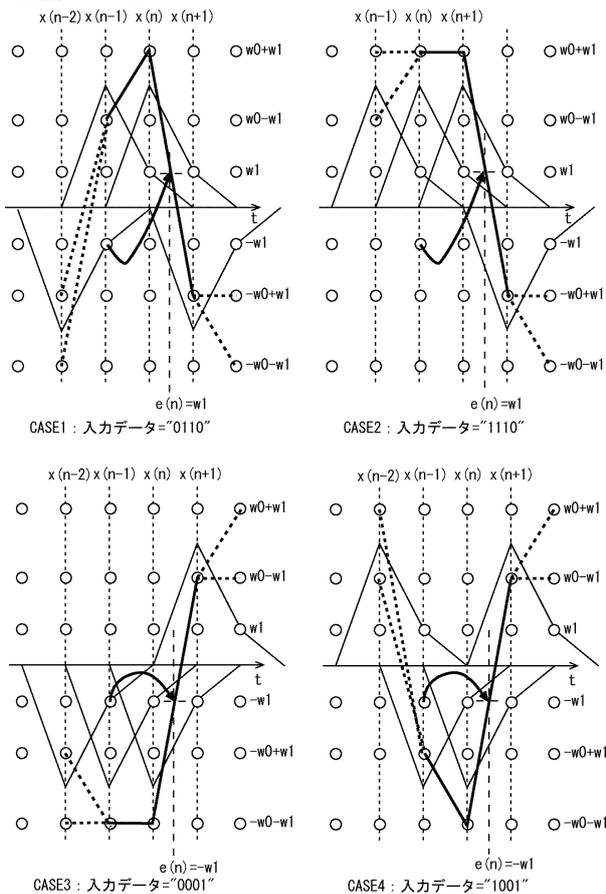
【図10】



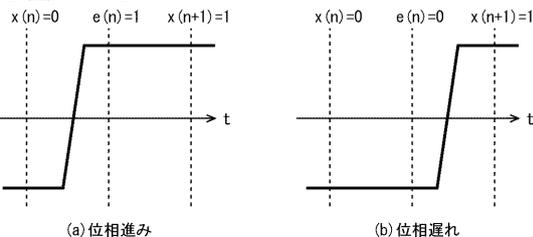
【図11】



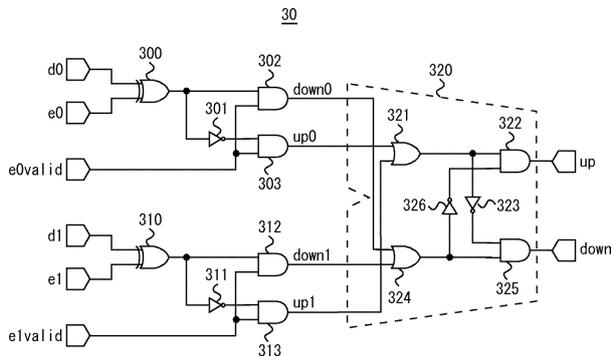
【図12】



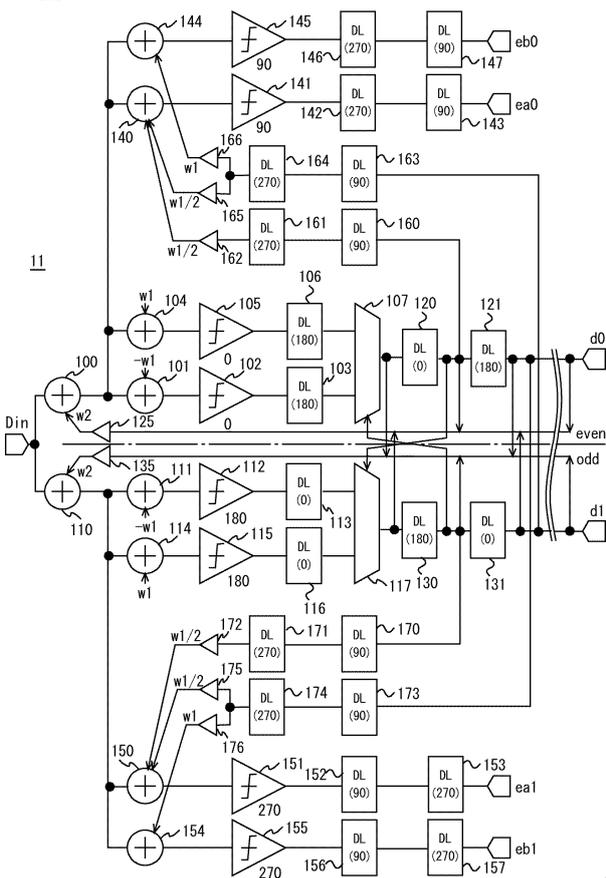
【図13】



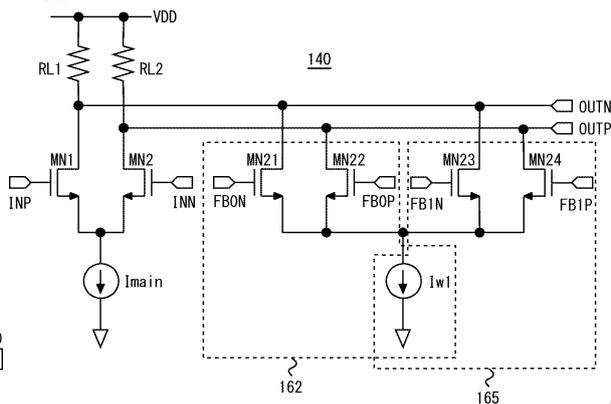
【図14】



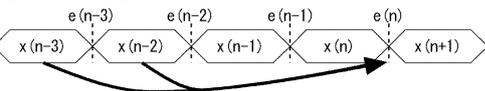
【図15】



【図16】



【図17】



$x(n-3)$	$x(n-2)$	$ea(n)$ のサンプリングに用いられるオフセット値 (第1のオフセット)	$eb(n)$ のサンプリングに用いられるオフセット値 (第2のオフセット)
0	0	-w1	+w1
1	0	0	-w1
0	1	0	+w1
1	1	+w1	-w1

【図18】

CASE No.	x(n-3)	x(n-2)	x(n-1)	x(n)	x(n+1)	第1のオフセット (ea(n))	第2のオフセット (eb(n))	オフセット期待値	e(n)として選択すべきエッジ値
1	0	0	0	0	1	-w1	+w1	-w1	ea(n)
2	1	0	0	0	1	0	-w1	-w1	eb(n)
3	0	1	0	0	1	0	+w1	-w1	-
4	1	1	0	0	1	+w1	-w1	-w1	eb(n)
5	0	0	1	0	1	-w1	+w1	0	-
6	1	0	1	0	1	0	-w1	0	ea(n)
7	0	1	1	0	1	0	+w1	0	ea(n)
8	1	1	1	0	1	+w1	-w1	0	-
9	0	0	0	1	0	-w1	+w1	0	-
10	1	0	0	1	0	0	-w1	0	ea(n)
11	0	1	0	1	0	0	+w1	0	ea(n)
12	1	1	0	1	0	+w1	-w1	0	-
13	0	0	1	1	0	-w1	+w1	+w1	eb(n)
14	1	0	1	1	0	0	-w1	+w1	-
15	0	1	1	1	0	0	+w1	+w1	eb(n)
16	1	1	1	1	0	+w1	-w1	+w1	ea(n)

【図19】

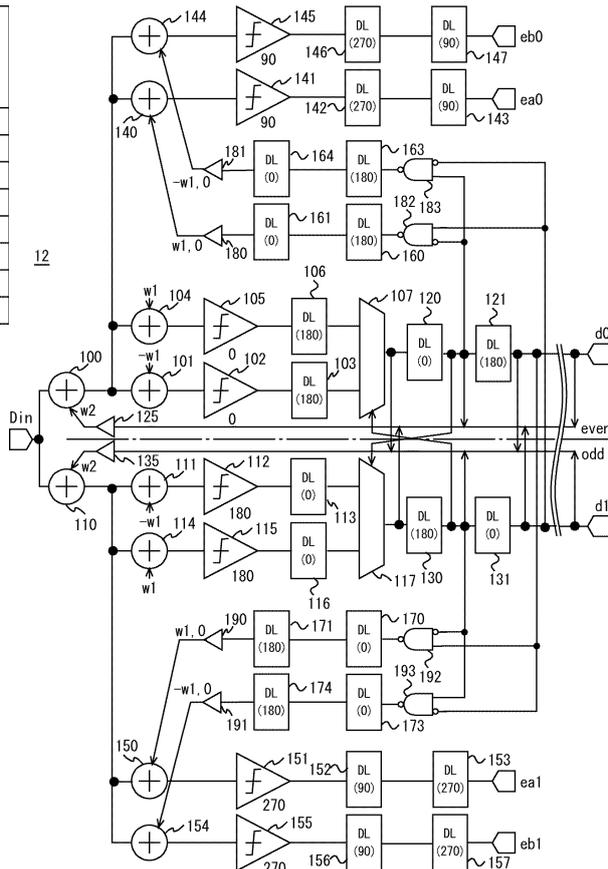
	x(n-3)	x(n-2)	x(n-1)	x(n)	x(n+1)
	X	0	0	0	1
	1	1	0	0	1
	1	0	1	0	1
	0	1	1	0	1
	1	0	0	1	0
	0	1	0	1	0
	0	0	1	1	0
	X	1	1	1	0

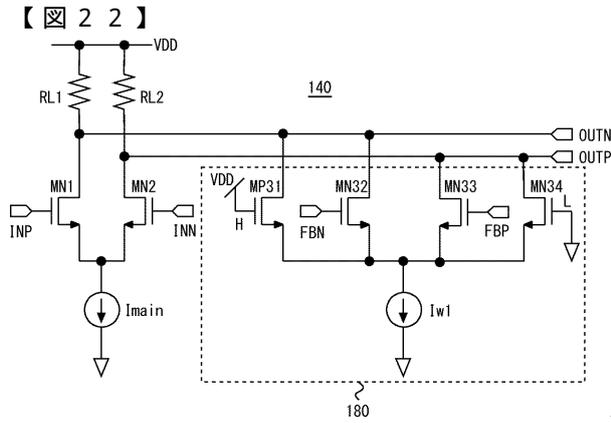
【図20】

x(n-3) : x(n+1)	x(n-7) : x(n+1)	有効なエッジ値を取得可能なデータ列のうち e(n) に最も近いデータ列	e(n) に最も近い有効なエッジ値
01001 (case3)	XX0001001	x(n-6) : x(n-2)	e(n-3)
	XX0101001	x(n-5) : x(n-1)	e(n-2)
	XX1001001	x(n-5) : x(n-1)	e(n-2)
	X01101001	x(n-6) : x(n-2)	e(n-3)
00101 (case5)	X11101001	x(n-7) : x(n-3)	e(n-4)
	XXX000101	x(n-5) : x(n-1)	e(n-2)
11101 (case8)	XXX100101	x(n-4) : x(n)	e(n-1)
	XXX11101	x(n-4) : x(n)	e(n-1)

ケース9はケース8の反転、ケース12はケース5の反転、ケース14はケース3の反転従って、ケース9, 12, 14はケース8, 5, 3と同様に扱うことができる。

【図21】





【図 2 3】

$x(n-3)$	$x(n-2)$	ea(n)の サンプリングに 用いられる オフセット値 (第1のオフセット)	eb(n)の サンプリングに 用いられる オフセット値 (第2のオフセット)
0	0	-w1	+w1
1	0	-w1	0
0	1	0	+w1
1	1	-w1	+w1

【図 2 4】

CASE No.	$x(n-3)$	$x(n-2)$	$x(n-1)$	$x(n)$	$x(n+1)$	第1の オフセット (ea(n))	第2の オフセット (eb(n))	オフセット 期待値	e(n)として 選択すべき エッジ値
1	0	0	0	0	1	-w1	+w1	-w1	ea(n)
2	1	0	0	0	1	-w1	0	-w1	ea(n)
3	0	1	0	0	1	0	+w1	-w1	-
4	1	1	0	0	1	-w1	+w1	-w1	eb(n)
5	0	0	1	0	1	-w1	+w1	0	-
6	1	0	1	0	1	-w1	0	0	eb(n)
7	0	1	1	0	1	0	+w1	0	ea(n)
8	1	1	1	0	1	-w1	+w1	0	-
9	0	0	0	1	0	-w1	+w1	0	-
10	1	0	0	1	0	-w1	0	0	eb(n)
11	0	1	0	1	0	0	+w1	0	ea(n)
12	1	1	0	1	0	-w1	+w1	0	-
13	0	0	1	1	0	-w1	+w1	+w1	eb(n)
14	1	0	1	1	0	-w1	0	+w1	-
15	0	1	1	1	0	0	+w1	+w1	eb(n)
16	1	1	1	1	0	-w1	+w1	+w1	eb(n)

---

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 0 4 B	1 / 7 6	-	3 / 4 4
H 0 4 B	3 / 5 0	-	3 / 6 0
H 0 4 B	7 / 0 0 5	-	7 / 0 1 5