



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0000719
H01L 21/28 (2006.01) (43) 공개일자 2007년01월03일

(21) 출원번호 10-2005-0056287
(22) 출원일자 2005년06월28일
심사청구일자 없음

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 한기현
경기 여주군 가남면 현진에버빌 102동 1201호
이정석
서울 강남구 도곡동 우성아파트 8-803호

(74) 대리인 강성배

전체 청구항 수 : 총 5 항

(54) 반도체 소자의 비트라인콘택 형성방법

(57) 요약

본 발명은 비트라인 콘택홀 형성시 식각 바이어스(etch bias)를 제거할 수 있는 반도체 소자의 비트라인 콘택홀 형성방법을 개시한다. 개시된 본 발명의 비트라인콘택 형성방법은, 수 개의 게이트가 형성되고 상기 게이트들 사이에 랜딩플러그폴리가 형성된 반도체기판을 마련하는 단계; 상기 기판 전면 상에 산화막을 형성하는 단계; 상기 산화막의 표면을 평탄화시키는 단계; 상기 산화막 상에 반사방지막을 형성하는 단계; 상기 반사방지막 상에 랜딩플러그폴리의 상부 영역을 노출시키는 개구패턴을 구비한 감광막패턴을 형성하는 단계; 상기 감광막패턴을 이용해서 노출된 반사방지막 부분의 일부 두께를 식각된 부분의 측벽에 폴리머가 증착되는 조건으로 1차 식각하는 단계; 상기 산화막이 노출되도록 1차 식각된 반사방지막 부분을 그 측벽에 폴리머가 잔류되는 조건으로 2차 식각하는 단계; 및 상기 반사방지막이 식각되어 노출된 산화막 부분을 식각하여 랜딩플러그폴리를 노출시키는 콘택홀을 형성하는 단계;를 포함하는 것을 특징으로 한다.

대표도

도 2f

특허청구의 범위

청구항 1.

수 개의 게이트가 형성되고 상기 게이트들 사이에 랜딩플러그폴리가 형성된 반도체기판을 마련하는 단계;

상기 기판 전면 상에 산화막을 형성하는 단계;

상기 산화막의 표면을 평탄화시키는 단계;

상기 산화막 상에 반사방지막을 형성하는 단계;

상기 반사방지막 상에 랜딩플러그폴리의 상부 영역을 노출시키는 개구패턴을 구비한 감광막패턴을 형성하는 단계;

상기 감광막패턴을 이용해서 노출된 반사방지막 부분의 일부 두께를 식각된 부분의 측벽에 폴리머가 증착되는 조건으로 1차 식각하는 단계;

상기 산화막이 노출되도록 1차 식각된 반사방지막 부분을 그 측벽에 폴리머가 잔류되는 조건으로 2차 식각하는 단계; 및

상기 반사방지막이 식각되어 노출된 산화막 부분을 식각하여 랜딩플러그폴리를 노출시키는 콘택홀을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 비트라인콘택 형성방법.

청구항 2.

제 1 항에 있어서, 상기 반사방지막의 1차 식각은 폴리머 생성 가스인 질소와 수소 및 아르곤 가스와 식각 가스인 CF₄, CHF₃ 및 HBr 가스의 혼합 가스를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 비트라인콘택 형성방법.

청구항 3.

제 2 항에 있어서, 상기 질소의 유량은 10~30sccm으로 하고, 상기 수소의 유량은 60~160sccm으로 하며, 상기 아르곤의 유량은 300~500sccm으로 하고, 상기 CF₄, CHF₃ 및 HBr의 유량은 각각 5~10sccm으로 하는 것을 특징으로 하는 반도체 소자의 비트라인콘택 형성방법.

청구항 4.

제 1 항에 있어서, 상기 반사방지막의 2차 식각은 HBr 및 CF₄의 혼합 가스를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 비트라인콘택 형성방법.

청구항 5.

제 4 항에 있어서, 상기 HBr의 유량은 40~80sccm으로 하고, 상기 CF₄의 유량은 30~60sccm으로 하는 것을 특징으로 하는 반도체 소자의 비트라인콘택 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 비트라인 콘택홀 형성시 식각 바이어스(etch bias)를 제거할 수 있는 반도체 소자의 비트라인 콘택홀 형성방법에 관한 것이다.

현재 반도체 소자의 제조 공정에서는 비트라인을 형성하기 전에 접합영역이나 게이트와 연결되게 비트라인콘택(Bit line Contact)을 형성하고 있으며, 이러한 비트라인콘택은 셀지역은 물론 주변지역에도 함께 형성하고 있다. 이때, 셀지역에서 랜딩플러그폴리(Landing Plug Poly)와 연결되는 제1비트라인콘택과 주변지역에서 게이트 또는 접합영역과 연결되는 제2비트라인콘택은 통상 별개의 공정을 진행하여 각각 형성한다.

이하에서는 종래 셀지역에서의 비트라인콘택 형성방법을 도 1a 내지 도 1e를 참조하여 설명하도록 한다.

도 1a를 참조하면, 수 개의 게이트(2)가 형성되고 상기 게이트들(2) 사이에 랜딩플러그폴리(3)가 형성된 반도체기판(1)을 마련한다. 그런다음, 상기 기판(1)의 전면 상에 산화막(4)을 증착한다.

도 1b를 참조하면, 산화막(4)에 대한 CMP(Chemical Mechanical Polishing) 공정을 진행하여 그 표면을 평탄화시킴으로써 셀지역과 주변지역을 분리시킴과 아울러 후속에서 그 패터닝이 쉽도록 만든다.

도 1c를 참조하면, 평탄화된 산화막(4) 상에 유기물로 이루어진 반사방지막(5)을 증착한 후, 상기 반사방지막(5) 상에 비트라인콘택 형성 지역, 즉, 랜딩플러그폴리(3)의 상부 영역을 노출시키는 개구패턴을 구비한 감광막패턴(6)을 형성한다.

도 1d를 참조하면, 식각마스크로서 감광막패턴(6)을 이용해서 반사방지막(5)을 식각한다.

도 1e를 참조하면, 계속해서 반사방지막(5)이 식각되어 노출된 산화막 부분을 플라즈마 가스를 이용하여 식각하고, 이를 통해, 랜딩플러그폴리(3)를 노출시키는 콘택홀(7)을 형성한다.

이후, 도시하지는 않았으나, 감광막패턴 및 반사방지막을 제거한 상태에서 콘택홀(7) 내에 도전막, 예컨대, 텅스텐막을 매립시켜 셀지역에서의 제1비트라인콘택의 형성을 완성한다.

그러나, 전술한 바와 같은 종래의 비트라인콘택 형성방법에 따르면, 식각마스크로서 감광막패턴을 이용한 식각 공정의 결과로 얻어지는 콘택홀의 상단 크기가 상기 감광막패턴에서의 개구 패턴 크기 보다 필연적으로 커지게 된다. 예컨대, 그 크기 증가는 대략 30nm 정도이다. 이러한 현상은 플라즈마 가스에 의하여 식각이 진행될 때, 감광막패턴도 함께 식각이 진행되는데, 이때, 표면 보다는 패터닝된 부분에 플라즈마 가스가 더 집중이 되어 패터닝된 부분의 측벽이 식각됨으로써 실제로 식각하여야 할 산화막 부분을 넓히기 때문에 일어나는 것이다.

특별히, 이와 같은 문제는 반도체 소자의 고집적화에 따라 셀 패턴이 더욱 조밀해지고, 이로 인해, 셀지역과 주변지역간 식각 바이어스(etch bias)가 증가하며, 그리고, 비트라인콘택의 경우에 콘택홀의 CD와 깊이간 에스펙트비가 더욱 커져 필요한 모든 공정이 점점 임계(critical)화되어 가는 추세에서, 더욱 심하게 나타날 것으로 예상된다.

따라서, 현재의 고집적화 추세에 부합하기 위해서는 감광막패턴에서의 패턴 크기와 이러한 감광막패턴을 이용한 식각 공정의 결과로 얻어지는 패턴의 크기가 동일한 노 바이어스(No bias) 패턴을 구현할 수 있는 기술을 절실하게 필요로 하게 된다.

발명이 이루고자 하는 기술적 과제

이에, 본 발명은 상기와 같은 종래의 제반 문제점을 해결하기 위해 안출된 것으로서, 비트라인콘택의 형성시 감광막패턴에서의 개구패턴과 식각의 결과로 얻어지는 콘택홀간 동일 크기를 갖도록 할 수 있는 반도체 소자의 비트라인콘택 형성방법을 제공함에 그 목적이 있다.

또한, 본 발명은 마스크 패턴과 실제 패턴간 크기가 동일한 노 바이어스 패턴을 구현함으로써 고집적 소자의 구현을 가능하게 할 수 있는 반도체 소자의 비트라인콘택 형성방법을 제공함에 그 다른 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은, 수 개의 게이트가 형성되고 상기 게이트들 사이에 랜딩플러그폴리가 형성된 반도체기판을 마련하는 단계; 상기 기판 전면 상에 산화막을 형성하는 단계; 상기 산화막의 표면을 평탄화시키는 단계; 상기 산화막 상에 반사방지막을 형성하는 단계; 상기 반사방지막 상에 랜딩플러그폴리의 상부 영역을 노출시키는 개구패턴을 구비한 감광막패턴을 형성하는 단계; 상기 감광막패턴을 이용해서 노출된 반사방지막 부분의 일부 두께를 식각된

부분의 측벽에 폴리머가 증착되는 조건으로 1차 식각하는 단계; 상기 산화막이 노출되도록 1차 식각된 반사방지막 부분을 그 측벽에 폴리머가 잔류되는 조건으로 2차 식각하는 단계; 및 상기 반사방지막이 식각되어 노출된 산화막 부분을 식각하여 랜딩플러그폴리를 노출시키는 콘택홀을 형성하는 단계;를 포함하는 반도체 소자의 비트라인콘택 형성방법을 제공한다.

여기서, 상기 반사방지막의 1차 식각은 폴리머 생성 가스인 질소와 수소 및 아르곤 가스와 식각 가스인 CF₄, CHF₃ 및 HBr 가스의 혼합 가스를 사용하여 수행하며, 이때, 상기 질소의 유량은 10~30sccm, 상기 수소의 유량은 60~160sccm, 상기 아르곤의 유량은 300~500sccm으로 하며, 그리고, 상기 CF₄, CHF₃ 및 HBr의 유량은 각각 5~10sccm으로 한다.

또한, 상기 반사방지막의 2차 식각은 HBr 및 CF₄의 혼합 가스를 사용하여 수행하며, 이때, 상기 HBr의 유량은 40~80sccm, 상기 CF₄의 유량은 30~60sccm으로 한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

먼저, 본 발명의 기술적 원리를 설명하면, 본 발명은 유기물로 이루어진 반사방지막을 이중 식각을 이용하여 식각하되, 1차 식각시에는 폴리머를 형성하여 이를 식각된 부분의 측벽에 증착시키고, 그리고, 2차 식각시 실질적인 반사방지막의 식각을 진행한다.

이렇게 하면, 식각된 반사방지막 부분의 측벽에 증착되는 폴리머에 의해 상기 식각된 반사방지막 부분의 측벽이 플라즈마에 의해 손상되는 현상, 즉, 추가 식각되는 현상을 방지할 수 있는 바, 후속하는 산화막의 식각시 콘택홀의 크기가 커지는 현상을 방지할 수 있게 된다.

따라서, 본 발명은 감광막패턴에서의 개구패턴과 식각의 결과로 얻어지는 콘택홀간 크기 차이가 거의 없도록 할 수 있으며, 그래서, 노 바이어스 패턴의 형성이 이루어지게 된다.

자세하게, 도 2a 내지 도 2f를 본 발명에 따른 비트라인콘택 형성방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 2a를 참조하면, 수 개의 게이트(22)가 형성되고 상기 게이트들(22) 사이에 랜딩플러그폴리(23)가 형성된 반도체기판(21)을 마련한다. 그런다음, 상기 기판(21)의 전면 상에 산화막(24)을 증착한다. 여기서, 상기 게이트(22)는 폴리실리콘의 단일막 또는 폴리실리콘과 금속실리사이드의 적층막으로 구성되고, 상부에 하드마스크 질화막을 구비하며, 아울러, 측벽에 스페이서를 구비한 것으로 이해될 수 있다.

도 2b를 참조하면, 산화막(24)에 대한 CMP 공정을 진행하여 그 표면을 평탄화시키고, 이를 통해, 셀지역과 주변지역을 분리시킴과 아울러 후속에서 그 패턴닝이 용이하게 되도록 만든다.

도 2c를 참조하면, 평탄화된 산화막(24) 상에 유기물로 이루어진 반사방지막(5)을 증착한다. 여기서, 상기 유기물로 이루어진 반사방지막(5)으로서는, 예컨대, SiON막을 이용한다. 그다음, 상기 반사방지막(25) 상에 감광막을 도포한 후, 이를 노광 및 현상해서 랜딩플러그폴리(23)의 상부영역을 노출시키는 개구패턴을 구비한 감광막패턴(26)을 형성한다.

도 2d를 참조하면, 식각마스크로서 감광막패턴(26)을 이용해서 반사방지막(25)에 대한 1차 식각을 진행한다. 이때, 상기 반사방지막(25)에 대한 1차 식각은 질소와 수소 및 아르곤의 폴리머 생성 가스와 소량의 CF₄, CHF₃ 및 HBr의 식각 가스를 사용하여 진행함으로써 식각속도를 느리게 함과 아울러 폴리머(30)를 생성시키고, 이렇게 생성된 폴리머(30)를 식각된 반사방지막 부분의 측벽에 증착시킨다.

여기서, 상기 질소의 유량은 10~30sccm, 수소의 유량은 60~160sccm, 그리고, 아르곤의 유량은 300~500sccm 정도로 하며, CF₄, CHF₃ 및 HBr 가스의 유량은 식각 속도가 느리도록 각각 10sccm 미만, 바람직하게, 5~10sccm 정도로 한다.

도 2e를 참조하면, 1차 식각된 반사방지막(25)에 대해 2차 식각을 진행하고, 이를 통해, 노출된 반사방지막 부분의 전부를 제거한다. 상기 2차 식각은 HBr과 과량의 CF₄ 가스를 이용하여 진행함으로써 식각속도를 빠르게 하고, 이를 통해, 나머지 반사방지막 부분이 전부 제거되도록 한다. 이때, 상기 2차 식각이 진행되는 동안, 1차 식각된 반사방지막 부분의 측벽에 증착된 폴리머(30)의 일부가 함께 식각된다.

여기서, 상기 HBr의 유량은 40~80sccm 정도로 하고, 그리고, 상기 CF₄의 유량은 30~60sccm 정도로 하여 반사방지막(25)의 식각속도가 빠르게 되도록 한다.

도 2f를 참조하면, C₄F₈ 가스와 CH₂F₂ 가스를 이용한 플라즈마 식각을 진행해서 상기 반사방지막(25)이 식각되어 노출된 산화막 부분을 식각하고, 이를 통해, 랜딩플러그폴리(23)를 노출시키는 콘택홀(27)을 형성한다.

여기서, 산화막 식각이 진행될 때, 종래에는 식각된 반사방지막 부분의 측벽이 함께 식각되어 결과적으로 콘택홀의 상단 크기가 넓어지는 현상이 발생하는 반면, 본 발명에서는 식각된 반사방지막 부분의 측벽에 증착된 폴리머가 식각된 반사방지막 부분의 측벽에 대한 추가 식각을 차단하는 바, 종래와 같이 콘택홀의 상단 크기가 넓어지는 현상은 유발되지 않는다.

따라서, 본 발명은 감광막패턴에서의 개구패턴의 크기와 후속의 식각 공정을 통해 얻어지는 실제 콘택홀의 상단 크기를 거의 동일하도록 할 수 있으며, 그래서, 노 바이어스 패턴을 형성할 수 있게 된다.

이후, 도시하지는 않았으나, 잔류된 감광막패턴 및 반사방지막을 제거한 상태에서 콘택홀 내에 텅스텐막과 같은 도전막을 매립시켜 셀지역에서의 비트라인콘택의 형성을 완성한다.

발명의 효과

이상에서와 같이, 본 발명은 비트라인콘택용 콘택홀을 형성함에 있어서 반사방지막을 이중 식각 공정으로 식각하여 식각된 반사방지막 부분의 측벽이 추가로 식각되는 것을 억제함으로써 상단부의 크기가 감광막패턴에서의 개구패턴과 동일할 크기를 갖는 콘택홀을 형성할 수 있으며, 이에 따라, 노 바이어스 패턴을 구현할 수 있다.

따라서, 본 발명은 노 바이어스 식각의 구현이 가능하므로, 미세 패턴의 형성을 안정적으로 수행할 수 있는 바, 고집적 소자의 구현을 가능하게 할 수 있다.

이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

도면의 간단한 설명

도 1a 내지 도 1e는 종래 셀지역에서의 비트라인콘택 형성방법을 설명하기 위한 공정별 단면도.

도 2a 내지 도 2f는 본 발명에 따른 셀지역에서의 비트라인콘택 형성방법을 설명하기 위한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

21 : 반도체기판 22 : 게이트

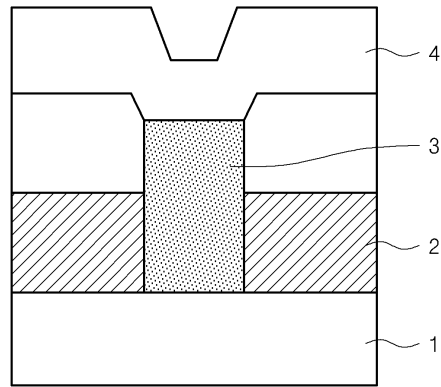
23 : 랜딩플러그폴리 24 : 산화막

25 : 반사방지막 26 : 감광막패턴

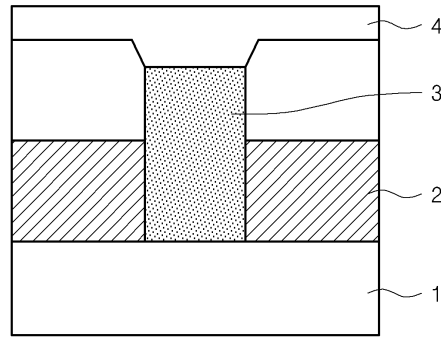
27 : 콘택홀 30 : 폴리머

도면

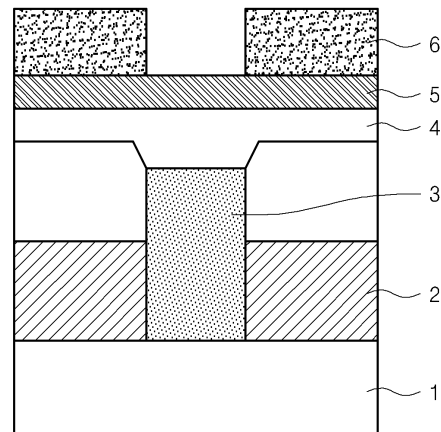
도면1a



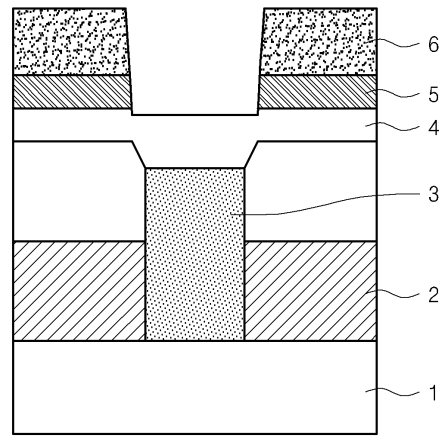
도면1b



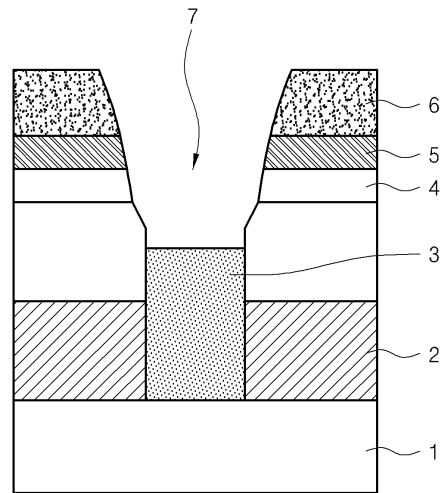
도면1c



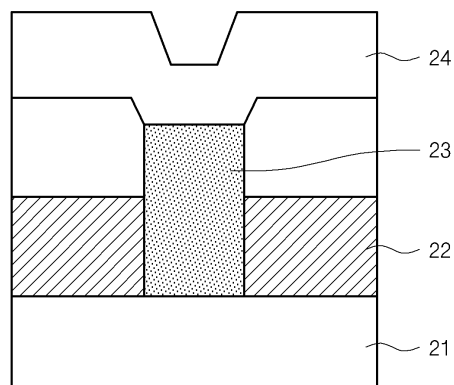
도면1d



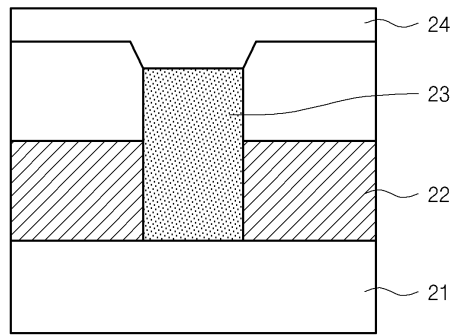
도면1e



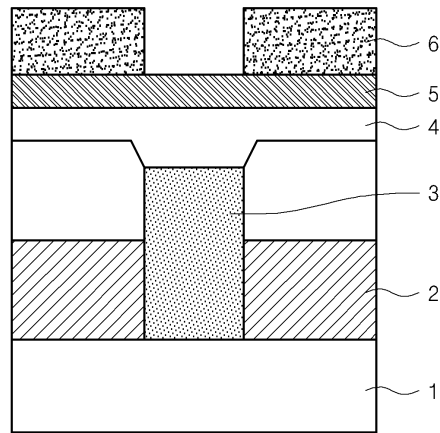
도면2a



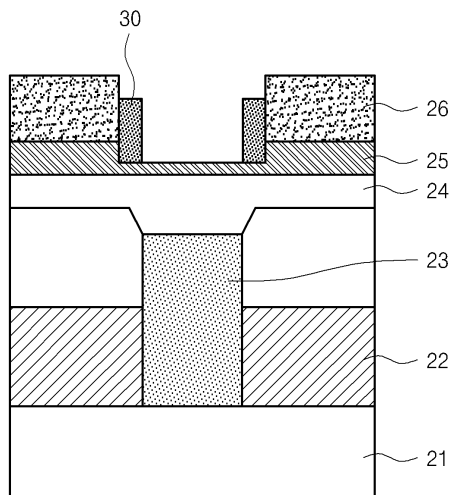
도면2b



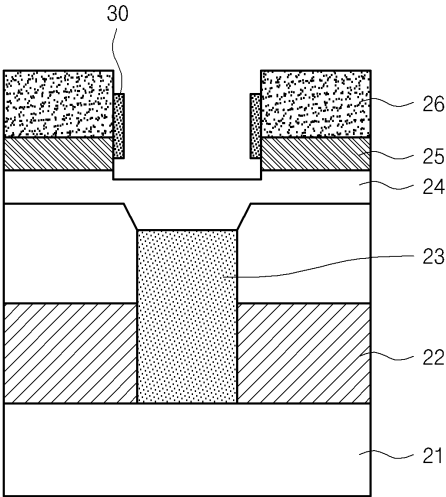
도면2c



도면2d



도면2e



도면2f

