



(12) 发明专利

(10) 授权公告号 CN 111400034 B

(45) 授权公告日 2021.01.01

(21) 申请号 202010142572.9

(22) 申请日 2020.03.04

(65) 同一申请的已公布的文献号
申请公布号 CN 111400034 A

(43) 申请公布日 2020.07.10

(73) 专利权人 上海介方信息技术有限公司
地址 200241 上海市闵行区紫星路588号2
幢3层320室

(72) 发明人 常坤 杨腾 熊石楼 许生
时志杰 吴二龙 郭岚

(74) 专利代理机构 上海恒慧知识产权代理事务
所(特殊普通合伙) 31317
代理人 张宁展

(51) Int. Cl.
G06F 9/50 (2006.01)

(56) 对比文件

CN 103813463 A, 2014.05.21

CN 108776602 A, 2018.11.09

CN 108847852 A, 2018.11.20

CN 103813463 A, 2014.05.21

CN 103813463 A, 2014.05.21

陈小凤.《基于SCA规范的软件无线电台的研发》.《中国优秀硕士学位论文全文数据库(硕士)信息科技辑》.2005, 论文第3章.

审查员 孟繁杰

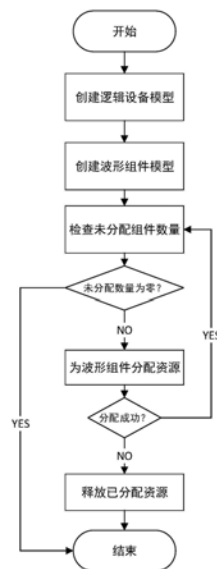
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种面向多核处理器的波形资源分配方法

(57) 摘要

本发明公开了一种面向多核处理器的波形资源分配方法,方法包括为处理器芯片创建逻辑设备模型,生成相应的可执行文件和描述文件;为波形组件创建组件模型,生成相应的可执行文件和描述文件;为波形动态分配处理器资源,采用多核处理器资源分配策略实现资源动态分配。该方法优化了多核或者多分区处理器芯片的资源分配方式,解决具有亲和关系波形组件部署问题,提高了CPU、DSP、FPGA资源利用率。



1. 一种面向多核处理器的波形资源分配方法,其特征在于,分配方法包括以下步骤:

步骤1:为处理器芯片创建逻辑设备模型,生成相应的可执行文件和描述文件;其中,逻辑设备的描述文件的形成包括以下步骤:

步骤1.1:设置各逻辑设备属性,多核CPU逻辑设备设置多核数量属性及对应的容量属性;多核DSP逻辑设备设置处理器核数量属性及相对应的容量属性;父FPGA逻辑设备设置分区数量属性,子逻辑设备增加对应FPGA逻辑分区的容量属性;

步骤1.2:实现SCA标准规范中的逻辑设备接口,其中父CPU逻辑设备实现CF::ExecutableInterface接口,DSP逻辑设备实现CF::LoadableInterface接口,父FPGA逻辑设备实现CF::AggregateDevice接口,子FPGA逻辑设备实现CF::LoadableInterface接口;

步骤1.3:生成各个逻辑设备的描述文件,包括SPD.XML、SCD.XML、PRF.XML、DPD.XML;

步骤2:为波形组件创建组件模型,生成相应的可执行文件和描述文件;其中波形组件描述文件的形成包括以下步骤:

步骤2.1:设置各波形组件的模型属性,对于运行在CPU和DSP上的波形组件,设置处理器核编号属性及容量属性;对于运行在FPGA上的波形组件设置资源分区编号属性及容量属性;

步骤2.2:实现波形组件的接口,其中运行在CPU上的波形组件实现SCA规范中的接口;运行在DSP和FPGA上的波形组件实现硬件抽象层接口;

步骤2.3:生成各个波形组件的描述文件,包括SPD.XML、SCD.XML、PRF.XML;

步骤3:为波形动态分配处理器资源,采用多核处理器资源分配策略实现资源动态分配;其中所述多核处理器资源分配策略执行流程包括以下步骤:

步骤3.1:解析波形组件的描述文件,从PRF.XML文件中提取处理器核编号属性及容量属性;

步骤3.2:从已运行的逻辑设备中获取处理器核数量属性、资源分区数量属性及容量属性;

步骤3.3:依据波形组件的类型选择相应类型的逻辑设备进行属性匹配,其中,波形组件与逻辑设备资源的匹配包括以下步骤:

步骤3.3.1:对于CPU和DSP组件,如果组件所要求的处理器核编号大于处理器核数量,那么视为失败,继续寻找其他逻辑设备进行匹配;否则再进行容量属性的匹配;当该波形组件与子CPU逻辑设备或子DSP逻辑设备匹配成功后,则将子CPU逻辑设备或子DSP逻辑设备分配给该波形组件;

步骤3.3.2:对于FPGA组件,首先匹配父FPGA逻辑设备的资源分区数量属性,如果该属性值小于FPGA组件的资源分区编号,那么视为分配失败,继续寻找其他逻辑设备进行匹配,否则继续匹配子FPGA逻辑设备的容量属性;当该波形组件与子FPGA逻辑设备匹配成功后,则将子FPGA逻辑设备分配给该波形组件。

2. 根据权利要求1所述的分配方法,其特征在于:在步骤2.1中所述处理器核容量属性包括内存大小、主频、和总线类型,所述资源分区容量属性包括内存大小、IO数量、和逻辑单元数量。

3. 根据权利要求2所述的分配方法,其特征在于:所述波形组件的类型包括CPU组件、DSP组件及FPGA组件。

一种面向多核处理器的波形资源分配方法

技术领域

[0001] 本发明涉及软件无线电技术,尤其涉及一种面向多核处理器的波形资源分配方法。

背景技术

[0002] 现在软件无线电系统采用标准的软件架构标准,其中该标准包括国外的SCA(软件通信体系结构)标准规范和国军标SRTF(软件无线电通信装备体系结构)标准规范以及由SCA规范衍生的相应规范。目前软件无线电领域对波形资源分配的研究主要以单片处理器资源为最小单位进行研究,还未从处理器核或资源分区等更小颗粒的资源进行波形资源分配方式的研究。

[0003] 在软件无线电系统中,多核或者多分区处理器芯片的资源分配,需要将各资源部署至对应或指定的处理器核上,再如FPGA资源的分配,无统一的分配标准和构架,往往导致CPU、DSP、FPGA资源利用率不高。因此,亟需一种针对多核或者多分区处理器的波形资源的分配解决方案,以提高资源利用率。

发明内容

[0004] 为了克服现有技术的不足,本发明的目的在于提供一种面向多核处理器的波形资源分配方法,其能解决有亲和关系波形组件部署问题。该方法适用于基于SCA标准、SRTF标准及由SCA衍生的相应标准而设计软件无线电系统。

[0005] 本发明的目的采用以下技术方案实现:

[0006] 一种面向多核处理器的波形资源分配方法,分配方法包括以下步骤:步骤1:为处理器芯片创建逻辑设备模型,生成相应的可执行文件和描述文件;步骤2:为波形组件创建组件模型,生成相应的可执行文件和描述文件;步骤3:为波形动态分配处理器资源,采用多核处理器资源分配策略实现资源动态分配。

[0007] 优选的,步骤1中逻辑设备的描述文件的形成包括以下步骤:步骤1.1:设置各逻辑设备属性,多核CPU逻辑设备设置处理器核数量属性及对应的容量属性;多核DSP逻辑设备设置处理器核数量属性及相对应的容量属性;父FPGA逻辑设备设置分区数量属性,子逻辑设备增加对应FPGA逻辑分区的容量属性;步骤1.2:实现软件无线电软件架构标准规范中的逻辑设备接口,其中父CPU逻辑设备实现CF::ExecutableInterface接口,DSP逻辑设备实现CF::LoadableInterface接口,父FPGA逻辑设备实现CF::AggregateDevice接口,子FPGA逻辑设备实现CF::LoadableInterface接口;步骤1.3:生成各个逻辑设备的描述文件,包括SPD.XML、SCD.XML、PRF.XML、DPD.XML。

[0008] 优选的,步骤2中波形组件描述文件的形成包括以下步骤:步骤2.1:设置各波形组件的模型属性,对于运行在CPU和DSP上的波形组件,设置处理器核编号属性及容量属性;对于运行在FPGA上的波形组件设置资源分区编号属性及容量属性;步骤2.2:实现波形组件的接口,其中运行在CPU上的波形组件实现软件无线电软件架构规范中的接口;运行在DSP和

FPGA上的波形组件实现硬件抽象层接口；步骤2.3：生成各个波形组件的描述文件，包括SPD.XML、SCD.XML、PRF.XML。

[0009] 优选的，在步骤2.1中所述处理器核容量属性包括内存大小、主频、和总线类型，所述资源分区容量属性包括内存大小、IO数量、和逻辑单元数量。

[0010] 优选的，步骤3中所述的多核处理器资源分配策略执行流程包括以下步骤：步骤3.1：解析波形组件的描述文件，从PRF.XML文件中提取处理器核属性及容量属性；步骤3.2：从已运行的逻辑设备中获取处理器核数量属性、资源分区数量属性及容量属性；步骤3.3：依据波形组件的类型选择相应类型的逻辑设备进行属性匹配。

[0011] 优选的，所述波形组件的类型包括CPU组件、DSP组件及FPGA组件。

[0012] 优选的，步骤3.3中波形组件与逻辑设备资源的匹配包括以下步骤：步骤3.3.1：对于CPU和DSP组件，如果组件所要求的处理器核编号大于处理器核数量，那么视为失败，继续寻找其他逻辑设备进行匹配；否则再进行容量属性的匹配；当该波形组件与CPU逻辑设备或DSP逻辑设备匹配成功后，则将CPU逻辑设备或DSP逻辑设备分配给该波形组件；步骤3.3.2：对于FPGA组件，首先匹配父FPGA逻辑设备的资源分区数量属性，如果该属性值小于FPGA组件的资源分区编号，那么视为分配失败，继续寻找其他逻辑设备进行匹配，否则继续匹配子FPGA逻辑设备的容量属性；当该波形组件与子FPGA逻辑设备匹配成功后，则将子FPGA逻辑设备分配给该波形组件。

[0013] 相比现有技术，本发明的有益效果在于：将软件无线电系统的波形资源分配技术的研究推进了一大步，突破现有以单片处理器为资源最小分配单元技术现状，将处理器的核或资源分区作为资源分配对象，有效提高了系统中处理器资源的利用率。同时，可以有效控制处理器的负载均衡，提升系统的实时性和可靠性。

附图说明

[0014] 图1为处理器逻辑设备图；

[0015] 图2为波形资源分配流程图；

[0016] 图3为多核处理器资源匹配策略流程。

具体实施方式

[0017] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。本实施实例基于但不限于SRTF标准而构建，该发明所提出的资源分配方法同样适用于SCA标准及其衍生的相应标准。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0018] 参见图1-图3，一种面向多核处理器的波形资源分配方法，分配方法包括以下步骤。

[0019] 步骤1：为处理器芯片创建逻辑设备模型，生成相应的可执行文件和描述文件（参见图1）；

[0020] 步骤2：为波形组件创建组件模型，生成相应的可执行文件和描述文件；

[0021] 步骤3:为波形动态分配处理器资源,采用多核处理器资源分配策略实现资源动态分配。

[0022] 其中,可执行文件为由波形组件代码编译后形成的二进制文件。

[0023] 进一步的,对于步骤1中逻辑设备的描述文件的形成包括以下步骤。

[0024] 步骤1.1:设置各逻辑设备属性,多核CPU逻辑设备设置处理器核数量属性及对应的容量属性;多核DSP逻辑设备设置处理器核数量属性及相对应的容量属性;父FPGA逻辑设备设置分区数量属性,子逻辑设备增加对应FPGA逻辑分区的容量属性。

[0025] 步骤1.2:实现SCA标准规范中的逻辑设备接口,其中父CPU逻辑设备实现CF::ExecutableInterface接口,DSP逻辑设备实现CF::LoadableInterface接口,父FPGA逻辑设备实现CF::AggregateDevice接口,子FPGA逻辑设备实现CF::LoadableInterface接口。

[0026] 步骤1.3:生成各个逻辑设备的描述文件,包括SPD.XML、SCD.XML、PRF.XML、DPD.XML。

[0027] 进一步的,步骤2中波形组件描述文件的形成包括以下步骤(参见图3)。

[0028] 步骤2.1:设置各波形组件的模型属性,对于运行在CPU和DSP上的波形组件,设置处理器核编号属性及容量属性;对于运行在FPGA上的波形组件设置资源分区编号属性及容量属性。

[0029] 其中,所述处理器核容量属性包括内存大小、主频、和总线类型,所述资源分区容量属性包括内存大小、IO数量、和逻辑单元数量。

[0030] 步骤2.2:实现波形组件的接口,其中运行在CPU上的波形组件实现SCA规范中的接口;运行在DSP和FPGA上的波形组件实现硬件抽象层接口。

[0031] 步骤2.3:生成各个波形组件的描述文件,包括SPD.XML、SCD.XML、PRF.XML。

[0032] 进一步的,步骤3中所述的多核处理器资源分配策略执行流程包括以下步骤。

[0033] 步骤3.1:解析波形组件的描述文件,从PRF.XML文件中提取处理器核数量属性及容量属性包括内存大小、主频、总线类型等)。

[0034] 步骤3.2:从已运行的逻辑设备中获取处理器核数量属性、资源分区数量属性及容量属性。

[0035] 步骤3.3:依据波形组件的类型选择相应类型的逻辑设备进行属性匹配。

[0036] 其中,所述波形组件的类型包括CPU组件、DSP组件及FPGA组件。

[0037] 进一步的,步骤3.3中波形组件与逻辑设备资源的匹配包括以下步骤(参见图2和3)。

[0038] 步骤3.3.1:对于CPU和DSP组件,如果组件所要求的处理器核编号大于处理器核数量,那么视为失败,继续寻找其他逻辑设备进行匹配;否则再进行容量属性的匹配;当该波形组件与子CPU逻辑设备或子DSP逻辑设备匹配成功后,则将子CPU逻辑设备或子DSP逻辑设备分配给该波形组件。

[0039] 步骤3.3.2:对于FPGA组件,首先匹配父FPGA逻辑设备的资源分区数量属性,如果该属性值小于FPGA组件的资源分区编号,那么视为分配失败,继续寻找其他逻辑设备进行匹配,否则继续匹配子FPGA逻辑设备的容量属性;当该波形组件与子FPGA逻辑设备匹配成功后,则将子FPGA逻辑设备分配给该波形组件。

[0040] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管

参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

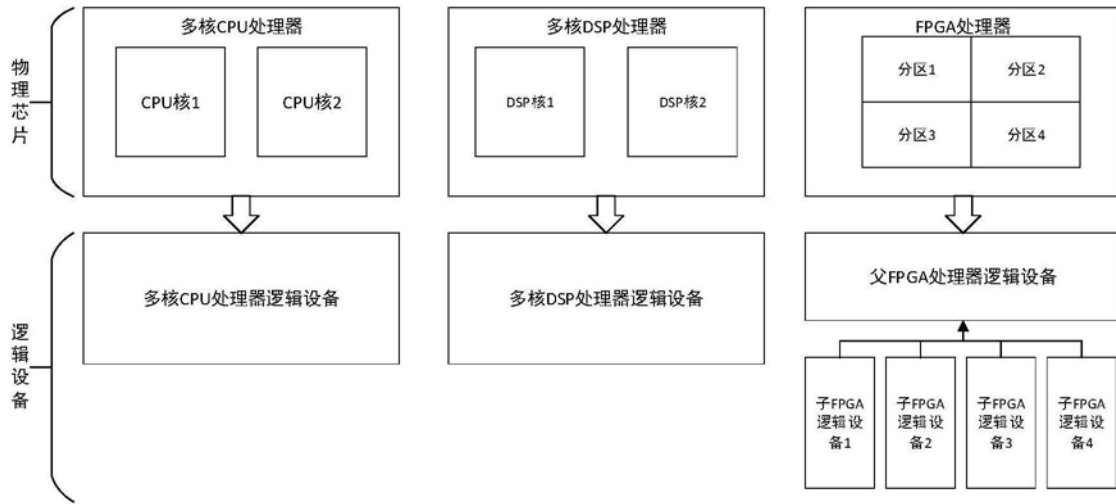


图1

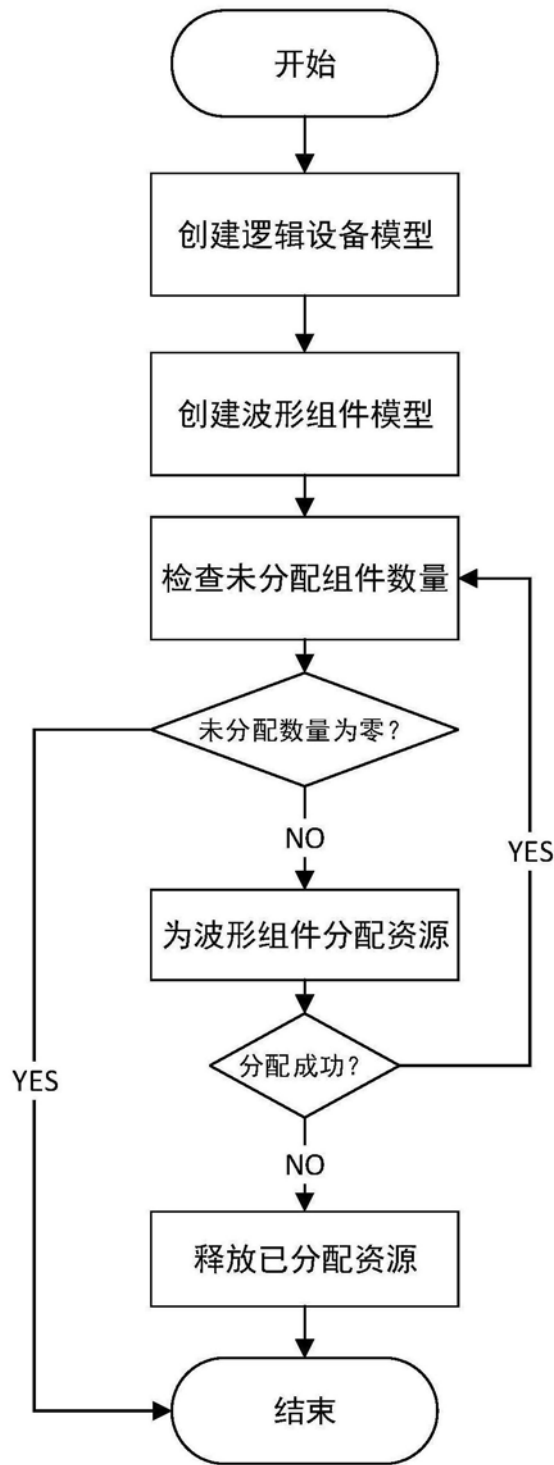


图2

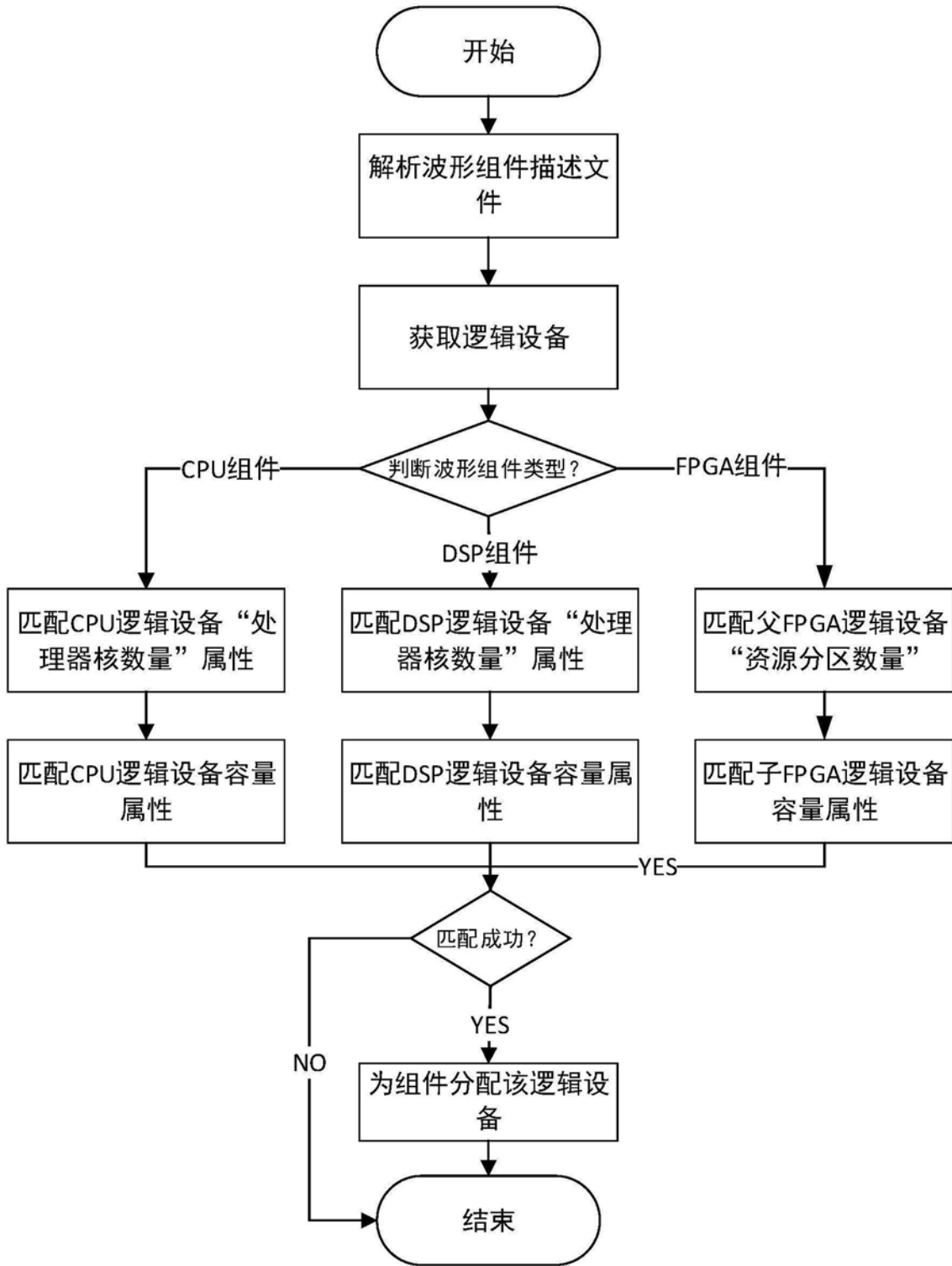


图3