



(12) 发明专利申请

(10) 申请公布号 CN 114678267 A

(43) 申请公布日 2022. 06. 28

(21) 申请号 202011549390.X

(22) 申请日 2020.12.24

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号
申请人 真芯(北京)半导体有限责任公司

(72) 发明人 李龙范 刘金彪 杨涛 唐波
贺晓彬 李俊峰

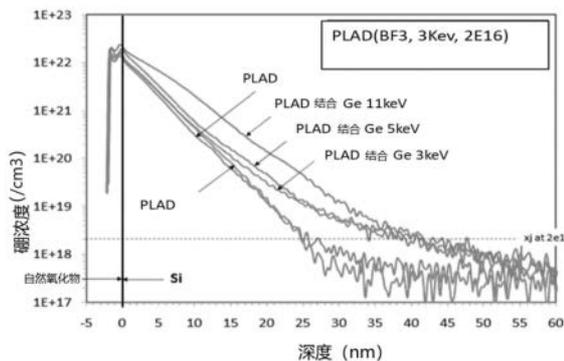
(74) 专利代理机构 北京辰权知识产权代理有限公司 11619
专利代理师 金铭

(51) Int. Cl.
H01L 21/28 (2006.01)
H01L 21/265 (2006.01)

权利要求书1页 说明书3页 附图1页

(54) 发明名称
一种向半导体栅极掺杂离子的方法及其应用

(57) 摘要
本发明涉及一种向半导体栅极掺杂离子的方法及其应用。一种向半导体栅极掺杂离子的方法,包括:对半导体栅极进行等离子体掺杂离子注入,形成离子掺杂的半导体栅极;然后以共伴气体为气体源,在原位向所述离子掺杂的半导体栅极注入离子。本发明更大限度地保留了栅极中掺杂的离子量,避免了二次离子掺杂造成的资源浪费,并且无需增加强流离子注入机等额外设备。



1. 一种向半导体栅极掺杂离子的方法,其特征在于,包括:
对半导体栅极进行等离子体掺杂离子注入,形成离子掺杂的半导体栅极;
然后以共伴气体为气体源,在原位向所述离子掺杂的半导体栅极注入离子。
2. 根据权利要求1所述的方法,其特征在于,所述等离子体掺杂离子注入时掺杂的离子为硼、磷、砷、碳、氮、氧、氟、硅、硫、氢、氦、锗、铝中的至少一种。
3. 根据权利要求1所述的方法,其特征在于,所述共伴气体为 GeH_4 、 GeF_4 、 He 、 H_2 、 N_2 、 CH_4 、 CF_4 、 O_2 、 SiH_4 、 SiF_4 、 SF_6 中的至少一种。
4. 根据权利要求1-3任一项所述的方法,其特征在于,所述等离子体掺杂离子注入采用的扩散源为 BF_3 、 B_2H_6 、 GeH_4 、 GeF_4 、 He 、 H_2 、 N_2 、 CH_4 、 CF_4 、 PH_3 、 AsH_3 、 O_2 、 SiH_4 、 SiF_4 、 SF_6 、 Al 中的至少一种。
5. 根据权利要求1所述的方法,其特征在于,所述半导体栅极为多晶硅栅极。
6. 根据权利要求1所述的方法,其特征在于,以所述共伴气体注入时的剂量 \leq 所述等离子体掺杂离子注入的剂量,并且能量大于0.5KeV。
7. 根据权利要求1所述的方法,其特征在于,所述等离子体掺杂离子注入时工艺参数为: BF_3 ,3.0KeV,2.0E16ions/cm²,并且退火后多晶掺杂体浓度大于1E20/cm³。
8. 根据权利要求1、6、7中任一项所述的方法,其特征在于,所述在原位向所述离子掺杂的半导体栅极注入离子的工艺参数为: BF_3 ,3.0KeV,2.0E16ions/cm²,工艺压力1mtorr~10torr,衬底温度-100℃~450℃。
9. 权利要求1-8任一项所述的方法用于半导体器件中半导体栅极的P型离子注入或N型离子注入。
10. 权利要求1-8任一项所述的方法用于制作晶体管、存储器、集成电路器件。

一种向半导体栅极掺杂离子的方法及其应用

技术领域

[0001] 本发明涉及半导体领域,特别涉及一种向半导体栅极掺杂离子的方法及其应用。

背景技术

[0002] 作为半导体栅极的多晶硅薄膜在沉积时通常为无掺杂沉积,后续需要对多晶硅薄膜进行磷离子、硼离子等离子注入来改变其的电阻或其他电特性。并且在离子注入后还需要用光刻胶覆盖栅极,以进行后续的加工步骤(例如制作离子注入窗口、进一步离子制作或者沉积其他膜),完成这些后续加工步骤后须去除光刻胶。在上述过程中,受离子注入量随注入深度增加而减小的限制,多晶硅薄膜表面的离子浓度较高,而该离子浓度较高的表面在后期去除光刻胶层时会被或多或少地去除,从而导致多晶硅的离子掺杂不足。

[0003] 为解决上述问题,现有技术通常会在去除光刻胶后再次注入离子以弥补被光刻胶去除带离的离子,并且二次注入离子须采用强流离子注入机,这样必然造成资源浪费,延长工艺时长,也增加了额外设备。

发明内容

[0004] 本发明的主要目的在于提供一种向半导体栅极掺杂离子的方法,该方法更大幅度地保留了栅极中掺杂的离子量,避免了二次离子掺杂造成的资源浪费,并且无需增加强流离子注入机等额外设备。

[0005] 为了实现以上目的,本发明提供了以下技术方案:

[0006] 一种向半导体栅极掺杂离子的方法,包括:

[0007] 对半导体栅极进行等离子体掺杂离子注入,形成离子掺杂的半导体栅极;

[0008] 然后以共伴气体为气体源,在原位向所述离子掺杂的半导体栅极注入离子。

[0009] 上述方法在等离子体掺杂后,增加共伴气体进行原位离子注入,可以将栅极表面累积的高浓度离子推入更深的栅极内部,从而减少去除光刻胶时被带离的掺杂离子量,更大幅度地保留了栅极中掺杂的离子量。另外,由于在注入共伴气体采用掺杂离子的离子注入设备即可,且在原位进行,因此无需增加设备,这既降低了生产成本,又提高了生产效率。

[0010] 所述共伴气体是指适宜注入半导体栅极中而不造成破坏性影响的任意离子前驱体。

[0011] 上述方法适用于任意需要最大限度保留栅极表面离子浓度的情形中,例如典型的半导体器件中半导体栅极的P型离子注入或N型离子注入,这些情形通常适用于制作晶体管、存储器(DRAM、SRAM等)、集成电路器件(包括不同规模的集成电路)等。

[0012] 与现有技术相比,本发明达到了以下技术效果:

[0013] (1) 更大幅度地保留了栅极表面掺杂的离子量;

[0014] (2) 无需增加额外设备;

[0015] (3) 缩短了工艺流程时长;

[0016] (4) 降低了工艺成本。

附图说明

[0017] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本发明的限制。

[0018] 图1为不同工艺所得的栅极中掺杂离子浓度随栅极深度的变化。

具体实施方式

[0019] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0020] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0021] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0022] 为了最大限度保留栅极表面的掺杂离子量,本发明提供一种改善方法,该方法将等离子体掺杂离子注入(PLAD IMP)与共伴气体离子注入组合引入半导体器件的制备流程中,具体如下。

[0023] 先对半导体栅极进行等离子体掺杂离子注入,形成离子掺杂的半导体栅极;

[0024] 然后以共伴气体为气体源,在原位向所述离子掺杂的半导体栅极注入离子。

[0025] 该方法在PLAD IMP工序之后增加原位共伴气体的离子注入,将栅极表面累积的高浓度离子推入更深的栅极内部,从而减少去除光刻胶时被带离的掺杂离子量,更大限度地保留了栅极中掺杂的离子量。

[0026] 另外,由于在注入共伴气体采用掺杂离子的离子注入设备即可,且在原位进行,因此无需增加设备,这既降低了生产成本,又提高了生产效率。

[0027] 在一些实施方式中,PLAD IMP掺杂的离子类型是任意的,其根据掺杂目的而定,掺杂目的通常有改善表面电导率或形成PN结,相应的离子类型包括但不限于硼、磷、砷、碳、氮、氧、氟、硅、硫、氢、氦、锗、铝中的至少一种。

[0028] 为掺入上述离子,可采用的扩散源包括但不限于 BF_3 、 B_2H_6 、 GeH_4 、 GeF_4 、 He 、 H_2 、 N_2 、 CH_4 、 CF_4 、 PH_3 、 AsH_3 、 O_2 、 SiH_4 、 SiF_4 、 SF_6 、Al中的至少一种。

[0029] 而共伴气体的气体源可采用与掺杂离子相同或不同的源,包括但不限于、、 GeH_4 、 GeF_4 、 He 、 H_2 、 N_2 、 CH_4 、 CF_4 、、 O_2 、 SiH_4 、 SiF_4 、 SF_6 中的至少一种。

[0030] 在一些实施方式中,所述半导体栅极为多晶硅栅极,也可以替换为其他电性良好的合金。

[0031] 在一些实施方式中,以所述共伴气体注入时的剂量 \leq 所述等离子体掺杂离子注入

的剂量,并且能量大于0.5KeV。

[0032] 在一些实施方式中,所述等离子体掺杂离子注入时工艺参数为:BF₃,3.0KeV,2.0E16ions/cm²,并且退火后多晶掺杂体浓度大于1E20/cm³。

[0033] 在一些实施方式中,所述在原位向所述离子掺杂的半导体栅极注入离子的工艺参数为:BF₃,3.0KeV,2.0E16ions/cm²,工艺压力1mtorr~10torr,衬底温度-100℃~450℃。

[0034] 由于半导体材料作为栅极时需要经过掺杂才能获得良好的电特性,因此,本发明的上述实施方式主要用于以下工艺中:半导体器件中半导体栅极的P型离子注入或N型离子注入。相应地,利用这些工艺制作的器件包括但不限于晶体管、存储器、集成电路器件等。

[0035] 本发明还以P型掺杂的场效应管(MOS)栅极为例,比较了不同工艺得到的多晶硅栅极中掺杂离子的分布,具体如下。

[0036] 比较例:以B₂H₆为气体源,进行PLAD IMP,工艺参数:3.0KeV,2.0E16ions/cm²。

[0037] 本发明:

[0038] 第一步,以B₂H₆为气体源,进行PLAD IMP,工艺参数:2.5KV,3.5E16/cm²;

[0039] 第二步,在原位分别以Ge F₄为共伴气体,进行离子注入,工艺参数:能量0.5~15KeV,剂量1E14~5E16。

[0040] 比较例与本发明多种共伴气体(本发明考察了不同注入Ge能量下的改善情况)所得到的栅极中掺杂离子的分布如图1所示,结果显示:比较例中掺杂B离子浓度随栅极深度增加而减小的梯度更大,导致其累积的B离子总掺杂量较小;而经过本发明的共伴气体的离子注入后,栅极中B离子总掺杂量增加,这说明本发明可以最大限度保留栅极中的离子掺杂量。从图1还可以清晰看到:能量越高,对衬底轰击越大,B的残余剂量就越高。另外,原子量越大效果越好,例如Ge相比其他原子的效果会比较好,采用的气体可以是GeH₄或者GeF₄。

[0041] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

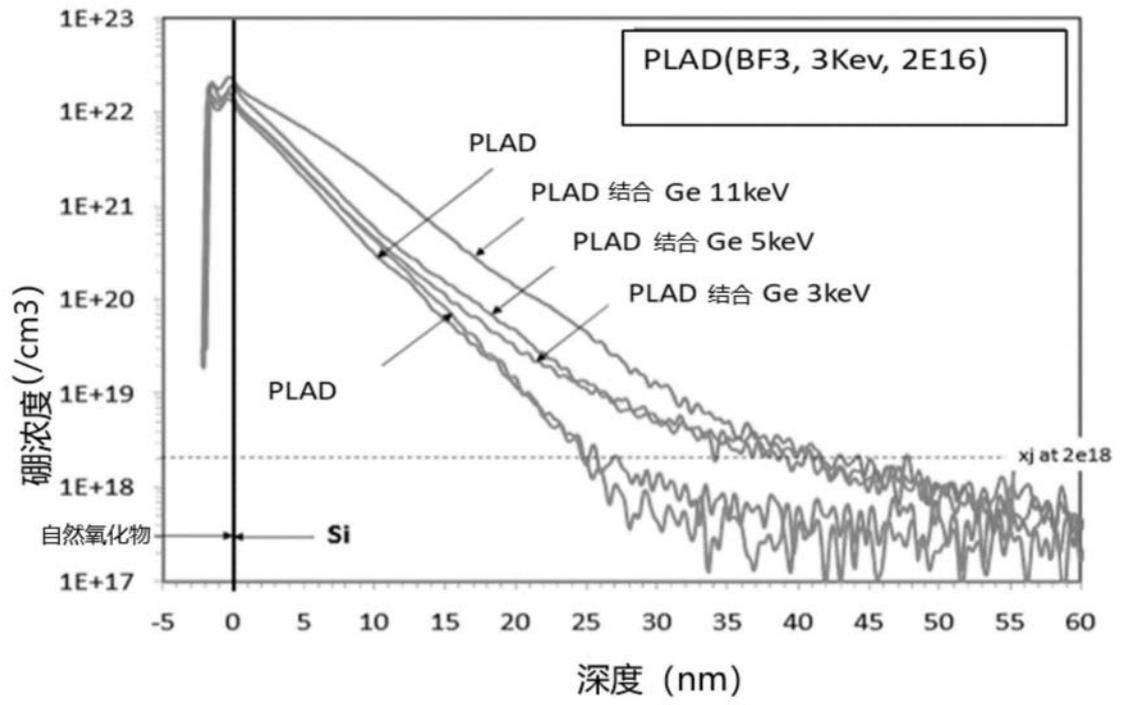


图1