



(10) **DE 10 2016 113 393 A1** 2018.01.25

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2016 113 393.0**
 (22) Anmeldetag: **20.07.2016**
 (43) Offenlegungstag: **25.01.2018**

(51) Int Cl.: **H01L 29/78 (2006.01)**
H01L 25/07 (2006.01)
H01L 29/06 (2006.01)
H02M 1/00 (2007.01)

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Müller Hoffmann & Partner Patentanwälte mbB,
 81541 München, DE**

(72) Erfinder:
**Meiser, Andreas, 82054 Sauerlach, DE; Schlösser,
 Till, Dr., 81825 München, DE**

(56) Ermittelter Stand der Technik:

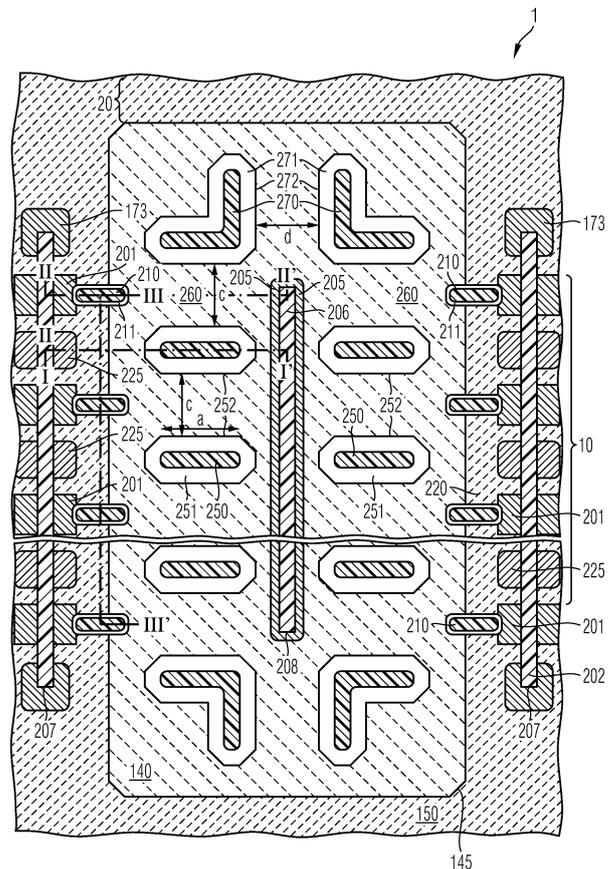
DE	10 2004 041 198	A1
DE	10 2014 113 087	A1
US	6 534 823	B2
US	2014 / 0 151 798	A1
US	2015 / 0 091 088	A1
US	4 796 070	A

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Halbleitervorrichtung, die ein Transistor-Array und ein Abschlussgebiet enthält, und Verfahren zum Herstellen solch einer Halbleitervorrichtung**

(57) Zusammenfassung: Eine Halbleitervorrichtung (1) in einem Halbleitersubstrat (100) mit einer ersten Hauptoberfläche (110) enthält ein Transistor-Array (10) und ein Abschlussgebiet (20). Das Transistor-Array (10) umfasst ein Sourcegebiet (201), ein Draingebiet (205), ein Bodygebiet (220), eine Driftzone (260) und eine Gateelektrode (210) bei dem Bodygebiet (220). Die Gateelektrode (210) ist dafür eingerichtet, eine Leitfähigkeit eines Kanals im Bodygebiet (220) zu steuern. Das Bodygebiet (220) und die Driftzone (260) sind entlang einer ersten horizontalen Richtung zwischen dem Sourcegebiet (201) und dem Draingebiet (205) angeordnet. Das Transistor-Array (10) umfasst ferner erste Feldplattengräben (252) in der Driftzone (260). Eine Längsachse der ersten Feldplattengräben (252) erstreckt sich in der ersten horizontalen Richtung. Ferner umfasst die Halbleitervorrichtung (1) einen zweiten Feldplattengraben (272), wobei eine Längsachse des zweiten Feldplattengrabens (272) sich in einer zu der ersten Richtung senkrechten, zweiten horizontalen Richtung erstreckt.



Beschreibung

HINTERGRUND

[0001] Leistungstransistoren, die gewöhnlich in der Kraftfahrzeug- und Industrieelektronik verwendet werden, sollten einen niedrigen Einschaltwiderstand ($R_{on} \times A$) aufweisen, während ein hohes Spannungsspervermögen sichergestellt wird. Beispielsweise sollte ein MOS-("Metall-Oxid-Halbleiter")-Leistungstransistor je nach Anwendungsanforderungen imstande sein, Drain-Source-Spannungen V_{ds} von einigen zehn bis einige hundert oder tausend Volt zu sperren. MOS-Leistungstransistoren leiten typischerweise sehr große Ströme, welche bei typischen Gate-Source-Spannungen von etwa 2 bis 20 V bis zu einige hundert Ampere betragen können.

[0002] Ein Konzept für Transistoren mit einer weiter reduzierten $R_{on} \times A$ -Charakteristik bezieht sich auf laterale Leistungs-FinFETs („Feldeffekttransistor mit einer Finne“). Laterale Leistungs-FinFETs nutzen mehr Masse-Silizium zum Reduzieren des R_{on} , so dass R_{on} mit demjenigen eines MOSFET mit vertikalen Gräben vergleichbar ist. In Transistoren mit einer lateralen Feldplatte kann die Dotierungskonzentration der Driftzone aufgrund der Kompensationswirkung der Feldplatte erhöht werden.

[0003] Es ist eine Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung mit einem Abschlussgebiet vorzusehen, die verbesserte Eigenschaften aufweist.

[0004] Gemäß der vorliegenden Erfindung wird die obige Aufgabe durch den beanspruchten Gegenstand gemäß den unabhängigen Ansprüchen gelöst. Weitere Entwicklungen sind in den abhängigen Ansprüchen definiert.

ZUSAMMENFASSUNG

[0005] Gemäß einer Ausführungsform umfasst eine Halbleitervorrichtung in einem Halbleitersubstrat mit einer ersten Hauptoberfläche ein Transistor-Array und ein Abschlussgebiet. Das Transistor-Array umfasst ein Sourcegebiet, ein Draingebiet, ein Bodygebiet, eine Driftzone und eine Gateelektrode bei dem Bodygebiet. Die Gateelektrode ist dafür eingerichtet, eine Leitfähigkeit eines Kanals im Bodygebiet zu steuern. Das Bodygebiet und die Driftzone sind entlang einer ersten horizontalen Richtung zwischen dem Sourcegebiet und dem Draingebiet angeordnet. Das Transistor-Array umfasst ferner erste Feldplattengräben in der Driftzone, wobei eine Längsachse der ersten Feldplattengräben sich in der ersten horizontalen Richtung erstreckt. Die Halbleitervorrichtung umfasst überdies einen zweiten Feldplattengraben, wobei die Längsachse des zweiten Feldplattengraben

grabsens sich in einer zweiten horizontalen Richtung senkrecht zur ersten Richtung erstreckt.

[0006] Gemäß einer Ausführungsform weist eine Halbleitervorrichtung einen Leistungstransistor in einem Halbleitersubstrat auf. Das Halbleitersubstrat umfasst einen ersten Halbleitersubstratbereich eines ersten Leitfähigkeitstyps bei einer ersten Hauptoberfläche des Halbleitersubstrats und einen zweiten Substratbereich eines zweiten Leitfähigkeitstyps bei der ersten Hauptoberfläche. Der Leistungstransistor umfasst eine Driftzone in dem ersten Halbleitersubstratbereich, eine Vielzahl erster Feldplatten in der Driftzone, wobei Längsachsen der ersten Feldplatten sich in einer ersten horizontalen Richtung erstrecken, und eine zweite Feldplatte, wobei die Längsachse der zweiten Feldplatte sich in einer zur ersten Richtung senkrechten, zweiten horizontalen Richtung erstreckt.

[0007] Gemäß einer weiteren Ausführungsform umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung mit einem Leistungstransistor in einem Halbleitersubstrat ein Definieren eines ersten Halbleitersubstratbereichs eines ersten Leitfähigkeitstyps bei einer Hauptoberfläche des Halbleitersubstrats und eines zweiten Halbleitersubstratbereichs eines zweiten Leitfähigkeitstyps bei der Hauptoberfläche, um eine Driftzone im ersten Halbleitersubstratbereich auszubilden. Ferner umfasst das Verfahren ein Ausbilden einer Vielzahl erster Feldplatten in der Driftzone, wobei Längsachsen der ersten Feldplatten sich in einer ersten horizontalen Richtung erstrecken, und ein Ausbilden einer zweiten Feldplatte, wobei die Längsachse der zweiten Feldplatte sich in einer zu der ersten Richtung senkrechten, zweiten horizontalen Richtung erstreckt.

[0008] Der Fachmann wird zusätzliche Merkmale und Vorteile nach Lesen der folgenden Detailbeschreibung und Betrachten der begleitenden Zeichnungen erkennen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0009] Die beigelegten Zeichnungen sind beigegeben, um ein weiteres Verständnis von Ausführungsformen der Erfindung zu liefern, und sie sind in die Offenbarung dieser Erfindung einbezogen und bilden einen Teil von ihr. Die Zeichnungen veranschaulichen die Ausführungsformen der vorliegenden Erfindung und dienen zusammen mit der Beschreibung zum Erläutern der Prinzipien. Andere Ausführungsformen der Erfindung und zahlreiche der beabsichtigten Vorteile werden sofort gewürdigt, da sie unter Hinweis auf die folgende Detailbeschreibung besser verstanden werden. Die Elemente der Zeichnungen sind nicht notwendigerweise maßstabsgetreu relativ zueinander. Gleiche Bezugszeichen geben entsprechende ähnliche Teile an.

[0010] Fig. 1A zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer Ausführungsform.

[0011] Fig. 1B zeigt eine vertikale Querschnittsansicht der Halbleitervorrichtung.

[0012] Fig. 1C zeigt eine vertikale Querschnittsansicht eines anderen Bereichs der Halbleitervorrichtung.

[0013] Fig. 1D zeigt eine weitere Querschnittsansicht der Halbleitervorrichtung gemäß einer Ausführungsform.

[0014] Fig. 2A zeigt einen Bereich einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform.

[0015] Fig. 2B zeigt eine vertikale Querschnittsansicht eines Bereichs der Halbleitervorrichtung gemäß einer Ausführungsform.

[0016] Fig. 2C zeigt eine horizontale Querschnittsansicht eines Bereichs der Halbleitervorrichtung, die weitere Modifikationen veranschaulicht.

[0017] Fig. 3 zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform.

[0018] Fig. 4 zeigt eine horizontale Querschnittsansicht, die weitere Elemente der Halbleitervorrichtung veranschaulicht.

[0019] Fig. 5 zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform.

[0020] Fig. 6A zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform.

[0021] Fig. 6B zeigt eine horizontale Querschnittsansicht der Halbleitervorrichtung.

[0022] Fig. 7 fasst ein Verfahren zum Herstellen einer Halbleitervorrichtung zusammen.

[0023] Fig. 8 zeigt eine schematische Ansicht einer elektronischen Vorrichtung gemäß einer Ausführungsform.

DETAILBESCHREIBUNG

[0024] In der folgenden Detailbeschreibung wird Bezug genommen auf die begleitenden Zeichnungen, die einen Teil der Offenbarung bilden und in denen für Veranschaulichungszwecke spezifische Ausführungsformen gezeigt sind, in denen die Erfindung ausgeführt werden kann. In diesem Zusammen-

hang wird eine Richtungsterminologie, wie "Oberseite", "Boden", "Vorderseite", "Rückseite", "vorne", "hinten" usw. in Bezug auf die Orientierung der gerade beschriebenen Figuren verwendet. Da Komponenten von Ausführungsformen der Erfindung in einer Anzahl von verschiedenen Orientierungen positioniert werden können, wird die Richtungsterminologie für Zwecke der Darstellung verwendet und ist in keiner Weise begrenzend. Es ist zu verstehen, dass andere Ausführungsformen verwendet und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem durch die Patentansprüche definierten Umfang abzuweichen.

[0025] Die Beschreibung der Ausführungsformen ist nicht begrenzend. Insbesondere können Elemente der im Folgenden beschriebenen Ausführungsformen mit Elementen von verschiedenen Ausführungsformen kombiniert werden.

[0026] Die Begriffe "haben", "enthalten", "umfassen", "aufweisen" und ähnliche Begriffe sind offene Begriffe, und diese Begriffe geben das Vorhandensein der festgestellten Elemente oder Merkmale an, schließen jedoch das Vorhandensein von zusätzlichen Elementen oder Merkmalen nicht aus. Die unbestimmten Artikel und die bestimmten Artikel sollen sowohl den Plural als auch den Singular umfassen, falls sich aus dem Zusammenhang nicht klar etwas anderes ergibt.

[0027] In dieser Beschreibung bedeuten die Ausdrücke „gekoppelt“ und/oder „elektrisch gekoppelt“ nicht notwendigerweise, dass die Elemente direkt miteinander gekoppelt sein müssen – zwischenliegende Elemente können zwischen den „gekoppelten“ oder „elektrisch gekoppelten“ Elementen vorgesehen sein. Der Ausdruck „elektrisch verbunden“ beabsichtigt die Beschreibung einer niederohmigen elektrischen Verbindung zwischen den elektrisch miteinander verbundenen Elementen.

[0028] Die vorliegende Beschreibung bezieht sich auf einen "ersten" und einen "zweiten" Leitfähigkeitstyp von Dotierstoffen, mit denen Halbleiterbereiche dotiert sind. Der erste Leitfähigkeitstyp kann ein p-Typ sein, und der zweite Leitfähigkeitstyp kann ein n-Typ sein oder umgekehrt. Wie allgemein bekannt ist, können abhängig von dem Dotierungstyp oder der Polarität der Source- und Draingebiete Feldeffekttransistoren mit isoliertem Gate (IGFETs) wie etwa Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFETs) n-Kanal- oder p-Kanal-MOSFETs sein. Beispielsweise sind in einem n-Kanal-MOSFET das Source- und das Draingebiet mit n-Typ-Dotierstoffen dotiert. In einem p-Kanal-MOSFET sind das Source- und das Draingebiet mit p-Typ-Dotierstoffen dotiert. Wie klar zu verstehen ist, können in dem Zusammenhang der vorliegenden Beschreibung die Dotierungstypen umgekehrt werden. Wenn ein spezifischer Strompfad mittels einer Richtungssprache be-

schrieben wird, soll diese Beschreibung nur verstanden werden als eine Angabe des Pfades und nicht der Polarität des Stromflusses, d. h., ob der Strom von der Source zum Drain oder umgekehrt fließt. Die Figuren können polaritätsempfindliche Komponenten, beispielsweise Dioden, umfassen. Wie klar zu verstehen ist, ist die spezifische Anordnung von diesen polaritätsempfindlichen Komponenten als ein Beispiel gegeben und kann invertiert werden, um die beschriebene Funktionalität zu erhalten, je nachdem, ob der erste Leitfähigkeitstyp einen n-Typ oder einen p-Typ bedeutet.

[0029] Die Figuren und die Beschreibung veranschaulichen relative Dotierungskonzentrationen durch Angabe von "–" oder "+" neben dem Dotierungstyp "n" oder "p". Beispielsweise bedeutet "n" eine Dotierungskonzentration, die niedriger als die Dotierungskonzentration eines "n"-Dotierungsgebietes ist, während ein "n⁺"-Dotierungsgebiet eine höhere Dotierungskonzentration hat als ein "n"-Dotierungsgebiet. Dotierungsgebiete der gleichen relativen Dotierungskonzentration haben nicht notwendigerweise die gleiche absolute Dotierungskonzentration. Beispielsweise können zwei verschiedene "n"-Dotierungsgebiete die gleichen oder verschiedene absolute Dotierungskonzentrationen haben. In den Figuren und der Beschreibung werden des besseren Verständnisses wegen die dotierten Bereiche häufig mit „p“ oder „n“-dotiert bezeichnet. Wie sich offensichtlich versteht, ist diese Bezeichnung jedoch nicht beschränkend zu verstehen. Der Dotierungstyp kann beliebig sein, solange die beschriebene Funktionalität erzielt wird. Auch können in allen Ausführungsformen die Dotierungstypen vertauscht sein.

[0030] Die Begriffe "lateral" und "horizontal", wie diese in der vorliegenden Beschreibung verwendet werden, sollen eine Orientierung im Wesentlichen parallel zu einer ersten Oberfläche eines Halbleitersubstrats oder Halbleiterkörpers beschreiben. Dies kann beispielsweise die Oberfläche eines Wafers oder eines Die bzw. Chips sein.

[0031] Der Begriff "vertikal", wie dieser in der vorliegenden Beschreibung verwendet ist, soll eine Orientierung beschreiben, die im Wesentlichen senkrecht zu der ersten Oberfläche des Halbleitersubstrats oder Halbleiterkörpers angeordnet ist.

[0032] Die Begriffe "Wafer", "Substrat" oder "Halbleitersubstrat", die in der folgenden Beschreibung verwendet sind, können jegliche auf Halbleiter beruhende Struktur umfassen, die eine Halbleiteroberfläche hat. Wafer und Struktur sind zu verstehen, so dass sie Silizium, Silizium-auf-Isolator (SOI), Silizium-auf-Saphir (SOS), dotierte und undotierte Halbleiter, epitaktische Schichten von Silizium, getragen durch eine Basishalbleiterunterlage, und andere Halbleiterstrukturen einschließen. Der Halbleiter braucht nicht

auf Silizium zu beruhen. Der Halbleiter könnte ebenso Silizium-Germanium, Germanium oder Galliumarsenid sein. Gemäß anderen Ausführungsformen können Siliziumcarbid (SiC) oder Galliumnitrid (GaN) das Halbleitersubstratmaterial bilden.

[0033] Fig. 1A zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer Ausführungsform. Die Halbleitervorrichtung **1** ist in einem Halbleitersubstrat mit einer Hauptoberfläche ausgebildet. Die Halbleitervorrichtung enthält ein Transistor-Array **10** und ein Abschlussgebiet **20**. Das Transistor-Array **10** umfasst ein Sourcegebiet **201**, ein Draingebiet **205**, ein Bodygebiet **220**, eine Driftzone **260** und eine Gateelektrode **210** bei dem Bodygebiet **220**. Die Gateelektrode **210** ist dafür eingerichtet, eine Leitfähigkeit eines Kanals im Bodygebiet **220** zu steuern. Das Bodygebiet **220** und die Driftzone **260** sind entlang einer ersten horizontalen Richtung, z. B. der x-Richtung, zwischen dem Sourcegebiet **201** und dem Draingebiet **205** angeordnet. Das Transistor-Array **10** weist ferner erste Feldplattengraben **252** in der Driftzone **260** auf. Eine Längsachse der Feldplattengraben **252** erstreckt sich in der ersten horizontalen Richtung. Die Halbleitervorrichtung **1** umfasst ferner einen zweiten Feldplattengraben **272**, der sich in einer zweiten horizontalen Richtung, z. B. der y-Richtung, erstreckt, welche zur ersten Richtung senkrecht ist. Der zweite Feldplattengraben ist an einem Rand des Transistor-Arrays **10**, z. B. in dem Abschlussgebiet **20** oder diesem benachbart, angeordnet. Eine zweite Feldplatte **270** ist in dem zweiten Feldplattengraben **272** angeordnet.

[0034] Wie in Fig. 1A veranschaulicht ist, umfasst das Transistor-Array **10** eine Vielzahl einzelner Transistorzellen, wobei jede ein Sourcegebiet **201**, eine Gateelektrode **210** und eine erste Feldplatte **250** umfasst. Das Transistor-Array **10** umfasst ferner ein gemeinsames Draingebiet **205**, das dem Transistor-Array **10** gemeinsam ist. Wie in Fig. 1B veranschaulicht werden wird, sind die Sourcegebiete **201** mit einem gemeinsamen Sourceanschluss **170** elektrisch verbunden, sind die Gateelektroden **210** mit einem gemeinsamen Gateanschluss **171** elektrisch verbunden, und das Draingebiet **205** ist mit einem gemeinsamen Drainanschluss **272** elektrisch verbunden. Ferner können die ersten Feldplatten **250** mit einem gemeinsamen Anschluss, z. B. dem Sourceanschluss **170**, elektrisch verbunden sein.

[0035] Wie offensichtlich zu verstehen ist, können die einzelnen Komponenten der einzelnen Transistorzellen in einer verschiedenen Weise verwirklicht sein. Zum Beispiel kann das Sourcegebiet **201** als ein gemeinsames Sourcegebiet implementiert bzw. verwirklicht sein, welches einer Vielzahl paralleler Transistorzellen gemeinsam ist. Ferner kann das Draingebiet **205** in einzelne Draingebiete getrennt sein, wel-

che verschiedenen parallelen Transistorzellen zugeordnet sind.

[0036] Die Driftzone **260** kann in einem ersten Substratbereich **140** des ersten Leitfähigkeitstyps angeordnet sein und kann eine Komponente davon sein. Das Bodygebiet **220** ist in einem zweiten Substratbereich **150** des zweiten Leitfähigkeitstyps angeordnet und kann eine Komponente davon sein. Wie in **Fig. 1A** gezeigt ist, kann der zweite Substratbereich **150** den ersten Substratbereich **140** umgeben. Eine Begrenzung **145** zwischen den ersten und zweiten Substratbereichen **140**, **150** kann die ersten Feldplatten **250** und die zweiten Feldplatten **270** umgeben. Ferner kann die Drainkontaktvertiefung **208** in einem zentralen Bereich des ersten Substratbereichs **140** und des Transistorzellen-Arrays angeordnet sein. Die Drainkontaktvertiefung **208** kann von den ersten Feldplatten **250** und den zweiten Feldplatten **270** umgeben sein. Die Sourcekontaktvertiefungen **207** können außerhalb des ersten Substratbereichs **140** im zweiten Substratbereich **150** angeordnet sein. Die Sourcekontaktvertiefungen **207** sind an einem äußeren Rand des Transistorzellen-Arrays angeordnet.

[0037] Die Halbleitervorrichtung umfasst einen zweiten Feldplattengraben **272**, welcher sich in der zweiten Richtung erstreckt. Der zweite Feldplattengraben ist im Abschlussgebiet **20** im ersten Substratbereich **140** des ersten Leitfähigkeitstyps angeordnet. Der zweite Feldplattengraben **272** ist in der Nähe des zweiten Bereichs **150** des zweiten Leitfähigkeitstyps angeordnet.

[0038] Gemäß der Ausführungsform von **Fig. 1A** können gemäß einer Interpretation bzw. Auslegung der erste Feldplattengraben **252** und der zweite Feldplattengraben **272** verschmolzen sein, so dass sie einen Graben mit einer in der ersten Richtung verlaufenden ersten Längsachse und einer in der zweiten Richtung verlaufenden zweiten Längsachse bilden. Gemäß einer weiteren Auslegung erstreckt sich der zweite Feldplattengraben **272** entlang einer ersten Längsachse und entlang einer zweiten Längsachse, wobei die erste Längsachse in der ersten Richtung verläuft und die zweite Längsachse in der zweiten Richtung verläuft. Zum Beispiel kann der zweite Feldplattengraben **272** eine Form eines oder ähnlich einem "L" aufweisen.

[0039] Wenn der Transistor eingeschaltet wird, z. B. indem eine geeignete Spannung an den Gateelektrode **210** angelegt wird, wird eine leitfähige Inversionsschicht im Bodygebiet **220** der Gate-Dielektrikumschicht **211** benachbart ausgebildet. Dementsprechend ist der Transistor in einem leitenden Zustand zwischen dem Sourcegebiet **201** und dem Draingebiet **205** über das Drainsausdehnungsgebiet oder die Driftzone **260**. Ein Stromfluss wird entlang der

ersten Richtung erreicht. Falls ausgeschaltet ist, ist kein leitfähiger Kanal im Bodygebiet **220** gebildet. Ferner werden in der Driftzone **260** vorhandene Träger durch die in den ersten Feldplattengraben **252** angeordnete Feldplatte **250** kompensiert. Als Konsequenz können Träger aus der Driftzone **260** verarmt werden, was ein Sperren des Stromflusses bei einer hohen Durchbruchspannung zur Folge hat.

[0040] Aufgrund des Vorhandenseins des zweiten Feldplattengrabens, der sich in der zweiten horizontalen Richtung erstreckt, kann der erste Substratbereich **140** des ersten Leitfähigkeitstyps ebenfalls in dem Bereich zwischen dem Draingebiet **205** und dem zweiten Substratbereich **150** des zweiten Leitfähigkeitstyps entlang der zweiten Richtung kompensiert werden. Als Konsequenz kann ein Durchbruch entlang der zweiten Richtung über den Übergang zwischen dem ersten Substratbereich **140** und dem zweiten Bereich **150** des zweiten Leitfähigkeitstyps unterdrückt werden.

[0041] Als Folge kann ein Abschlussgebiet **20** in einfacher Art und Weise verwirklicht werden, welches zum Unterdrücken eines Durchbruchs entlang der zweiten Richtung wirksam ist.

[0042] Wie in **Fig. 1A** weiter veranschaulicht ist, können die Sourcegebiete **201** und ein Bodykontaktbereich **225** einer Sourcekontaktvertiefung **207** benachbart, in welcher ein Source-Kontaktmaterial **202** angeordnet ist, entlang der zweiten Richtung abwechselnd angeordnet sein. Gemäß einer Ausführungsform kann, wie mit Verweis auf **Fig. 1B** und **Fig. 1C** im Folgenden detaillierter erläutert werden wird, das Source-Kontaktmaterial **202** in der Sourcekontaktvertiefung über einen rückseitigen Kontakt mit einem Sourceanschluss elektrisch verbunden sein. Gemäß dieser Ausführungsform kann der zweite Substratbereich **150** über den dotierten Kontaktbereich **173** des ersten Leitfähigkeitstyps, der der Sourcekontaktvertiefung **207** benachbart und in Kontakt mit dieser horizontal angeordnet ist, mit dem Sourceanschluss elektrisch verbunden sein.

[0043] Gemäß der in **Fig. 1A** gezeigten Ausführungsform können die ersten Feldplattengraben **252** in einer Distanz c angeordnet sein, welche entlang der zweiten Richtung gemessen wird. Die ersten Feldplattengraben **252** können ferner eine Länge a , gemessen entlang der ersten Richtung, aufweisen. Die Halbleitervorrichtung kann überdies mehrere zweite Feldplattengraben **272** aufweisen, welche in einer Distanz d angeordnet sein können. Eine Länge des zweiten Feldplattengrabens **272**, gemessen in der zweiten Richtung, kann ferner b sein. Gemäß einer Ausführungsform gilt $b = a$ oder b ist annähernd gleich a . Gemäß einer Ausführungsform gilt $c = d$ oder c ist annähernd gleich d . Beispielsweise gilt $|a - b|/a < 0,2$ oder $0,1$. Ferner gilt $|c - d|/c < 0,2$ oder $0,1$. Als

Konsequenz kann die Durchbruchspannung entlang der zweiten Richtung annähernd gleich der Durchbruchspannung entlang der ersten Richtung sein.

[0044] Wie in **Fig. 1A** weiter veranschaulicht ist, können die Feldplatten **250** an Positionen in der zweiten Richtung angeordnet sein, so dass jede einzelne der Gateelektroden zwischen zwei benachbarten Feldplatten **250** angeordnet ist und umgekehrt. Überdies kann die Gateelektrode **210** dem Sourcegebiet **201** benachbart angeordnet sein, während ein Bodykontaktbereich **225** des zweiten Leitfähigkeitstyps zwischen benachbarten Gateelektroden **210** angeordnet ist. Als Folge können die Bodykontaktbereiche **225** so angeordnet sein, dass sie Feldplatten **250** gegenüberliegen. Die Bodykontaktbereiche **225** können mit den Feldplatten **250** entlang der zweiten Richtung überlappen. Das Sourcegebiet **201** und das Draingebiet **205** können mit Dotierstoffen des ersten Leitfähigkeitstyps, z. B. n-Typ, dotiert sein. Der Bodykontaktbereich **225** kann mit Dotierstoffen des zweiten Leitfähigkeitstyps, z. B. p-Typ, dotiert sein. Der Bodykontaktbereich **225** verbindet das Bodygebiet **220** über die Sourcekontaktfüllung **202** mit dem Sourceanschluss, um einen parasitären Bipolartransistor zu unterdrücken, welcher bei diesem Bereich andernfalls gebildet werden könnte.

[0045] **Fig. 1B** zeigt eine Querschnittsansicht eines Bereichs der in **Fig. 1A** dargestellten Halbleitervorrichtung, welche zwischen I und I' gelegt ist. Die Querschnittsansicht von **Fig. 1B** ist so gelegt, dass sie den ersten Feldplattengraben **252** schneidet. Wie in **Fig. 1B** dargestellt ist, kann das Halbleitersubstrat einen ersten Substratbereich **140** des ersten Leitfähigkeitstyps und einen zweiten Substratbereich **150** des zweiten Leitfähigkeitstyps aufweisen. Der erste und der zweite Substratbereich **140, 150** sind bei der ersten Hauptoberfläche **110** des Halbleitersubstrats ausgebildet. Weitere Schichten können unter den jeweiligen Substratbereichen ausgebildet sein und sind hierin der Einfachheit halber weggelassen. Das erste leitfähige Material **202** ist in eine Sourcekontaktvertiefung **207** gefüllt, welche sich entlang der zweiten Richtung erstreckt. Die Seitenwand der Sourcekontaktvertiefung **207** ist abwechselnd mit Verunreinigungen des ersten und zweiten Leitfähigkeitstyps dotiert, um so das Sourcegebiet **201** (in **Fig. 1B** nicht dargestellt) und den Bodykontaktbereich **225** zu bilden. Das Bodygebiet **220** ist im zweiten Substratbereich **150** des zweiten Leitfähigkeitstyps ausgebildet.

[0046] Wie in **Fig. 1B** angegeben ist, kann ein Bereich der Gateelektrode **210** oberhalb des Bodygebiets **220** angeordnet sein. Weitere Bereiche der Gateelektrode können in Gategräben **212** vor und hinter der abgebildeten Ebene der Zeichnung angeordnet sein. Die Halbleitervorrichtung umfasst ferner erste Feldplattengräben **252**, in denen eine erste Feldplatte **250** angeordnet ist. Die erste Feldplatte

250 kann von einem benachbarten Halbleitermaterial mittels einer Felddielektrikumschicht **251** isoliert sein. Die Driftzone **260** ist im ersten Halbleitersubstratbereich **140** des ersten Leitfähigkeitstyps angeordnet. Das Draingebiet **205** erstreckt sich in dem Halbleitersubstrat und kann die Seitenwand einer Drainkontaktvertiefung **208** bilden. Eine Drainkontaktfüllung **206**, z. B. dotiertes Polysilizium oder ein Metall, kann in die Drainkontaktvertiefung **208** gefüllt sein. Die Drainkontaktfüllung **206** kann mit einem Drainanschluss **172** elektrisch verbunden sein.

[0047] Wie in **Fig. 1B** gezeigt ist, sind die Sourcekontaktvertiefung **207** und die Drainkontaktvertiefung **208** in der ersten Hauptoberfläche **110** des Halbleitersubstrats **100** ausgebildet. Beispielsweise kann, wie mit Verweis auf **Fig. 1C** detaillierter erläutert werden wird, die Sourcekontaktfüllung **202** über die zweite Hauptoberfläche **120** mit einem Sourceanschluss **170** elektrisch verbunden sein. Weiter kann die Sourcekontaktfüllung von einer leitfähigen Schicht über die erste Hauptoberfläche **110** getrennt sein. Die Drainkontaktfüllung **206** kann über die erste Hauptoberfläche **110** mit einem Drainanschluss **172** elektrisch verbunden sein. Gemäß weiteren Ausführungsformen kann die Sourcekontaktfüllung **202** über die erste Hauptoberfläche **110** des Halbleitersubstrats mit einem Sourceanschluss **170** elektrisch verbunden sein. Die Drainkontaktfüllung **206** kann überdies über die zweite Hauptoberfläche mit dem Drainanschluss **172** elektrisch verbunden sein. In jedem dieser Fälle können/kann sich die Sourcekontaktvertiefung **207** und/oder die Drainkontaktvertiefung **208** tiefer oder weniger tief in das Halbleitersubstrat **100** wie in den Figuren veranschaulicht erstrecken.

[0048] **Fig. 1C** zeigt eine Querschnittsansicht der Halbleitervorrichtung, gelegt zwischen II und II'. Die Querschnittsansicht von **Fig. 1C** ist so gelegt, dass sie das Sourcegebiet **201** und den Gategraben **212** schneidet. Wie dargestellt ist, kann der Gategraben **212** sich in die Tiefenrichtung des Substrats erstrecken. Die ersten Feldplattengräben **252** sind vor und hinter der abgebildeten Ebene der Zeichnung angeordnet. Das Sourcegebiet **201** ist an einer Seitenwand der Sourcekontaktvertiefung **207** ausgebildet.

[0049] Gemäß der in **Fig. 10** veranschaulichten Ausführungsform umfasst die Halbleitervorrichtung ferner einen Sourcekontakt, der mit dem Sourcegebiet **201** elektrisch verbunden ist. Der Sourcekontakt umfasst einen ersten Sourcekontaktbereich **204** und einen zweiten Sourcekontaktbereich **240**. Der zweite Sourcekontaktbereich **240** ist bei der zweiten Hauptoberfläche **120** des Halbleitersubstrats **100** angeordnet. Beispielsweise kann der zweite Sourcekontaktbereich **240** durch eine rückseitige Metallisierungsschicht verwirklicht sein.

[0050] Der erste Sourcekontaktbereich **204** umfasst eine Sourcekontaktfüllung **202** in direktem Kontakt mit dem Sourcegebiet **201**. Der erste Sourcekontaktbereich umfasst ferner einen Bereich des Halbleitersubstrats **100**, der zwischen der Sourcekontaktfüllung **202** und dem zweiten Sourcekontaktbereich **240** angeordnet ist. Beispielsweise kann, wie in **Fig. 1C** veranschaulicht ist, das Halbleitersubstrat **100** eine Basisschicht **104** des zweiten Leitfähigkeitstyps aufweisen. Ein oberer Bereich **105** der Basisschicht kann bei einer niedrigeren Dotierkonzentration als ein unterer Bereich dotiert sein. Der erste Halbleitersubstratbereich **140** und der zweite Halbleitersubstratbereich **150** können über dem oberen Bereich **105** der Basisschicht angeordnet sein. Gemäß dieser Ausführungsform kann ferner der erste Sourcekontaktbereich **204** einen Bereich der Basisschicht **104** aufweisen.

[0051] **Fig. 1D** zeigt eine Querschnittsansicht, welche zwischen III und III' gelegt ist, wie in **Fig. 1A** ebenfalls angegeben ist. Die Querschnittsansicht von **Fig. 1D** ist entlang der zweiten Richtung so gelegt, dass sie eine Vielzahl von Gategräben **212** schneidet. Aufgrund der Tatsache, dass die Gateelektrode **210** in Gategräben **212** angeordnet ist, erstreckt sich die Gateelektrode **210**, welche in die Gategräben **212** gefüllt ist, entlang einer Seitenwand **220b** des Bodygebiets **220**. Als Konsequenz kann ein leitfähiger Kanal **215**, welcher bei Anlegen einer geeigneten Spannung an die Gateelektrode **210** ausgebildet werden kann, einer Seitenwand **220b** des Bodygebiets benachbart und einer Oberseite **220a** des Bodygebiets benachbart angeordnet sein.

[0052] **Fig. 2A** zeigt eine horizontale Querschnittsansicht eines Bereichs der Halbleitervorrichtung gemäß einer weiteren Ausführungsform. Abweichend von der in **Fig. 1A** dargestellten Ausführungsform umgibt die Sourcekontaktvertiefung **207** den ersten Substratbereich **140** des ersten Leitfähigkeitstyps, um eine Abschlussvertiefung **209** auszubilden. Als Folge kann ein parasitärer Bipolartransistor, z. B. ein npn-Transistor, an einer zweiten Halbleitervorrichtung, die im gleichen Substrat ausgebildet sein kann, vermieden oder verschlechtert werden. **Fig. 23** zeigt eine vertikale Querschnittsansicht der Halbleitervorrichtung, die in **Fig. 2A** dargestellt ist. Die Querschnittsansicht von **Fig. 2B** ist zwischen IV und IV' entlang der zweiten Richtung gelegt. Wie in der vertikalen Querschnittsansicht dargestellt ist, kann die Abschlussvertiefung **209** mit einer leitfähigen Füllung **230** gefüllt sein. Gemäß einer Ausführungsform kann eine Seitenwand der Abschlussvertiefung **209** dotiert sein. Gemäß weiteren Ausführungsformen ist eine Seitenwand der Abschlussvertiefung **209** nicht dotiert. Ferner kann ein zweiter Feldplattengraben dem ersten Feldplattengraben **252** ähnlich sein.

[0053] **Fig. 2C** zeigt eine horizontale Querschnittsansicht eines Bereichs der Halbleitervorrichtung, die weitere Modifikationen veranschaulicht. Insbesondere kann gemäß der Ausführungsform von **Fig. 2C** die Begrenzung **145** zwischen dem ersten Substratbereich **140** und dem zweiten Substratbereich **150** so versetzt sein, dass eine konstante Distanz zu einem Feldplattengraben, z. B. dem zweiten Feldplattengraben **272**, beibehalten wird. Gemäß weiteren Ausführungsformen kann die Begrenzung **145** so versetzt sein, dass sie zumindest einen Teil der zweiten Feldplattengraben **272** schneidet. Infolge dieser verschiedenen Formen können Durchbruchcharakteristiken einheitlicher ausgebildet werden.

[0054] **Fig. 3** zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform. Abweichend von der in **Fig. 1A** gezeigten Ausführungsform kann der zweite Feldplattengraben **272** eine Längsachse aufweisen, welche sich ohne einen in der ersten Richtung verlaufenden Bereich nur in der zweiten Richtung erstreckt.

[0055] Gemäß der in **Fig. 3** gezeigten Ausführungsform kann die Form der ersten Feldplattengraben **252** und der zweiten Feldplattengraben **272** weiter modifiziert werden, wodurch die Leistungsfähigkeit der Halbleitervorrichtung verbessert wird. Gemäß einer Ausführungsform hat, wie in **Fig. 3** gezeigt ist, das Draingebiet **205** eine kürzere Länge L , gemessen in der zweiten Richtung, als gemäß der in **Fig. 1A** dargestellten Ausführungsform. Als Folge kann die Durchbruchspannung beim Abschlussgebiet **20** weiter erhöht werden.

[0056] **Fig. 4** zeigt weitere mögliche Layouts und strukturelle Entwürfe des ersten Feldplattengrabens **252** bzw. des zweiten Feldplattengrabens **272**. Wie dargestellt ist, weisen die ersten Feldplattengraben **252** eine Länge a , gemessen in der ersten Richtung, und eine Distanz c voneinander auf, wobei die Distanz in der zweiten Richtung gemessen wird. Überdies weisen die ersten Feldplattengraben **252** eine Distanz k zur Begrenzung **145** zwischen dem ersten Substratbereich **140** und dem zweiten Substratbereich **150** auf. Der zweite Feldplattengraben **272** hat ferner eine Länge b , gemessen entlang der zweiten Richtung, und eine Distanz d von einem benachbarten zweiten Feldplattengraben **272**. Die Distanz d wird entlang der ersten Richtung gemessen. Der zweite Feldplattengraben **272** weist eine Distanz m zur Begrenzung **145** zwischen dem ersten Substratbereich **140** und dem zweiten Substratbereich **150**, gemessen entlang der ersten Richtung, und eine zweite Distanz f , gemessen entlang der zweiten Richtung, zur Begrenzung **145** auf. Gemäß Ausführungsformen ist die Länge a des ersten Feldplattengrabens **252** gleich der Länge b des zweiten Feldplattengrabens **272**. Eine Distanz c zwischen benachbarten ersten Feldplattengraben **252** ist ferner gleich

einer Distanz d , gemessen zwischen benachbarten zweiten Feldplatten. Außerdem ist die erste Distanz des zweiten Feldplattengrabens **272** zur Begrenzung **145** gleich der zweiten Distanz f zur Begrenzung **145**. Als Folge ist die Durchbruchspannung der Halbleitervorrichtung in den verschiedenen Richtungen eines möglichen Stromflusses gleichmäßig.

[0057] Fig. 5 zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß noch einer weiteren Ausführungsform. Wie gezeigt ist, weist die Halbleitervorrichtung eine Vielzahl zweiter Feldplattengräben **272** auf, die sich entlang der ersten Richtung entlang der Begrenzung **145** zwischen dem ersten Substratbereich **140** und dem zweiten Substratbereich **150** erstrecken. Gemäß einer Ausführungsform ist die Distanz zwischen den zweiten Feldplattengräben **272** zu einem benachbarten ersten Feldplattengraben **252**, gemessen in der zweiten Richtung, annähernd gleich der Distanz c zwischen benachbarten ersten Feldplattengräben **252**. Beispielsweise kann eine Abweichung weniger als 20% z. B. weniger als 10%, betragen. Als Folge können die Durchbruchcharakteristiken der Vorrichtung weiter verbessert werden.

[0058] Gemäß den hierin beschriebenen Ausführungsformen umfasst die Halbleitervorrichtung einen Leistungstransistor im Halbleitersubstrat **100**. Das Halbleitersubstrat **100** umfasst einen ersten Substratbereich **140** eines ersten Leitfähigkeitstyps bei der Hauptoberfläche **110** des Halbleitersubstrats und einen zweiten Substratbereich **150** des zweiten Leitfähigkeitstyps bei der Hauptoberfläche **110**. Der Leistungstransistor weist eine Driftzone **260** auf, welche in dem ersten Halbleitersubstratbereich **140** ausgebildet ist. Der Leistungstransistor umfasst ferner eine Vielzahl erster Feldplatten **250**, welche in der Driftzone **260** angeordnet sind. Längsachsen der ersten Feldplatten **250** erstrecken sich in einer ersten horizontalen Richtung. Die Halbleitervorrichtung umfasst ferner eine zweite Feldplatte **270**. Eine Längsachse der zweiten Feldplatte **270** verläuft in einer zur ersten Richtung senkrechten, zweiten horizontalen Richtung. Wie hierin oben beschrieben wurde, können die Gateelektroden **210** und die Feldplatten **250** in den Gategräben **212** bzw. Feldplattengräben **252** angeordnet sein. Die zweiten Feldplatten **270** können ferner in den zweiten Feldplattengräben **272** angeordnet sein. Wie offensichtlich zu verstehen ist, können die Gateelektroden **210** und die ersten und zweiten Feldplatten **250**, **270** oder kann ein Teil dieser Komponenten als planare Komponenten verwirklicht sein. Dementsprechend können einige dieser Komponenten ganz über der ersten Hauptoberfläche **110** des Halbleitersubstrats angeordnet sein.

[0059] Die Halbleitervorrichtung weist ferner ein Sourcegebiet **201** und ein Draingebiet **205** auf. Das Sourcegebiet **201** und das Draingebiet **205** sind ent-

lang der ersten horizontalen Richtung angeordnet. Gemäß einer Ausführungsform kann die Halbleitervorrichtung ferner einen Sourcekontakt aufweisen, der mit dem Sourcegebiet **201** elektrisch verbunden ist. Der Sourcekontakt kann einen ersten Sourcekontaktbereich **204** und einen zweiten Sourcekontaktbereich **240** aufweisen. Der zweite Sourcekontaktbereich **240** kann bei der zweiten Hauptoberfläche **120** des Halbleitersubstrats **100** angeordnet sein. Der erste Sourcekontaktbereich **204** umfasst eine Sourcekontaktfüllung **202** in direktem Kontakt mit dem Sourcegebiet **201** und einen Bereich des Halbleitersubstrats **100**, der zwischen der Sourcekontaktfüllung **202** und dem zweiten Sourcekontaktbereich **240** angeordnet ist.

[0060] Fig. 6A zeigt eine horizontale Querschnittsansicht einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform. Gemäß dem in Fig. 6A dargestellten Layout ist der zweite Substratbereich **150** in einem zentralen Bereich des Transistorzellen-Arrays angeordnet. Der erste Substratbereich **140** kann den zweiten Substratbereich **150** umgeben. Die Sourcekontaktvertiefung **207** kann in einem zentralen Bereich des Transistorzellen-Arrays und des zweiten Substratbereichs **150** angeordnet sein. Die Drainkontaktvertiefung **208** kann außerhalb des Transistorzellen-Arrays und in dem ersten Substratbereich **140** angeordnet sein. Der erste Substratbereich **140** kann über den dotierten Kontaktbereich **174** des ersten Leitfähigkeitstyps, der der Drainkontaktvertiefung **208** benachbart und in Kontakt mit dieser horizontal angeordnet ist, mit dem Drainanschluss elektrisch verbunden sein.

[0061] Fig. 6B zeigt eine vertikale Querschnittsansicht der in Fig. 6A veranschaulichten Halbleitervorrichtung. Die Halbleitervorrichtung weist ferner einen Drainkontakt auf, der mit dem Draingebiet **205** elektrisch verbunden ist. Der Drainkontakt umfasst einen ersten Drainkontaktbereich **615** und einen zweiten Drainkontaktbereich **640**. Der zweite Drainkontaktbereich **640** ist bei der zweiten Hauptoberfläche **120** des Halbleitersubstrats **100** angeordnet. Beispielsweise kann der zweite Drainkontaktbereich **640** durch eine rückseitige Metallisierungsschicht verwirklicht sein.

[0062] Der erste Drainkontaktbereich **615** weist eine Drainkontaktfüllung **206** in direktem Kontakt mit dem Draingebiet **205** auf. Der erste Drainkontaktbereich weist ferner einen Bereich des Halbleitersubstrats **100** auf, der zwischen der Drainkontaktfüllung **206** und dem zweiten Drainkontaktbereich **640** angeordnet ist.

[0063] Beispielsweise kann, wie in Fig. 6B veranschaulicht ist, das Halbleitersubstrat **100** eine Basisschicht **604** des ersten Leitfähigkeitstyps aufweisen. Ein oberer Bereich **605** der Basisschicht kann bei einer niedrigeren Dotierungskonzentration als ein un-

terer Bereich dotiert sein. Der erste Halbleitersubstratbereich **140** des ersten Leitfähigkeitstyps und der zweite Halbleitersubstratbereich **150** des zweiten Leitfähigkeitstyps bei einer niedrigeren Dotierungskonzentration als der erste Halbleitersubstratbereich **140** können über dem oberen Bereich **605** der Basisschicht angeordnet sein. Gemäß dieser Ausführungsform kann der erste Drainkontaktbereich **615** ferner einen Bereich der Basisschicht **604** umfassen. Beispielsweise kann die Driftzone **260** im ersten Halbleitersubstratbereich angeordnet sein. Das Bodygebiet **220** kann im zweiten Halbleitersubstratbereich **150** angeordnet sein. Ein Bereich des oberen Bereichs **605** der Basisschicht kann unterhalb des Bodygebiets **220** angeordnet sein.

[0064] Fig. 7 fasst ein Verfahren gemäß einer Ausführungsform zusammen. Wie dargestellt ist, umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung mit einem Leistungstransistor in einem Halbleitersubstrat ein Definieren (S100) eines ersten Substratbereichs **140** eines ersten Leitfähigkeitstyps bei einer Hauptoberfläche des Halbleitersubstrats und eines zweiten Substratbereichs eines zweiten Leitfähigkeitstyps bei der Hauptoberfläche, wodurch eine Driftzone definiert wird. Ferner umfasst das Verfahren ein Ausbilden (S110) einer Vielzahl erster Feldplatten in der Driftzone, wobei Längsachsen der ersten Feldplatten in einer ersten horizontalen Richtung verlaufen. Das Verfahren umfasst überdies ein Ausbilden (S120) einer zweiten Feldplatte, wobei die Längsachse der zweiten Feldplatte sich in einer zur ersten Richtung senkrechten, zweiten horizontalen Richtung erstreckt.

[0065] Aufgrund der spezifischen Struktur der zweiten Feldplatten kann das Abschlussgebiet **20** der Halbleitervorrichtung **1** in einer einfachen Art und Weise ausgebildet werden. Aufgrund dieses Merkmals kann insbesondere der erste Halbleitersubstratbereich **140** z. B. durch epitaktisches Wachstum oder Implantation über die gesamte Hauptoberfläche eines Werkstücks gebildet werden. Beispielsweise wird zum Herstellen der Halbleitervorrichtung zuerst der erste Halbleitersubstratbereich **140** durch epitaktisches Wachstum oder Implantation gebildet, was unmaskiert ist, gefolgt von einem maskierten Dotierungsprozess, um den zweiten Halbleitersubstratbereich **150** des zweiten Leitfähigkeitstyps zu bilden. Als Folge kann der Prozess zum Herstellen der Halbleitervorrichtung weiter vereinfacht werden.

[0066] Fig. 8 zeigt eine schematische Ansicht einer elektronischen Vorrichtung (**50**) gemäß einer Ausführungsform. Eine elektronische Vorrichtung (**50**) kann die Halbleitervorrichtung (**1**) wie hierin oben beschrieben aufweisen. Beispielsweise kann die elektronische Vorrichtung aus der Gruppe eines DCDC-Wandlers, einer Brückenschaltung, eines Wandlers,

eines Inverters und eines Motorantriebs ausgewählt werden.

[0067] Obgleich Ausführungsformen der Erfindung oben beschrieben wurden, ist es offensichtlich, dass weitere Ausführungsformen verwirklicht werden können. Beispielsweise können weitere Ausführungsformen eine beliebige Teilkombination von Merkmalen, die in den Ansprüchen zitiert sind, oder irgendeine Teilkombination von Elementen, die in den oben gegebenen Beispielen beschrieben wurden, aufweisen. Dementsprechend sollen dieser Geist und Umfang der beigefügten Ansprüche nicht auf die Beschreibung der hierin enthaltenen Ausführungsformen beschränkt sein.

Patentansprüche

1. Halbleitervorrichtung (**1**) in einem Halbleitersubstrat (**100**) mit einer ersten Hauptoberfläche (**110**), die ein Transistor-Array (**10**) und ein Abschlussgebiet (**20**) enthält, wobei das Transistor-Array (**10**) umfasst: ein Sourcegebiet (**201**); ein Draingebiet (**205**); ein Bodygebiet (**220**); eine Driftzone (**260**); und eine Gateelektrode (**210**) bei dem Bodygebiet (**220**), wobei die Gateelektrode (**210**) dafür eingerichtet ist, eine Leitfähigkeit eines Kanals im Bodygebiet (**220**) zu steuern, wobei das Bodygebiet (**220**) und die Driftzone (**260**) entlang einer ersten horizontalen Richtung zwischen dem Sourcegebiet (**201**) und dem Draingebiet (**205**) angeordnet sind, wobei das Transistor-Array (**10**) ferner erste Feldplattengraben (**252**) in der Driftzone aufweist, wobei eine Längsachse der ersten Feldplattengraben (**252**) sich in der ersten horizontalen Richtung erstreckt, wobei die Halbleitervorrichtung (**1**) ferner einen zweiten Feldplattengraben (**272**) aufweist, wobei die Längsachse des zweiten Feldplattengrabens (**272**) in einer zu der ersten Richtung senkrechten, zweiten horizontalen Richtung verläuft.
2. Halbleitervorrichtung nach Anspruch 1, wobei der zweite Feldplattengraben (**272**) im Abschlussgebiet (**20**) angeordnet ist.
3. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei die Gateelektrode (**210**) in Gategraben (**212**) in der ersten Hauptoberfläche (**110**) angeordnet ist, die in der ersten Richtung verlaufen.
4. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, wobei der zweite Feldplattengraben (**272**) mit einem der ersten Feldplattengraben (**252**) verschmolzen ist.
5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, umfassend eine Vielzahl zweiter Feldplattengraben (**272**), die entlang der ersten Richtung

im Abschlussgebiet (20) angeordnet sind, wobei eine Längsrichtung der zweiten Feldplattengräben in der zweiten Richtung verläuft.

6. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, ferner umfassend eine erste Feldplatte (250) in den ersten Feldplattengräben (252) und eine zweite Feldplatte (270) in dem zweiten Feldplattengraben (272), wobei die erste Feldplatte (250) und die zweite Feldplatte (270) mit einem gemeinsamen Anschluss elektrisch verbunden sind.

7. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, umfassend zumindest zwei zweite Feldplattengräben (272), wobei die ersten Feldplattengräben (252) in einer Distanz c angeordnet sind, die zumindest zwei zweiten Feldplattengräben (272) in einer Distanz d angeordnet sind und $|c - d|/c < 0,2$ gilt.

8. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, wobei jeder der ersten Feldplattengräben (252) eine Länge a , gemessen entlang der ersten Richtung, aufweist, der zweite Feldplattengraben (272) eine Länge b , gemessen entlang der zweiten Richtung, aufweist und $|a - b|/a < 0,2$ gilt.

9. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, wobei das Halbleitersubstrat (100) einen ersten Substratbereich (140) eines ersten Leitfähigkeitstyps bei einer Hauptoberfläche (110) des Halbleitersubstrats (100) und einen zweiten Substratbereich (150) eines zweiten Leitfähigkeitstyps bei der Hauptoberfläche (110) aufweist, wobei die Driftzone (260) im ersten Substratbereich (140) angeordnet ist und eine Distanz der ersten Feldplattengräben (252) zum zweiten Substratbereich (150) in der ersten Richtung gleich der Distanz des zweiten Feldplattengrabens (272) zum zweiten Substratbereich (150) in der zweiten Richtung ist.

10. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, ferner umfassend einen Sourcekontakt, der mit dem Sourcegebiet (201) elektrisch verbunden ist, wobei der Sourcekontakt einen ersten Sourcekontaktbereich (204) und einen zweiten Sourcekontaktbereich (240) umfasst, der zweite Sourcekontaktbereich (240) bei einer zweiten Hauptoberfläche (120) des Halbleitersubstrats (100) angeordnet ist, der erste Sourcekontaktbereich (204) eine Sourcekontaktfüllung (202) in direktem Kontakt mit dem Sourcegebiet (201) und einen Bereich des Halbleitersubstrats (100) umfasst, der zwischen der Sourcekontaktfüllung (202) und dem zweiten Sourcekontaktbereich (240) angeordnet ist.

11. Halbleitervorrichtung nach einem der Ansprüche 1 bis 9, ferner umfassend einen Drainkontakt, der mit dem Draingebiet (205) elektrisch verbunden ist,

wobei der Drainkontakt einen ersten Drainkontaktbereich (615) und einen zweiten Drainkontaktbereich (640) umfasst,

der zweite Drainkontaktbereich (640) bei einer zweiten Hauptoberfläche (120) des Halbleitersubstrats (100) angeordnet ist,

der erste Drainkontaktbereich (615) eine Drainkontaktfüllung (206) in direktem Kontakt mit dem Draingebiet (205) und einen Bereich des Halbleitersubstrats (100) umfasst, der zwischen der Drainkontaktfüllung (206) und dem zweiten Drainkontaktbereich (640) angeordnet ist.

12. Halbleitervorrichtung, umfassend einen Leistungstransistor in einem Halbleitersubstrat (100), wobei das Halbleitersubstrat einen ersten Halbleitersubstratbereich (140) eines ersten Leitfähigkeitstyps bei einer ersten Hauptoberfläche (110) des Halbleitersubstrats und einen zweiten Substratbereich (150) eines zweiten Leitfähigkeitstyps bei der ersten Hauptoberfläche (110) aufweist,

wobei der Leistungstransistor umfasst:

eine Driftzone (260) in dem ersten Halbleitersubstratbereich (140),

eine Vielzahl erster Feldplatten (250) in der Driftzone (260), wobei Längsachsen der ersten Feldplatten (250) sich in einer ersten horizontalen Richtung erstrecken; und

eine zweite Feldplatte (270), wobei die Längsachse der zweiten Feldplatte (270) sich in einer zur ersten Richtung senkrechten, zweiten horizontalen Richtung erstreckt.

13. Halbleitervorrichtung nach Anspruch 12, ferner umfassend ein Sourcegebiet (201) und ein Draingebiet (205), wobei das Sourcegebiet (201) und das Draingebiet (205) entlang der ersten horizontalen Richtung angeordnet sind.

14. Halbleitervorrichtung nach Anspruch 13, ferner umfassend einen Sourcekontakt, der mit dem Sourcegebiet (201) elektrisch verbunden ist, wobei der Sourcekontakt einen ersten Sourcekontaktbereich (204) und einen zweiten Sourcekontaktbereich (240) umfasst,

der zweite Sourcekontaktbereich (240) bei einer zweiten Hauptoberfläche (120) des Halbleitersubstrats (100) angeordnet ist,

der erste Sourcekontaktbereich (204) eine Sourcekontaktfüllung (202) in direktem Kontakt mit dem Sourcegebiet (201) und einen Bereich des Halbleitersubstrats (100) umfasst, der zwischen der Sourcekontaktfüllung (202) und dem zweiten Sourcekontaktbereich (240) angeordnet ist.

15. Halbleitervorrichtung nach Anspruch 13, ferner umfassend einen Drainkontakt, der mit dem Draingebiet (205) elektrisch verbunden ist, wobei der Drainkontakt einen ersten Drainkontaktbereich (615) und einen zweiten Drainkontaktbereich (640) umfasst,

wobei der zweite Drainkontaktbereich (640) bei einer zweiten Hauptoberfläche (120) des Halbleitersubstrats (100) angeordnet ist, der erste Drainkontaktbereich (615) eine Drainkontaktfüllung (206) in direktem Kontakt mit dem Draingebiet (205) und einen Bereich des Halbleitersubstrats (100) umfasst, der zwischen der Drainkontaktfüllung (206) und dem zweiten Drainkontaktbereich (640) angeordnet ist.

16. Verfahren zum Herstellen einer Halbleitervorrichtung mit einem Leistungstransistor in einem Halbleitersubstrat, umfassend:

Definieren (S100) eines ersten Halbleitersubstratbereichs eines ersten Leitfähigkeitstyps bei einer Hauptoberfläche des Halbleitersubstrats und eines zweiten Halbleitersubstratbereichs eines zweiten Leitfähigkeitstyps bei der Hauptoberfläche, um eine Driftzone in dem ersten Halbleitersubstratbereich auszubilden,

Ausbilden (S110) einer Vielzahl erster Feldplatten in der Driftzone, wobei Längsachsen der ersten Feldplatten sich in einer ersten horizontalen Richtung erstrecken; und

Ausbilden (S120) einer zweiten Feldplatte, wobei die Längsachse der zweiten Feldplatte sich in einer zu der ersten Richtung senkrechten, zweiten horizontalen Richtung erstreckt.

17. Verfahren nach Anspruch 16, wobei ein Ausbilden der ersten Feldplatten ein Ausbilden erster Feldplattengraben umfasst und ein Ausbilden der zweiten Feldplatte ein Ausbilden eines zweiten Feldplattengrabens umfasst.

18. Elektronische Vorrichtung mit der Halbleitervorrichtung (1) nach einem der Ansprüche 1 bis 15, wobei die elektronische Vorrichtung aus der Gruppe einer Brückenschaltung, eines Wandlers, eines Inverters und eines Motorantriebs ausgewählt ist.

Es folgen 13 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1A

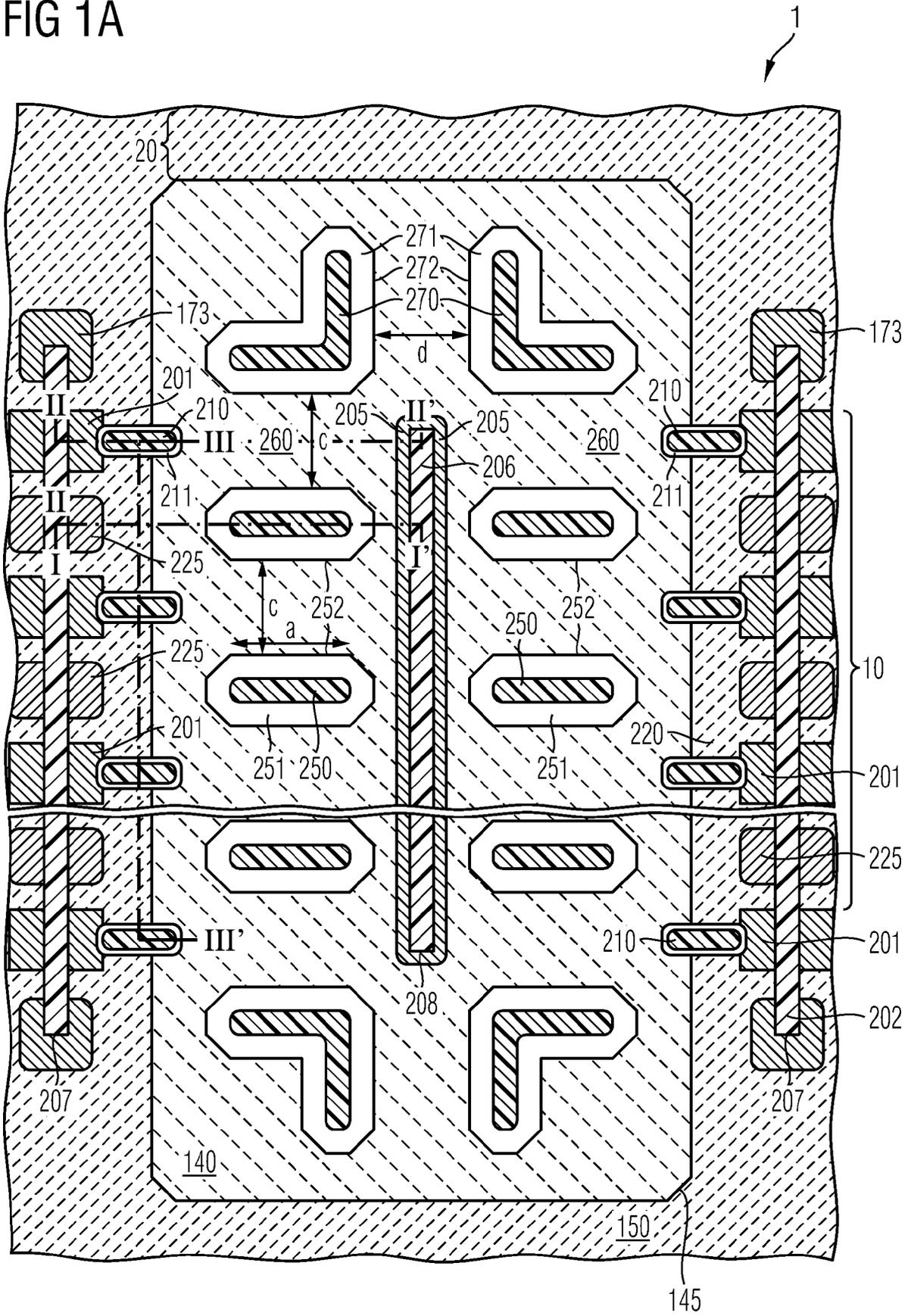


FIG 1B

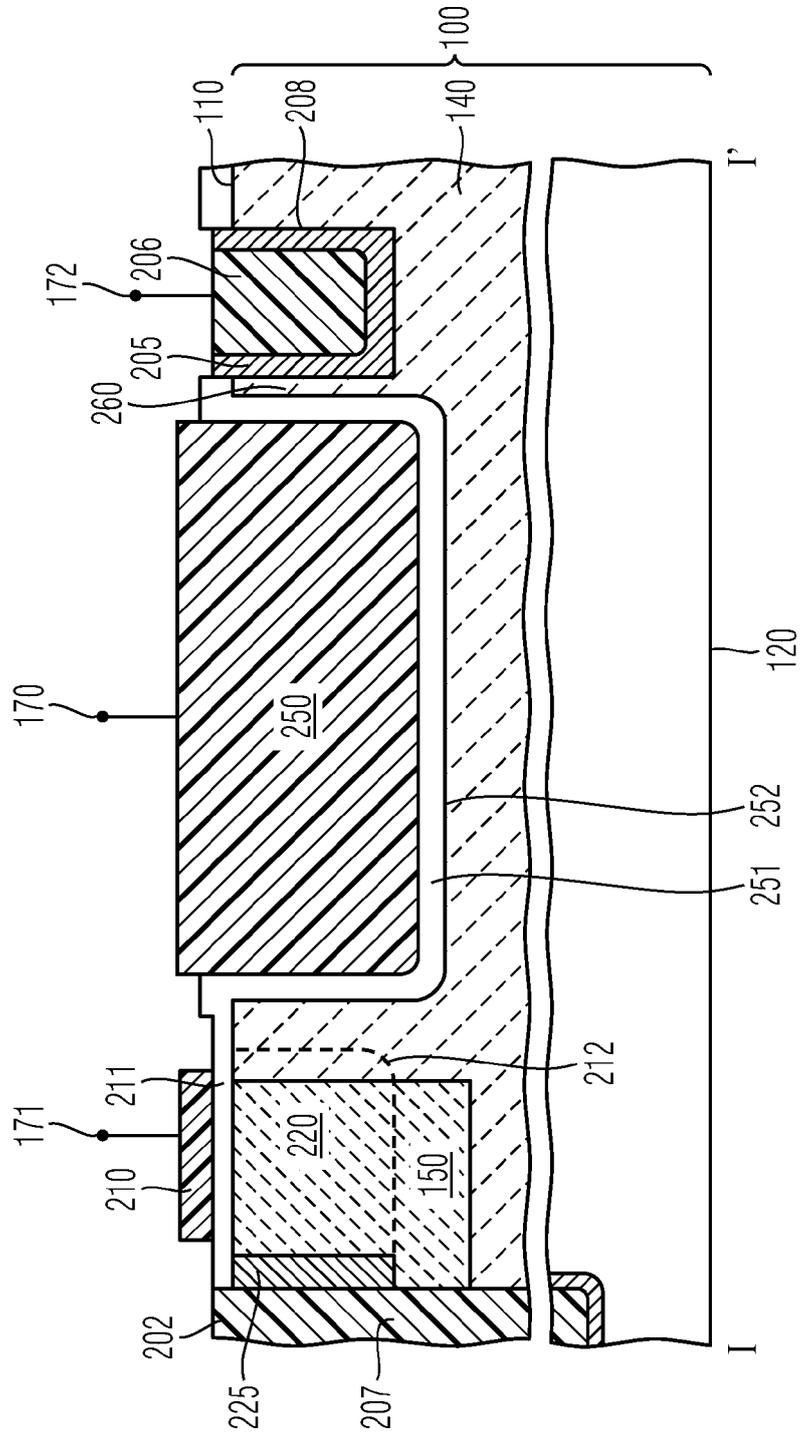


FIG 1C

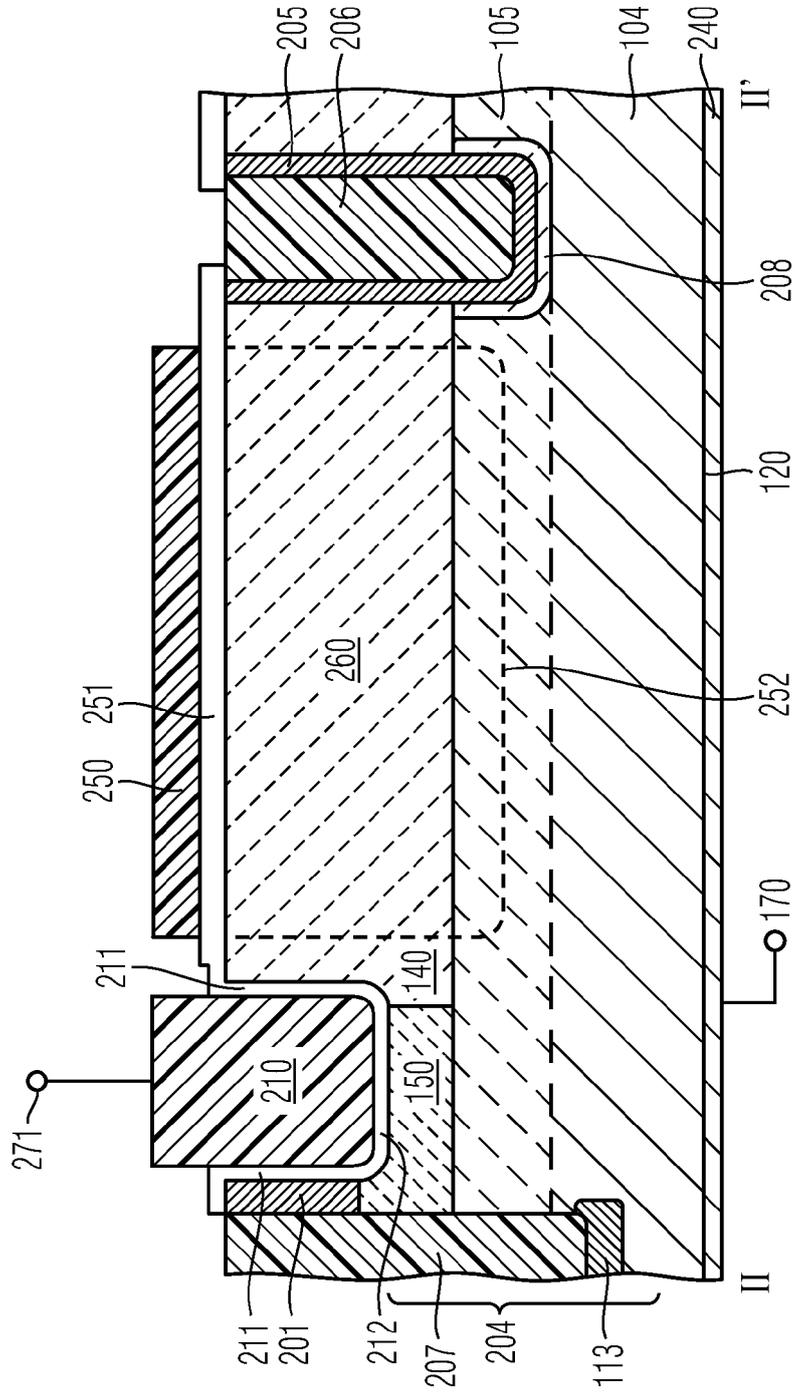


FIG 1D

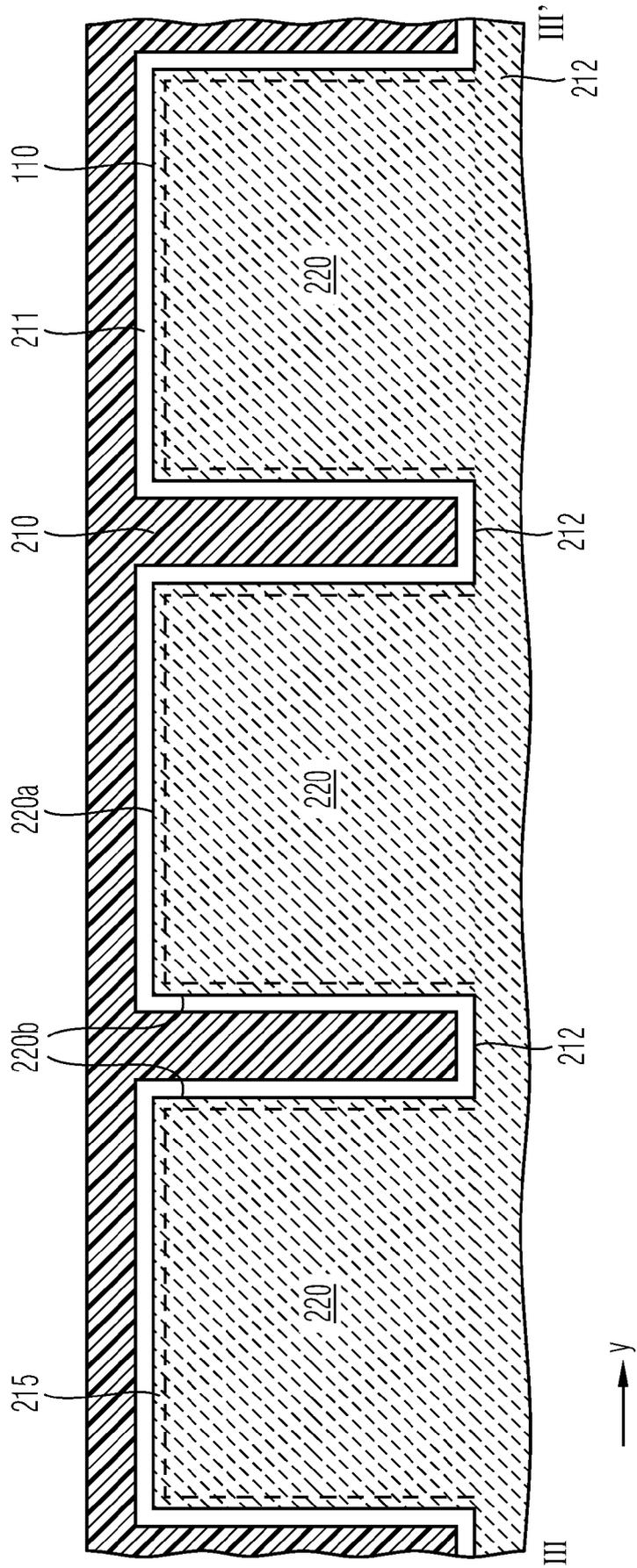


FIG 2A

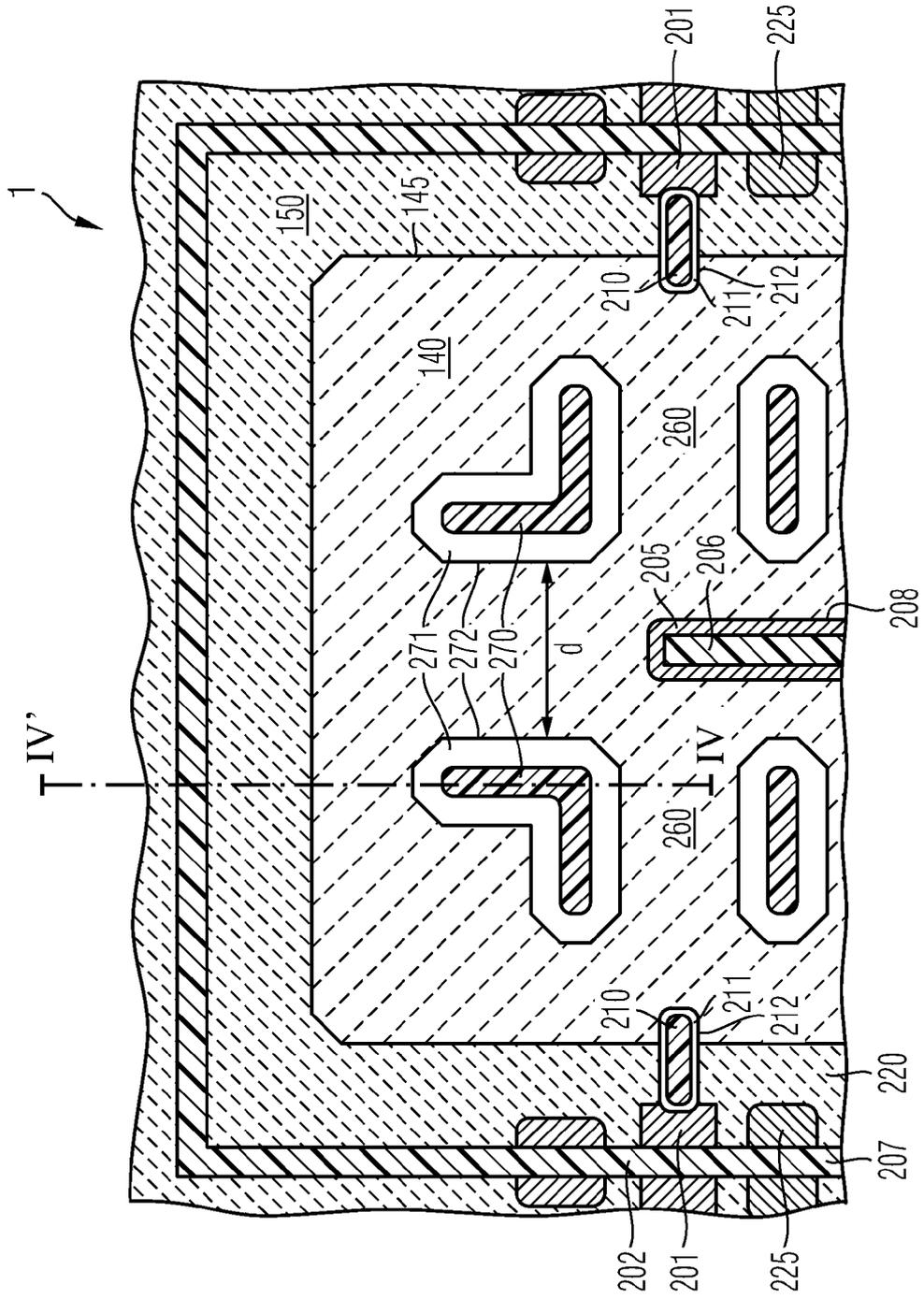


FIG 2B

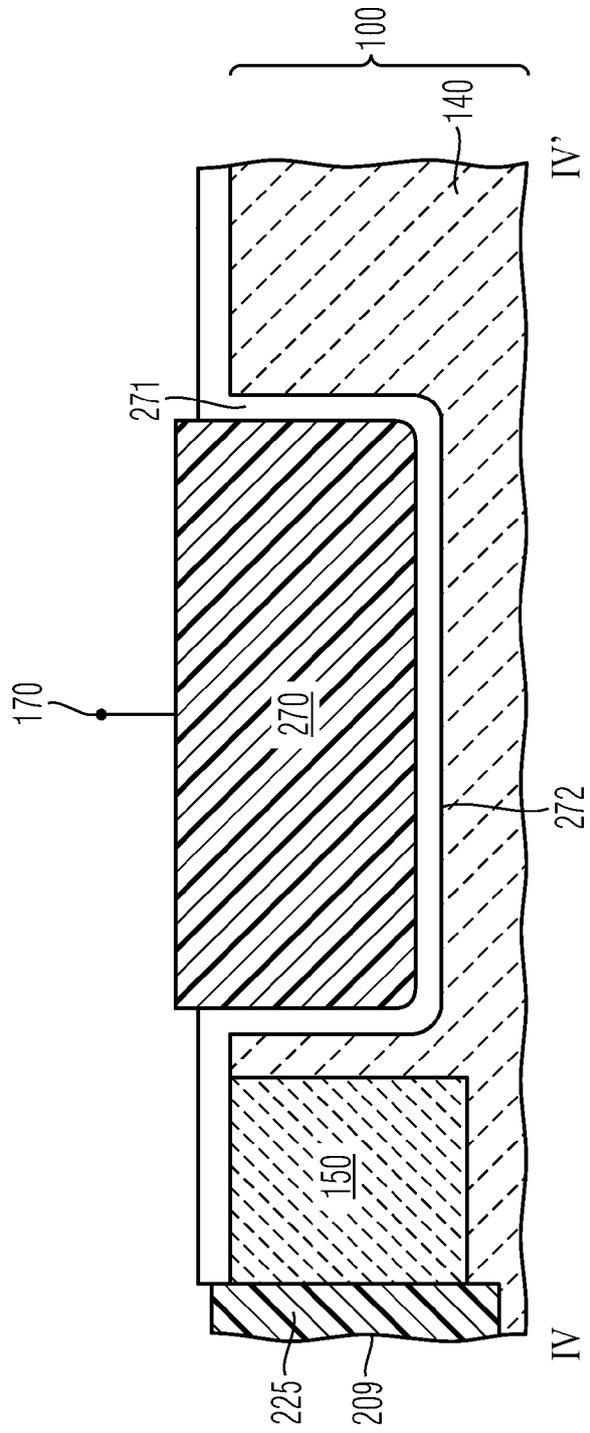


FIG 2C

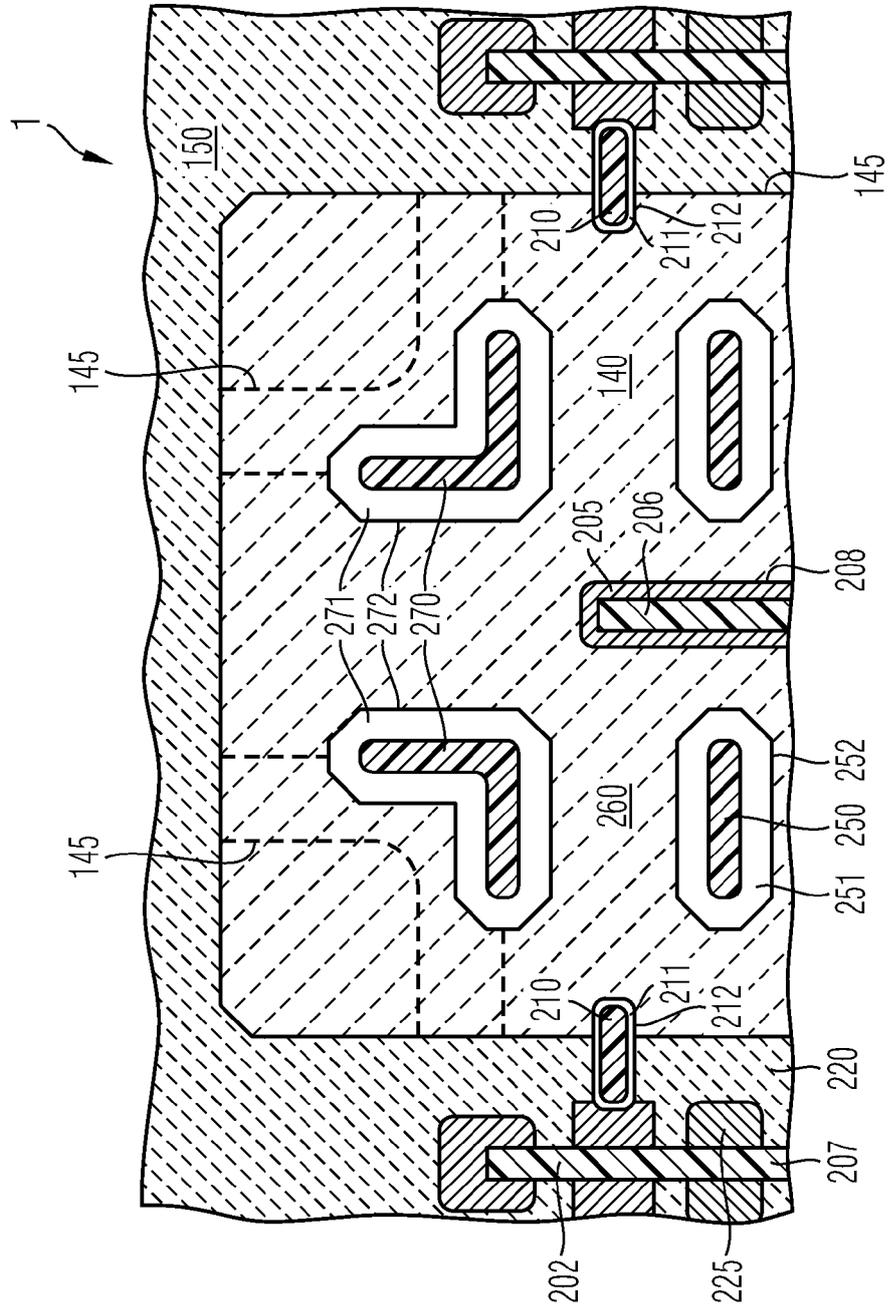


FIG 3

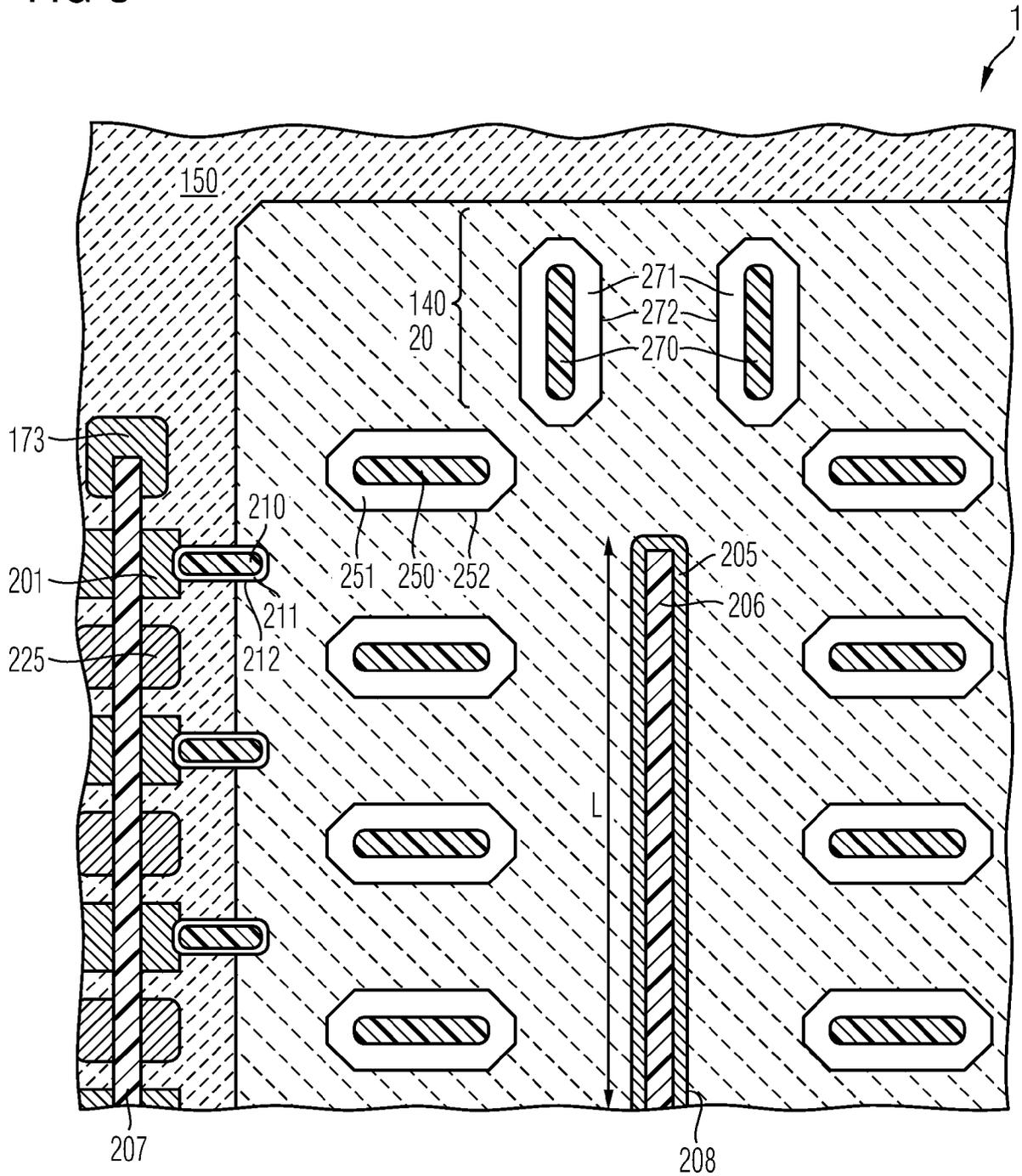


FIG 4

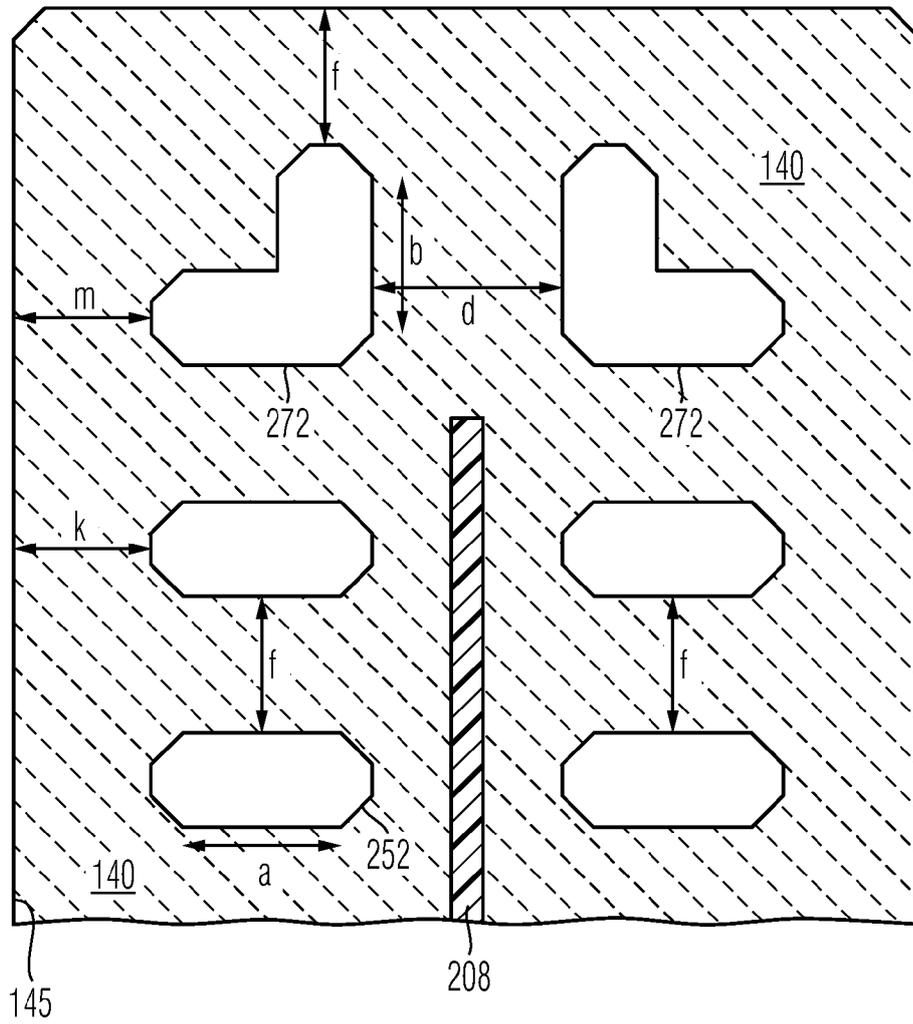


FIG 5

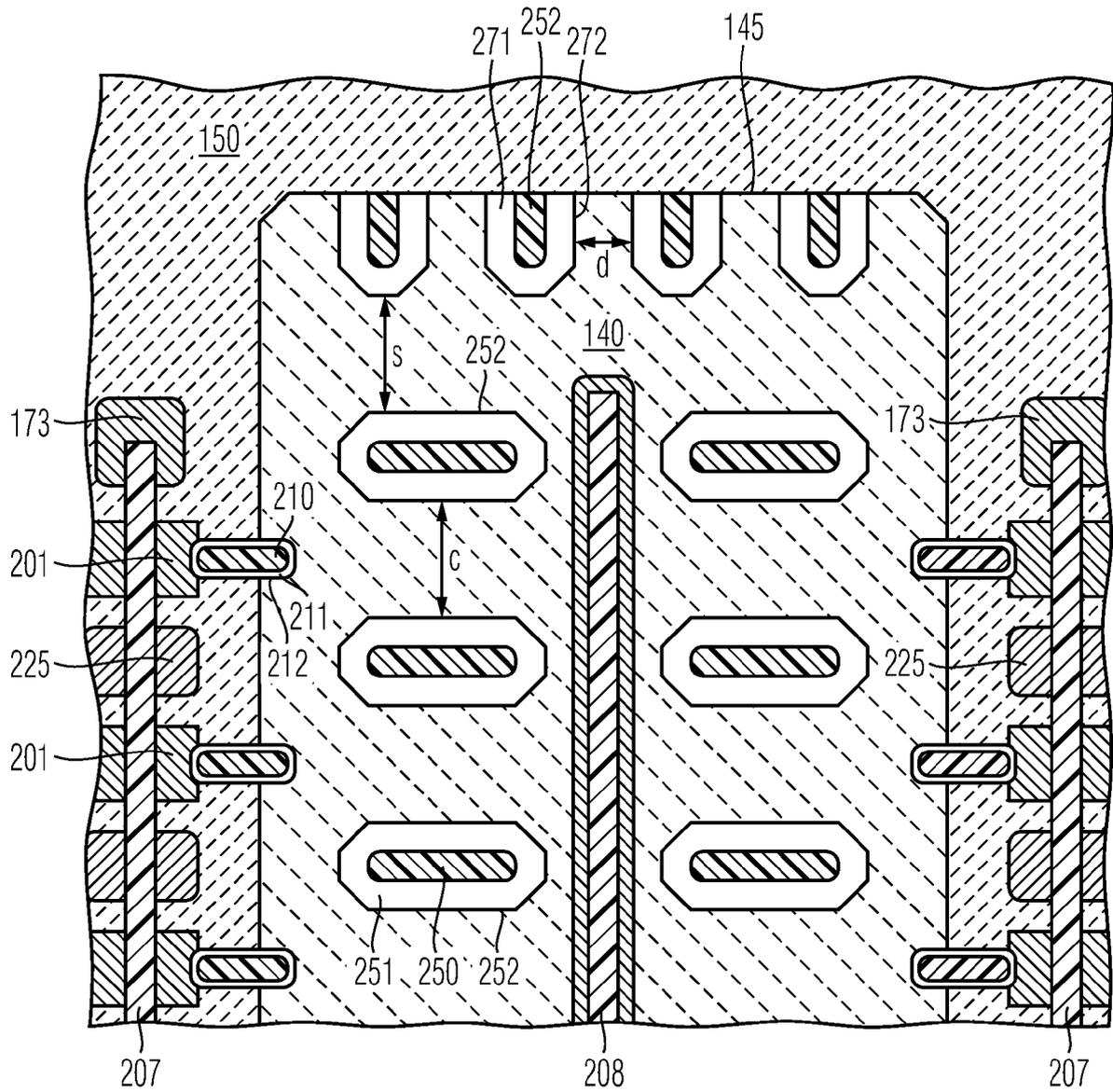


FIG 6A

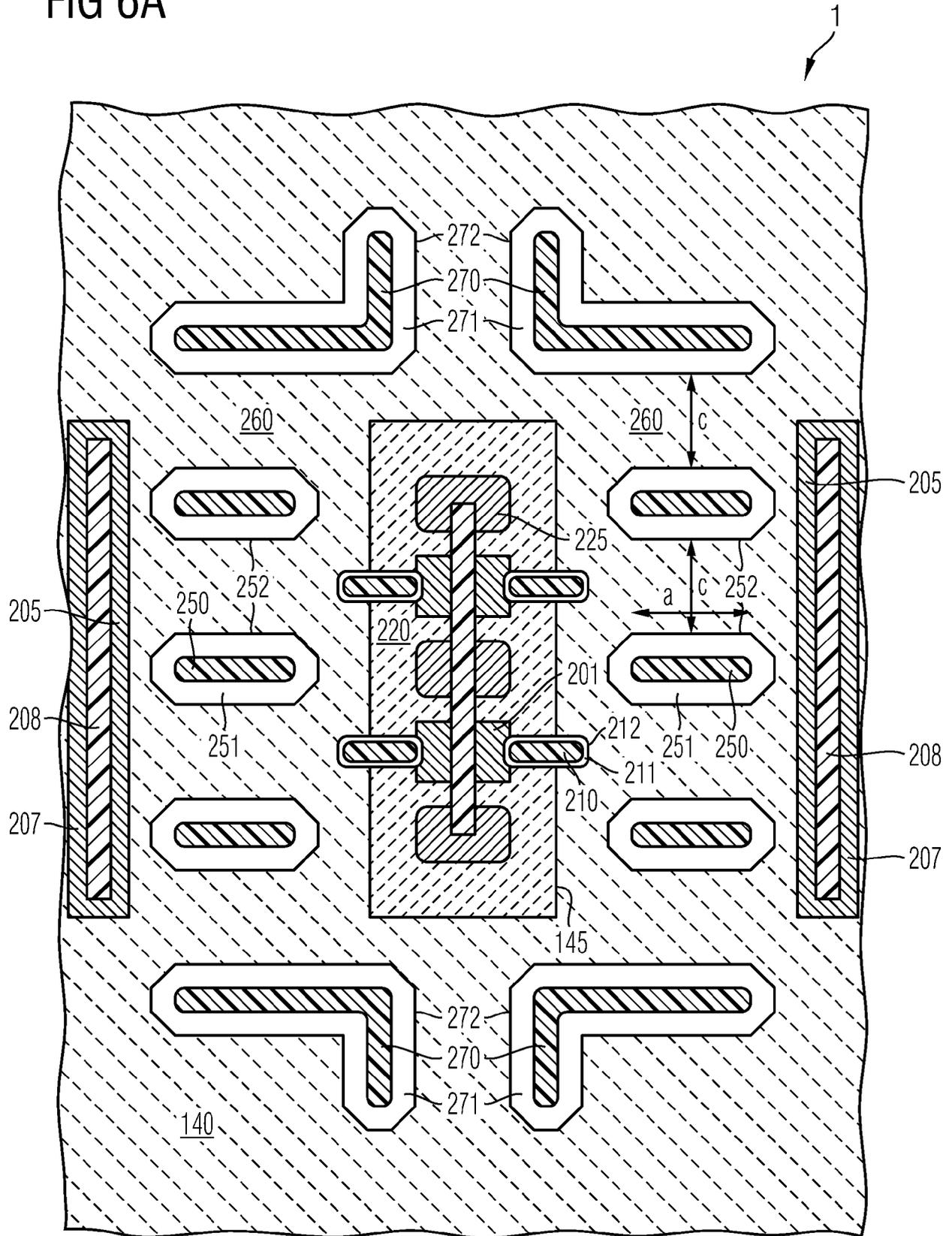


FIG 6B

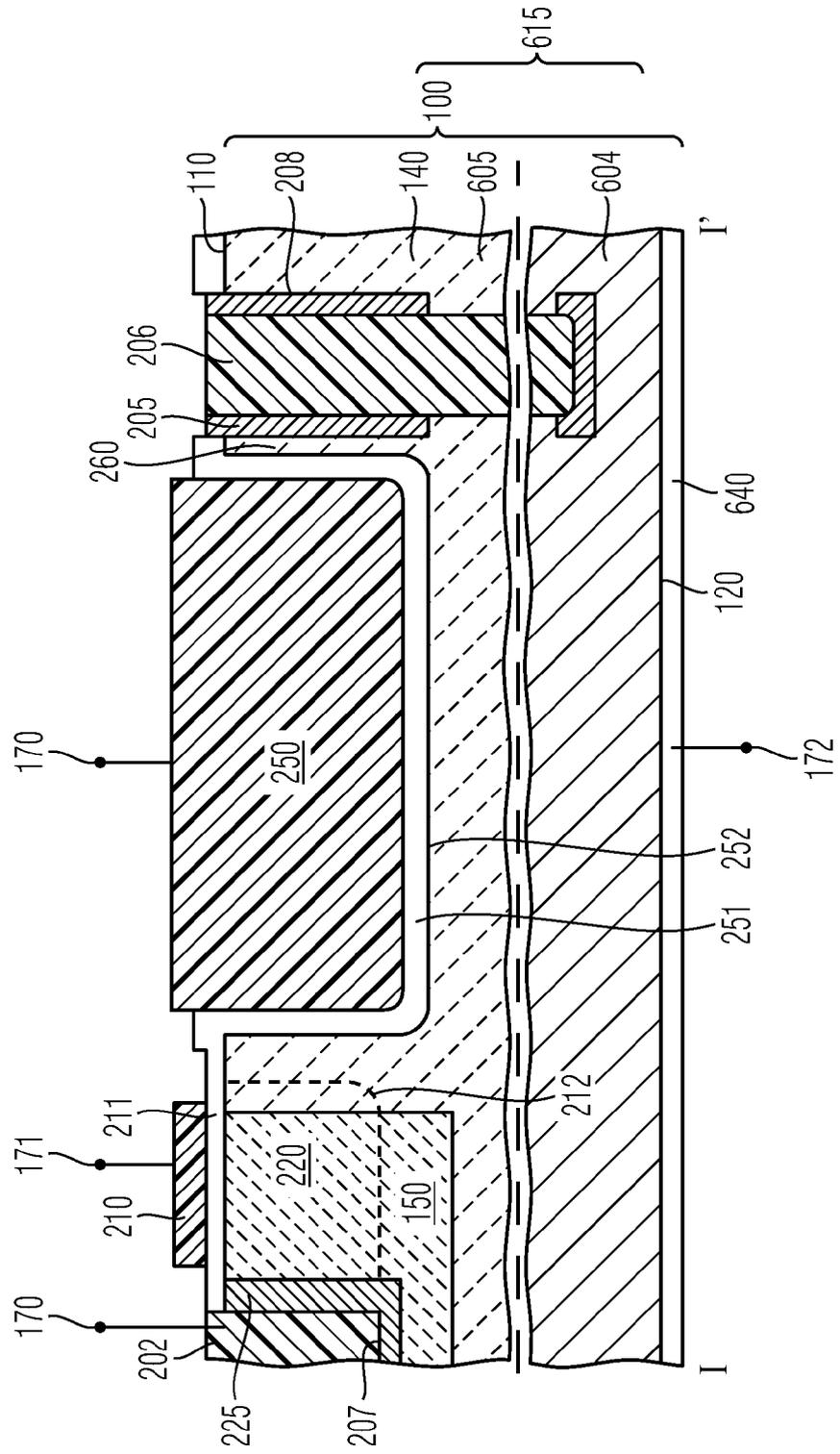


FIG 7

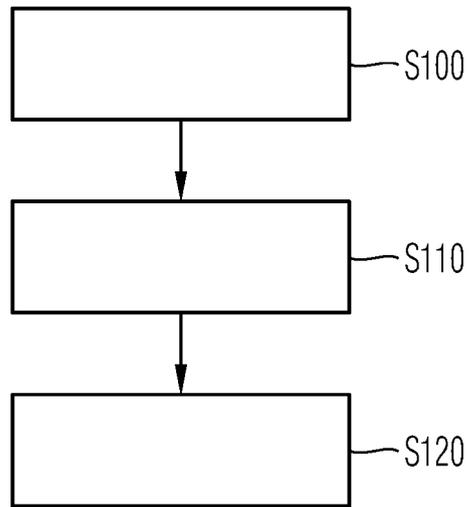


FIG 8

