



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I405402B1

(45) 公告日：中華民國 102 (2013) 年 08 月 11 日

(21) 申請案號：099134785

(22) 申請日：中華民國 99 (2010) 年 10 月 12 日

(51) Int. Cl. : **H03B5/04 (2006.01)**

(30) 優先權：2010/06/08 美國 12/795,661

(71) 申請人：力旺電子股份有限公司 (中華民國) EMEMORY TECHNOLOGY INC. (TW)
新竹市新竹科學園區園區二路 47 號 305 室

(72) 發明人：林永青 LIN, YUNG CHING (TW)；徐嘉駿 HSU, CHIA CHUN (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 201014185A US 5883550

US 7535309B2

Bianchi, R.A.; Karam, J.M.; Courtois, B., "Analog ALC crystal oscillators for high-temperature applications," Solid-State Circuits, IEEE Journal of , vol.35, no.1, pp.2,14, Jan. 2000.

審查人員：陳明德

申請專利範圍項數：28 項 圖式數：9 共 0 頁

(54) 名稱

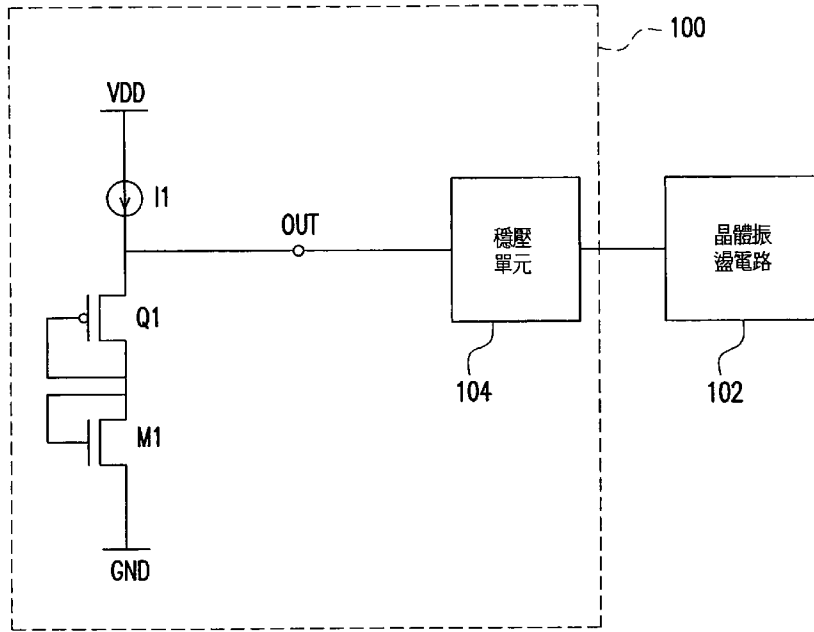
晶體振盪電路的電壓源電路

VOLTAGE SOURCE CIRCUIT FOR CRYSTAL OSCILLATION CIRCUIT

(57) 摘要

一種晶體振盪電路的電壓源電路，其中電壓源電路與晶體振盪電路係利用同一製程所形成。電壓源電路包括電流源、第一 P 型電晶體、第一 N 型電晶體以及穩壓單元。電流源耦接於電壓源與輸出端之間，其中輸出端輸出一參考電壓。第一 P 型電晶體的閘極耦接至其本身的汲極，而第一 N 型電晶體的閘極耦接至其本身的汲極，第一 P 型電晶體以及第一 N 型電晶體串接於輸出端與接地端之間。穩壓單元根據參考電壓產生工作電壓至晶體振盪電路以作為晶體振盪電路的電壓源。

A voltage source circuit for a crystal oscillation circuit is provided, wherein the voltage source circuit and the crystal oscillation circuit are formed with the same process. The voltage source circuit includes current source, a first PMOS, a first NMOS and a regulator unit. The current source is coupled between a voltage source and an output terminal, wherein the output terminal outputs a reference voltage. Both of the gates of the first PMOS and the NMOS are coupled to the drain of themselves, and the first PMOS and the NMOS are coupled between the output terminal and a ground. The regulator unit generates a work voltage to the crystal oscillation circuit as a voltage source of the crystal oscillation circuit according to the reference voltage.



- 100 . . . 電壓源電路
- 102 . . . 晶體振盪電路
- 104 . . . 穩壓單元
- VDD . . . 電壓源
- I1 . . . 電流源
- Q1 . . . P型電晶體
- M1 . . . N型電晶體
- OUT . . . 輸出端
- GND . . . 接地端

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99134785

※ 申請日： 99.10.12

※IPC 分類： H03B 5/04 (2006.01)

一、發明名稱：

晶體振盪電路的電壓源電路/VOLTAGE SOURCE
CIRCUIT FOR CRYSTAL OSCILLATION CIRCUIT

二、中文發明摘要：

一種晶體振盪電路的電壓源電路，其中電壓源電路與晶體振盪電路係利用同一製程所形成。電壓源電路包括電流源、第一 P 型電晶體、第一 N 型電晶體以及穩壓單元。電流源耦接於電壓源與輸出端之間，其中輸出端輸出一參考電壓。第一 P 型電晶體的閘極耦接至其本身的汲極，而第一 N 型電晶體的閘極耦接至其本身的汲極，第一 P 型電晶體以及第一 N 型電晶體串接於輸出端與接地端之間。穩壓單元根據參考電壓產生工作電壓至晶體振盪電路以作為晶體振盪電路的電壓源。

三、英文發明摘要：

A voltage source circuit for a crystal oscillation circuit is provided, wherein the voltage source circuit and the crystal oscillation circuit are formed with the same process. The voltage source circuit includes current source, a first PMOS,

a first NMOS and a regulator unit. The current source is coupled between a voltage source and an output terminal, wherein the output terminal outputs a reference voltage. Both of the gates of the first PMOS and the NMOS are coupled to the drain of themselves, and the first PMOS and the NMOS are coupled between the output terminal and a ground. The regulator unit generates a work voltage to the crystal oscillation circuit as a voltage source of the crystal oscillation circuit according to the reference voltage.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：電壓源電路

102：晶體振盪電路

104：穩壓單元

VDD：電壓源

I1：電流源

Q1：P 型電晶體

M1：N 型電晶體

OUT：輸出端

GND：接地端

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種電壓源電路，且特別是有關於一種晶體振盪電路的自動調節電壓源電路。

【先前技術】

振盪器常使用在半導體技術中以作為時脈模組、邏輯閘、振盪晶片等等。習知振盪器包括一石英晶體，其依附於具有初始電阻之一對電容。電容與電阻所組成之 RC 電路可幫助調整振盪器之時序。振盪緩衝器與石英晶體以並聯方式耦接。藉由產生放大且反相之輸出信號，習知振盪緩衝器之運作如反相器一般。石英振盪器、RC 電路、以及振盪緩衝器提供了在預設頻率之預設波形。

振盪器之功率消耗(power dissipation)可決定於操作頻率、電容、及振盪緩衝器的工作電壓。一般來說，振盪器之功率必須保持於最小值，而所設定之操作頻率以及電容之電容值為固定無法變動的，因此，在設計上可以考慮振盪緩衝器的操作電壓作為減少功率消耗的手段。由於振盪緩衝器之訊號頻寬、放大增益會隨著工作電壓、製程參數和電容變化，而這種變動在許多實際應用常會造成晶體振盪電路起振時間過長或甚至無法振盪，因此為了確保振盪器可正常運作，通常會將振盪緩衝器的工作電壓設定在一個較高的值，但這樣的設定卻會造成不必要的功率損耗。

【發明內容】

本發明提供一種晶體振盪電路的電壓源電路，可將晶體振盪電路的功率消耗維持在固定的值，減少不必要的功率消耗。

本發明提出一種電壓源電路，適用於提供工作電壓至晶體振盪電路，其中電壓源電路與晶體振盪電路係利用同一製程所形成。電壓源電路包括電流源、第一 P 型電晶體、第一 N 型電晶體以及穩壓單元。電流源耦接於電壓源與輸出端之間。第一 P 型電晶體的源極耦接於輸出端，第一 P 型電晶體的閘極耦接於第一 P 型電晶體的汲極，其中輸出端輸出一參考電壓至穩壓單元。第一 N 型電晶體的閘極與汲極耦接於第一 P 型電晶體的汲極，第一 N 型電晶體的源極耦接於一接地端。穩壓單元耦接於輸出端與晶體振盪電路之間，根據參考電壓產生工作電壓至晶體振盪電路以做為電壓源。

本發明提出一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中電壓源電路與晶體振盪電路係利用同一製程所形成。電壓源電路包括電流源、第一壓降單元、第一 P 型電晶體、第一 N 型電晶體、第二壓降單元以及穩壓單元。電流源耦接於電壓源與輸出端之間。第一壓降單元的一端耦接於輸出端，其中輸出端輸出一參考電壓。第一 P 型電晶體的源極耦接於第一壓降單元的另一端，第一 P 型電晶體的閘極耦接於第一 P 型電晶體的汲極。第一 N 型電晶體的閘極與汲極耦接於第一 P 型電晶體

的汲極。第二壓降單元耦接於第一 N 型電晶體的源極與接地端之間。穩壓單元耦接於輸出端與晶體振盪電路之間，根據參考電壓產生工作電壓至晶體振盪電路以做為電壓源。

本發明提出一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中電壓源電路與晶體振盪電路係利用同一製程所形成。電壓源電路包括電流源、第一 P 型電晶體、第一 N 型電晶體以及穩壓單元。電流源耦接於電壓源與輸出端之間。第一 N 型電晶體的汲極耦接於輸出端，第一 N 型電晶體的閘極耦接於第一 N 型電晶體的汲極，其中輸出端輸出一參考電壓。第一 P 型電晶體的閘極耦接於第一 P 型電晶體的汲極，第一 P 型電晶體的源極耦接於第一 N 型電晶體的源極，第一 P 型電晶體的汲極耦接於接地端。穩壓單元耦接於輸出端與晶體振盪電路之間，根據參考電壓產生工作電壓至晶體振盪電路以做為電壓源。

本發明提出一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中電壓源電路與晶體振盪電路係利用同一製程所形成，電壓源電路包括電流源、第一壓降單元、第一 P 型電晶體、第一 N 型電晶體、第二壓降單元以及穩壓單元。電流源耦接於電壓源與輸出端之間。第一壓降單元的一端耦接於輸出端，其中輸出端輸出一參考電壓。第一 N 型電晶體的汲極耦接於第一壓降單元的另一端，第一 N 型電晶體的閘極耦接於第一 N 型電晶體的汲極。第一 P 型電晶體的閘極耦接於第一 P 型電晶體的汲

極，第一 P 型電晶體的源極耦接於第一 N 型電晶體的源極。第二壓降單元耦接於第一 P 型電晶體的汲極與接地端之間。穩壓單元耦接於輸出端與晶體振盪電路之間，根據參考電壓產生工作電壓至晶體振盪電路以做為電壓源。

基於上述，本發明利用隨製程變化的電晶體的臨界電壓值來控制 P 型電晶體以及 N 型電晶體的工作電壓，以減少晶體振盪電路之功率消耗值的變動，減少不必要的功率消耗。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 繪示為本發明一實施例之電壓源電路及晶體振盪電路的方塊圖。請參照圖 1，電壓源電路 100 與晶體振盪電路 102 為經由同一製程所形成。其中電壓源電路 100 可包括一電流源 I1、一 P 型電晶體 Q1、一 N 型電晶體 M1 以及一穩壓單元 104。其中 P 型電晶體 Q1 例如是 PMOS 電晶體，而 N 型電晶體例如是 NMOS 電晶體，而電流源 I1 可為正比例絕對溫度電流源或負比例絕對溫度電流源。上述之電流源 I1 耦接於電壓源 VDD 與輸出端 OUT 之間。P 型電晶體 Q1 的源極耦接於輸出端 OUT，P 型電晶體 Q1 的閘極則耦接至其本身的汲極。N 型電晶體 M1 的閘極與汲極耦接於 P 型電晶體 Q1 的汲極，而 N 型電晶體 M1 的源極則耦接於一接地端 GND。穩壓電容 Cd 耦接於輸出端

OUT 與接地端 GND 之間。另外，穩壓單元 104 耦接於輸出端 OUT 與晶體振盪電路 102 之間。

電晶體 Q1、電晶體 M1 上的跨壓將在輸出端 OUT 上產生一參考電壓，而穩壓單元 104 將此參考電壓進行穩壓，以產生一工作電壓至晶體振盪電路 102 以作為晶體振盪電路 102 的電壓源。在本實施例中電晶體 Q1 與電晶體 M1 實質上可等效為二極體元件，且電晶體 Q1 與電晶體 M1 的串接位置可互換，也就是說，與電源 I1 耦接的一端可以為電晶體 Q1 或電晶體 M1，相對地與接地端 GND 耦接的則為電晶體 M1 或電晶體 Q1。電壓源電路 100 可在不同的製程條件下輸出對應的工作電壓給晶體振盪電路 102，以減少晶體振盪電路 102 的功率損耗。另外，所選擇的電流源類型(正比例絕對溫度電流源或負比例絕對溫度電流源)也可對晶體振盪電路 102 進行溫度的補償，使晶體振盪電路 102 的應用更有效率。

圖 2 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的電路圖。請參照圖 2，詳細來說，穩壓單元 104 可包括一運算放大器 A1、一 P 型電晶體 Q2、電阻 R1 以及 R2。其中電晶體 Q2 之閘極耦接運算放大器 A1 的輸出端，電晶體 Q2 之源極耦接電源電壓 VDD、電晶體 Q2 之汲極則耦接至晶體振盪電路 102。電阻 R1、R2 串接於電晶體 Q2 之汲極與接地端 GND 之間，且電阻 R1、R2 的共同接點耦接至運算放大器 A1 的正輸入端，而運算放大器 A1 的負輸入端則耦接至輸出端 OUT。值得注意的是，穩

壓單元 104 的實施方式並不以本實施例所揭露的電路為限，任何可對參考電壓進行穩壓的電路皆可做為本實施例之穩壓單元 104。

另外，晶體振盪電路 102 則包括 P 型電晶體 Q3、N 型電晶體 M2、電阻 R3、晶體 XTAL 以及電容 C1、C2。其中 P 型電晶體 Q3 的源極耦接至穩壓單元 104，以接收穩壓單元 104 所供應的工作電壓，P 型電晶體 Q3 的汲極耦接至晶體振盪電路 102 的輸出端 XTALout，P 型電晶體 Q3 的閘極則耦接至 N 型電晶體 M2 的閘極，而 N 型電晶體 M2 的汲極與源極則分別耦接 P 型電晶體 Q3 的汲極與接地端 GND。電阻 R3 與晶體 XTAL 與 P 型電晶體 Q3、N 型電晶體 M2 所構成的反相器並聯在一起(亦即電阻 R3 與晶體 XTAL 並聯於 N 型電晶體 M2 的閘極與汲極之間)。電容 C1、C2 分別耦接於晶體 XTAL 的兩端與接地端 GND 之間，電容 C1、C2 提供一負載(load)給石英晶體 XTAL，以供並聯共振(parallel resonance)所需。

如圖 2 所述的電路，電晶體 Q3、M2 所消耗的功率相關於流經其上的電流大小，或是電晶體 Q3、M2 的轉導大小。而電晶體 Q3、M2 在飽和區時的電流可以下列式子表示：

$$I = k(V_{gs} - V_t)^2 \quad (1)$$

其中 I 為電流，k 為一常數， V_{gs} 為閘極與源極間的電壓差， V_t 則為電晶體的臨界電壓。另外電晶體 Q3、M2 的轉導 G_m 可透過式(1)微分而得：

$$G_m = \frac{\partial I}{\partial V_{gs}} = 2k(V_{gs} - V_t) \quad (2)$$

由式(1)可得知當電晶體的臨界電壓越大時，電晶體之轉導與流經電晶體的電流便越小，而電晶體之轉導 G_m 與流經電晶體的電流越小，電晶體的功率消耗就越小。

由於電晶體在不同的製程條件下將會產生不同的臨界電壓值，例如 FF corner 或 SS corner 等製程條件情形，將使得臨界電壓值出現變小及變大的情形。假設在相同電壓值的操作電壓下，當臨界電壓值變小時(亦即 FF corner 的製程條件)，意味著電晶體的轉導與流經電晶體的電流變大，亦即電晶體所消耗的功率變大。相反地，當臨界電壓值變大時(亦即 SS corner 的製程條件)，意味著電晶體的轉導流經電晶體的電流變小，亦即電晶體所消耗的功率變小。

在本實施例中，供應電晶體 Q3、M2 的電壓來源為電晶體 Q1、M1 上跨壓值之和(亦即輸出端 OUT 上的參考電壓)經穩壓單元 104 穩壓放大後的工作電壓。由於電晶體 Q1、M1 與電晶體 Q3、M2 為同一製程所形成，因此當製程的條件產生變化時，電晶體 Q1、M1 亦會受其影響而產生相同的臨界電壓值變化。如此一來，電晶體 Q1、M1 便可間接影響穩壓單元 104 所提供給晶體振盪電路 102 的工作電壓，避免多餘的功率消耗。

舉例來說，在 FF corner 的製程條件下，電晶體 Q3、M2 的臨界電壓變小，而使得打開電晶體 Q3、M2 通道的門檻變小，因此若在相同的工作電壓下，電晶體 Q3、M2 的消耗功率將變高。然由於電晶體 Q1、M1 也將受到 FF

corner 的製程條件影響而使得電晶體 Q1、M1 上的跨壓變小，因此輸出端 OUT 上的參考電壓也將變小(亦即電晶體 Q1、M1 上的跨壓值之和)，同時穩壓單元 104 將參考電壓穩壓放大後的操作電壓也隨之變小。由於電晶體 Q3、M2 的臨界電壓已受到 FF corner 的製程條件影響而變小，供應電晶體 Q3、M2 的工作電壓也隨之減小，因此在此情形下，穩壓單元 104 所供應的工作電壓雖然減小但仍可保持電晶體 Q3、M2 正常地運作，而減小的工作電壓可使得電晶體閘極、源極間的電壓差減小，而使得電晶體轉導與流經電晶體 Q3、M2 的電流變小，進而減少了電晶體 Q3、M2 的功率消耗。

值得注意的是，在部份實施例中，圖 1 以及圖 2 的電壓源電路 100 可更包括一調節電阻。圖 3A~圖 3C 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的示意圖。如圖 3A~圖 3C 所示，調節電阻 Ra 可設置於電晶體 Q1 以及 M1 的耦接路徑上，或是設置於電晶體 M1 與接地 GND 的耦接路徑上，又或者是設置於輸出端 OUT 與電晶體 Q1 的耦接路徑上。其中調節電阻 Ra 可為正溫度係數電阻或負溫度係數電阻，使用者可依實際情形選擇適當的電阻類型來對晶體振盪電路 102 進行溫度補償，使晶體振盪電路 102 的應用更有效率。

圖 4A 繪示為不同製程條件之電晶體電流值的示意圖。圖 4B 繪示為不同製程條件之電晶體轉導值的示意圖。請參照圖 4A 與圖 4B，圖 4A 繪示電晶體在各種不同製程

條件與溫度下的電流大小，圖 4B 則繪示電晶體在各種不同製程條件與溫度下的轉導值大小。由圖 4A 與圖 4B 可看出相較於習知技術的晶體振盪電路，利用本發明之實施例的電壓源電路 100 可大幅減小在不同製程條件與溫度下的轉導值與電流值。其中在 FF corner、 -45°C 的製程條件下最大可減少一倍的電流值，而轉導值也可減少約 0.3 倍。另外在所有的製程條件與溫度中，轉導值與電流值最小的情況下(亦即 SS corner、 95°C 的製程條件)，利用本發明實施例的方式亦能保持與習知技術之晶體振盪電路相同的轉導質與電流值，由此可知本發明之實施例所揭露之技術在電晶體之臨界電壓最大的情形下仍可成功地保持晶體振盪電路 102 的正常運作，因此本發明之實施例所揭露的技術可在保持振盪電路 102 正常運作的前提下，減小電晶體的轉導值與電流值，進而節省晶體振盪電路 102 的功率消耗。

在部分實施例中，圖 2 中與電流源 I1 耦接的電晶體個數可不僅僅侷限於電晶體 Q1、M1 兩個。圖 5 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的電路圖。請參照圖 5，本實施例之電壓源電路 500 與圖 2 之電壓源電路 100 的不同之處在於，本實施例之電壓源電路 500 更包括一壓降單元 502 與一壓降單元 504。其中壓降單元 502 耦接於輸出端 OUT 與 P 型電晶體 Q1 的源極之間，壓降單元 504 則耦接於 N 型電晶體 M1 的源極與接地端 GND 之間。壓降單元 502 包括至少一個 P 型電晶體 Q4，串聯耦接於電流源 I1 與 P 型電晶體 Q1 之間，且 P 型電晶體 Q4

的閘極耦接至其本身的源極。類似地，壓降單元 504 包括至少一個 N 型電晶體 M3，串聯耦接於 N 型電晶體 M1 與接地端 GND 之間，且 N 型電晶體 M3 的閘極耦接至其本身的汲極。

使用者可依實際情形藉由調整壓降單元 502、504 內的電晶體個數，以決定在製程條件不同時，電壓源電路 500 所提供的工作電壓的變化幅度大小，使晶體振盪電路 102 的功率消耗降低到最小。由於本實施例之電壓源電路 500 與晶體振盪電路 102 的操作原理類似於圖 2 之電壓源電路 100 與晶體振盪電路 102 的操作原理，本領域具通常知識者應可藉由圖 2 實施例之教示推知本實施例的元件作動，因而在此不再贅述。

在另一實施例中，圖 5 實施例之 P 型電晶體 Q1 與壓降單元 502 亦可分別與 N 型電晶體 M1 與壓降單元 504 互換。圖 6 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的電路圖。如圖 6 所示，電壓源電路 600 中壓降單元 504 耦接於輸出端 OUT 與 N 型電晶體 M1 的汲極之間，N 型電晶體 M1 的源極則耦接至 P 型電晶體 Q1 的源極，P 型電晶體 Q1 的汲極耦接至壓降單元 502，而壓降單元 502 的另一端則耦接至接地端 GND。本實施例之電壓源電路 600 與晶體振盪電路 102 的操作原理類似於圖 2 之電壓源電路 100 與晶體振盪電路 102 的操作原理，因而在此不再贅述。另外，在圖 5 以及圖 6 中的壓降單元 502、504、電晶體 Q1 以及 M1 的電路結構亦可替換為圖 3A~圖 3C 的調

節電阻 Ra、電晶體 Q1 以及 M1 所組成的電路結構，以對晶體振盪電路 102 進行溫度補償，使晶體振盪電路 102 的應用更有效率。

綜上所述，本發明利用隨製程變化的電晶體的臨界電壓值來控制 P 型電晶體以及 N 型電晶體的工作電壓，以減小電晶體的轉導值以及流經電晶體的電流值，降低晶體振盪電路的功率消耗。另外透過選擇正比例絕對溫度電流源或負比例絕對溫度電流源作為電流源，以及選擇正溫度係數電阻或負溫度係數電阻做為調節電阻更可對晶體振盪電路進行溫度補償。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示為本發明一實施例之電壓源電路及晶體振盪電路的方塊圖。

圖 2 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的電路圖。

圖 3A~圖 3C 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的示意圖。

圖 4A 繪示為為不同製程條件之電晶體電流值的示意

圖。

圖 4B 繪示為為不同製程條件之電晶體轉導值的示意

圖。

圖 5 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的電路圖。

圖 6 繪示為本發明另一實施例之電壓源電路及晶體振盪電路的電路圖。

【主要元件符號說明】

100、500、600：電壓源電路

102：晶體振盪電路

104：穩壓單元

502、504：壓降單元：

VDD：電壓源

I1：電流源

Q1~Q4：P 型電晶體

M1~M3：N 型電晶體

OUT、XTALout：輸出端

GND：接地端

Ra：調節電阻

R1~R3：電阻

XTAL：晶體

C1、C2：電容

七、申請專利範圍：

1. 一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中該電壓源電路與該晶體振盪電路係利用同一製程所形成，該電壓源電路包括：

一電流源，耦接於一電壓源與一輸出端之間；

一第一 P 型電晶體，該第一 P 型電晶體的源極耦接於該輸出端，該第一 P 型電晶體的閘極耦接於該第一 P 型電晶體的汲極，其中該輸出端輸出一參考電壓；

一第一 N 型電晶體，該第一 N 型電晶體的閘極與汲極耦接於該第一 P 型電晶體的汲極，該第一 N 型電晶體的源極耦接於一接地端；以及

一穩壓單元，耦接於該輸出端與該晶體振盪電路之間，根據該參考電壓產生該工作電壓至該晶體振盪電路以作為該晶體振盪電路的電壓源。

2. 如申請專利範圍第 1 項所述之電壓源電路，其中該電流源為正比例絕對溫度電流源或負比例絕對溫度電流源。

3. 如申請專利範圍第 1 項所述之電壓源電路，更包括一調節電阻，位於該第一 P 型電晶體的源極與該輸出端的耦接路徑上，其中該調節電阻為正溫度係數電阻或負溫度係數電阻。

4. 如申請專利範圍第 1 項所述之電壓源電路，更包括一調節電阻，位於該第一 P 型電晶體的汲極與該第一 N 型電晶體的汲極的耦接路徑上，其中該調節電阻為正溫度係數電阻或負溫度係數電阻。

5. 如申請專利範圍第 1 項所述之電壓源電路，更包括一調節電阻，位於該第一 N 型電晶體的源極與該接地端的耦接路徑上，其中該調節電阻為正溫度係數電阻或負溫度係數電阻。

6. 如申請專利範圍第 1 項所述之電壓源電路，其中該穩壓單元包括：

一運算放大器，其負輸入端耦接該輸出端；

一第二 P 型電晶體，其閘極耦接該運算放大器的輸出端，該第二 P 型電晶體之源極耦接該電源電壓，該第二 P 型電晶體之汲極耦接該晶體振盪電路；

一第一電阻，耦接於該第二 P 型電晶體之汲極與該運算放大器的正輸入端之間；以及

一第二電阻，耦接於該運算放大器的正輸入端與該接地端之間。

7. 如申請專利範圍第 6 項所述之電壓源電路，其中該晶體振盪電路包括：

一第三 P 型電晶體，其源極耦接該穩壓單元；

一第二 N 型電晶體，其閘極耦接至該第三 P 型電晶體的閘極，該第二 N 型電晶體之汲極耦接至該第三 P 型電晶體之汲極，該第二 N 型電晶體之源極耦接至該接地端；

一第三電阻，與一晶體並聯於該第二 N 型電晶體的閘極與汲極之間；

一第一電容，耦接該晶體的第一端與該接地端之間；
以及

一第二電容，耦接該晶體的第二端與該接地端之間。

8. 如申請專利範圍第 7 項所述之電壓源電路，其中該第一至第三 P 型電晶體為一 PMOS 電晶體，該第一至第四 N 型電晶體為一 NMOS 電晶體。

9. 一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中該電壓源電路與該晶體振盪電路係利用同一製程所形成，該電壓源電路包括：

一電流源，耦接於一電壓源與一輸出端之間；

一第一壓降單元，該第一壓降單元的一端耦接於該輸出端，其中該輸出端輸出一參考電壓；

一第一 P 型電晶體，該第一 P 型電晶體的源極耦接於該第一壓降單元的另一端，該第一 P 型電晶體的閘極耦接於該第一 P 型電晶體的汲極；

一第一 N 型電晶體，該第一 N 型電晶體的閘極與汲極耦接於該第一 P 型電晶體的汲極；

一第二壓降單元，耦接於該第一 N 型電晶體的源極與一接地端之間；以及

一穩壓單元，耦接於該輸出端與該晶體振盪電路之間，根據該參考電壓產生該工作電壓至該晶體振盪電路以作為該晶體振盪電路的電壓源。

10. 如申請專利範圍第 9 項所述之電壓源電路，其中該第一壓降單元至少包括一第二 P 型電晶體，串聯耦接於該電流源與該第一 P 型電晶體之間，且該第二 P 型電晶體的閘極耦接於該第二 P 型電晶體的汲極。

11. 如申請專利範圍第 9 項所述之電壓源電路，其中該第二壓降單元至少包括一第二 N 型電晶體，串聯耦接於該第一 N 型電晶體與該接地端之間，且該第二 N 型電晶體的閘極耦接於該第二 N 型電晶體的汲極。

12. 如申請專利範圍第 9 項所述之電壓源電路，其中該電流源為正比例絕對溫度電流源。

13. 如申請專利範圍第 9 項所述之電壓源電路，其中該電流源為負比例絕對溫度電流源。

14. 如申請專利範圍第 9 項所述之電壓源電路，其中該穩壓單元包括：

一運算放大器，其負輸入端耦接該輸出端；

一第三 P 型電晶體，其閘極耦接該運算放大器的輸出端，該第三 P 型電晶體之源極耦接該電源電壓，該第三 P 型電晶體之汲極耦接該晶體振盪電路；

一第一電阻，耦接於該第三 P 型電晶體之汲極與該運算放大器的正輸入端之間；以及

一第二電阻，耦接於該運算放大器的正輸入端與該接地端之間。

15. 如申請專利範圍第 14 項所述之電壓源電路，其中該晶體振盪電路包括：

一第四 P 型電晶體，其源極耦接該穩壓單元；

一第三 N 型電晶體，其閘極耦接至該第三 P 型電晶體的閘極，該第三 N 型電晶體之汲極耦接至該第三 P 型電晶體之汲極，該第三 N 型電晶體之源極耦接至該接地端；

一第三電阻，與一晶體並聯於該第三 N 型電晶體的閘極與汲極之間；

一第一電容，耦接該晶體的第一端與該接地端之間；
以及

一第二電容，耦接該晶體的第二端與該接地端之間。

16. 如申請專利範圍第 15 項所述之電壓源電路，其中該第一至第四 P 型電晶體為一 PMOS 電晶體，該第一至第三 N 型電晶體為一 NMOS 電晶體。

17. 一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中該電壓源電路與該晶體振盪電路係利用同一製程所形成，該電壓源電路包括：

一電流源，耦接於一電壓源與一輸出端之間；

一第一 N 型電晶體，該第一 N 型電晶體的汲極耦接於該輸出端，該第一 N 型電晶體的閘極耦接於該第一 N 型電晶體的汲極，其中該輸出端輸出一參考電壓；

一第一 P 型電晶體，該第一 P 型電晶體的閘極耦接於該第一 P 型電晶體的汲極，該第一 P 型電晶體的源極耦接於該第一 N 型電晶體的源極，該第一 P 型電晶體的汲極耦接於一接地端；以及

一穩壓單元，耦接於該輸出端與該晶體振盪電路之間，根據該參考電壓產生該工作電壓至該晶體振盪電路以作為該晶體振盪電路的電壓源。

18. 如申請專利範圍第 17 項所述之電壓源電路，其中該電流源為正比例絕對溫度電流源或負比例絕對溫度電流

源。

19. 如申請專利範圍第 17 項所述之電壓源電路，其中該穩壓單元包括：

一運算放大器，其負輸入端耦接該輸出端；

一第二 P 型電晶體，其閘極耦接該運算放大器的輸出端，該第二 P 型電晶體之源極耦接該電源電壓，該第二 P 型電晶體之汲極耦接該晶體振盪電路；

一第一電阻，耦接於該第二 P 型電晶體之汲極與該運算放大器的正輸入端之間；以及

一第二電阻，耦接於該運算放大器的正輸入端與該接地端之間。

20. 如申請專利範圍第 19 項所述之電壓源電路，其中該晶體振盪電路包括：

一第三 P 型電晶體，其源極耦接該穩壓單元；

一第二 N 型電晶體，其閘極耦接至該第三 P 型電晶體的閘極，該第二 N 型電晶體之汲極耦接至該第三 P 型電晶體之汲極，該第二 N 型電晶體之源極耦接至該接地端；

一第三電阻，與一晶體並聯於該第二 N 型電晶體的閘極與汲極之間；

一第一電容，耦接該晶體的第一端與該接地端之間；
以及

一第二電容，耦接該晶體的第二端與該接地端之間。

21. 如申請專利範圍第 20 項所述之電壓源電路，其中該第一至第三 P 型電晶體為一 PMOS 電晶體，該第一至第

四 N 型電晶體為一 NMOS 電晶體。

22. 一種電壓源電路，適用於提供一工作電壓至一晶體振盪電路，其中該電壓源電路與該晶體振盪電路係利用同一製程所形成，該電壓源電路包括：

一電流源，耦接於一電壓源與一輸出端之間；

一第一壓降單元，該第一壓降單元的一端耦接於該輸出端，其中該輸出端輸出一參考電壓；

一第一 N 型電晶體，該第一 N 型電晶體的汲極耦接於該第一壓降單元的另一端，該第一 N 型電晶體的閘極耦接於該第一 N 型電晶體的汲極；

一第一 P 型電晶體，該第一 P 型電晶體的閘極耦接於該第一 P 型電晶體的汲極，該第一 P 型電晶體的源極耦接於該第一 N 型電晶體的源極；

一第二壓降單元，耦接於該第一 P 型電晶體的汲極與一接地端之間；以及

一穩壓單元，耦接於該輸出端與該晶體振盪電路之間，根據該參考電壓產生該工作電壓至該晶體振盪電路以作為該晶體振盪電路的電壓源。

23. 如申請專利範圍第 22 項所述之電壓源電路，其中該第一壓降單元至少包括一第二 N 型電晶體，串聯耦接於該電流源與該第一 N 型電晶體之間，且該第二 N 型電晶體的閘極耦接於該第二 N 型電晶體的汲極。

24. 如申請專利範圍第 22 項所述之電壓源電路，其中該第二壓降單元至少包括一第二 P 型電晶體，串聯耦接於

該第一 P 型電晶體與該接地端之間，且該第二 P 型電晶體的閘極耦接於該第二 N 型電晶體的汲極。

25. 如申請專利範圍第 22 項所述之電壓源電路，其中該電流源為正比例絕對溫度電流源或負比例絕對溫度電流源。

26. 如申請專利範圍第 22 項所述之電壓源電路，其中該穩壓單元包括：

一運算放大器，其負輸入端耦接該輸出端；

一第三 P 型電晶體，其閘極耦接該運算放大器的輸出端，該第三 P 型電晶體之源極耦接該電源電壓，該第三 P 型電晶體之汲極耦接該晶體振盪電路；

一第一電阻，耦接於該第三 P 型電晶體之汲極與該運算放大器的正輸入端之間；以及

一第二電阻，耦接於該運算放大器的正輸入端與該接地端之間。

27. 如申請專利範圍第 26 項所述之電壓源電路，其中該晶體振盪電路包括：

一第四 P 型電晶體，其源極耦接該穩壓單元；

一第三 N 型電晶體，其閘極耦接至該第三 P 型電晶體的閘極，該第三 N 型電晶體之汲極耦接至該第三 P 型電晶體之汲極，該第三 N 型電晶體之源極耦接至該接地端；

一第三電阻，與一晶體並聯於該第三 N 型電晶體的閘極與汲極之間；

一第一電容，耦接該晶體的第一端與該接地端之間；

以及

一第二電容，耦接該晶體的第二端與該接地端之間。

28. 如申請專利範圍第 27 項所述之電壓源電路，其中該第一至第四 P 型電晶體為一 PMOS 電晶體，該第一至第三 N 型電晶體為一 NMOS 電晶體。

八、圖式：

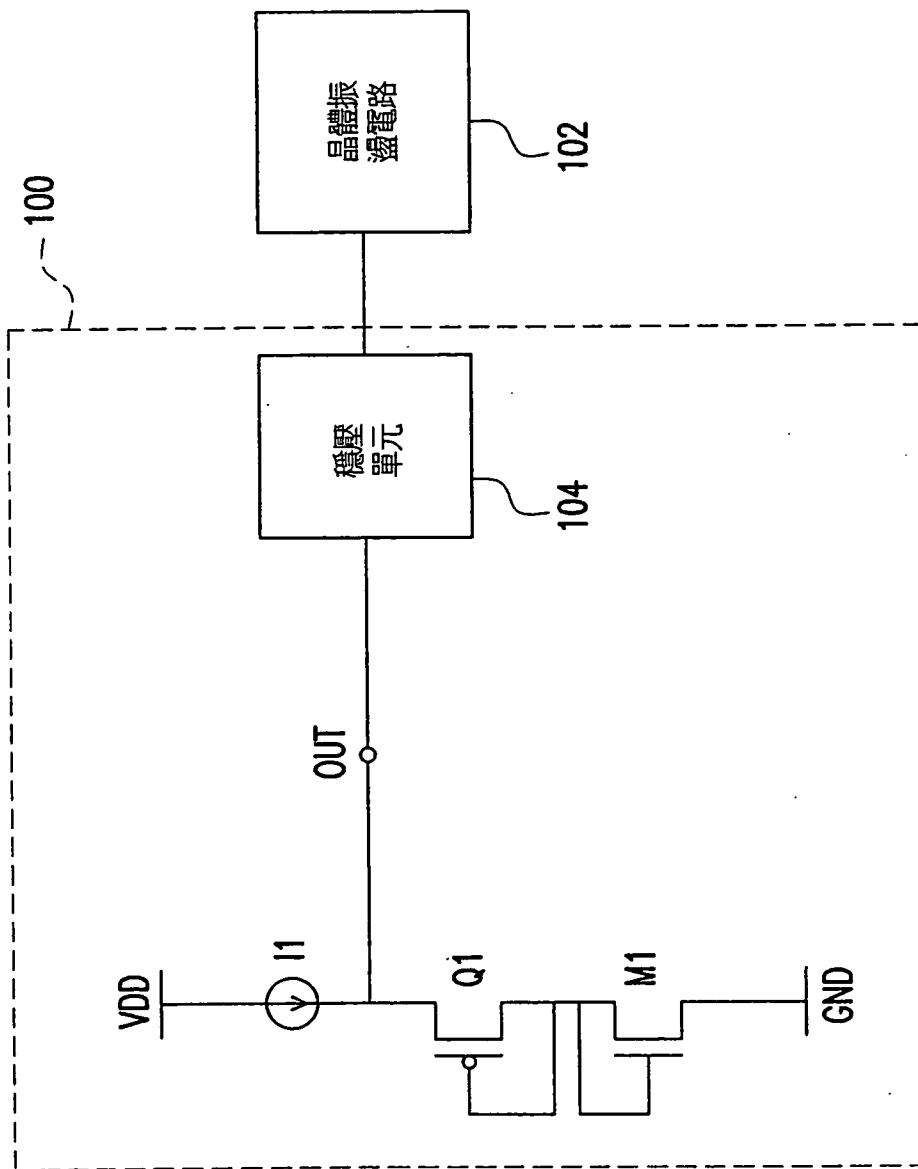


圖 1

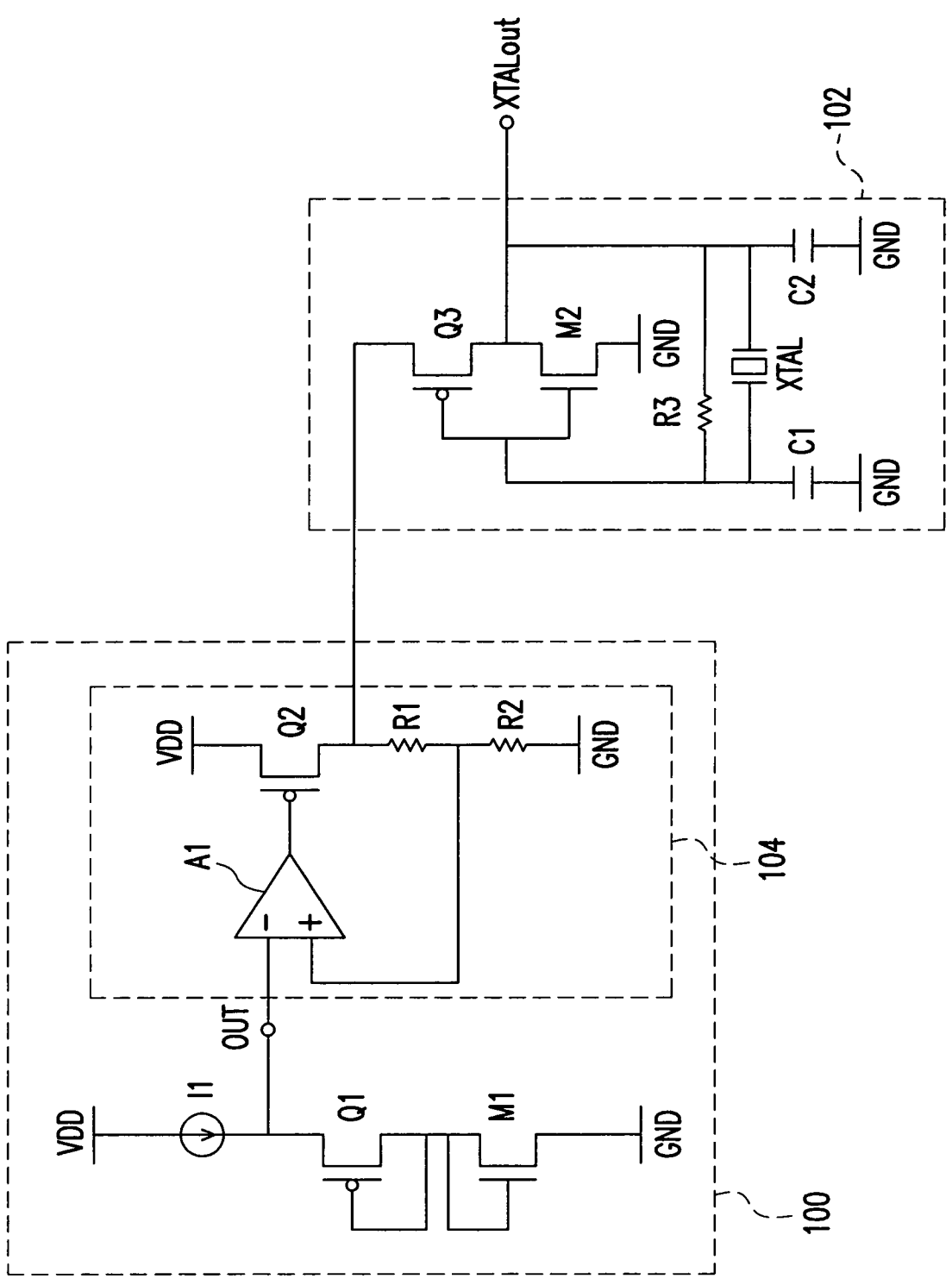


圖 2

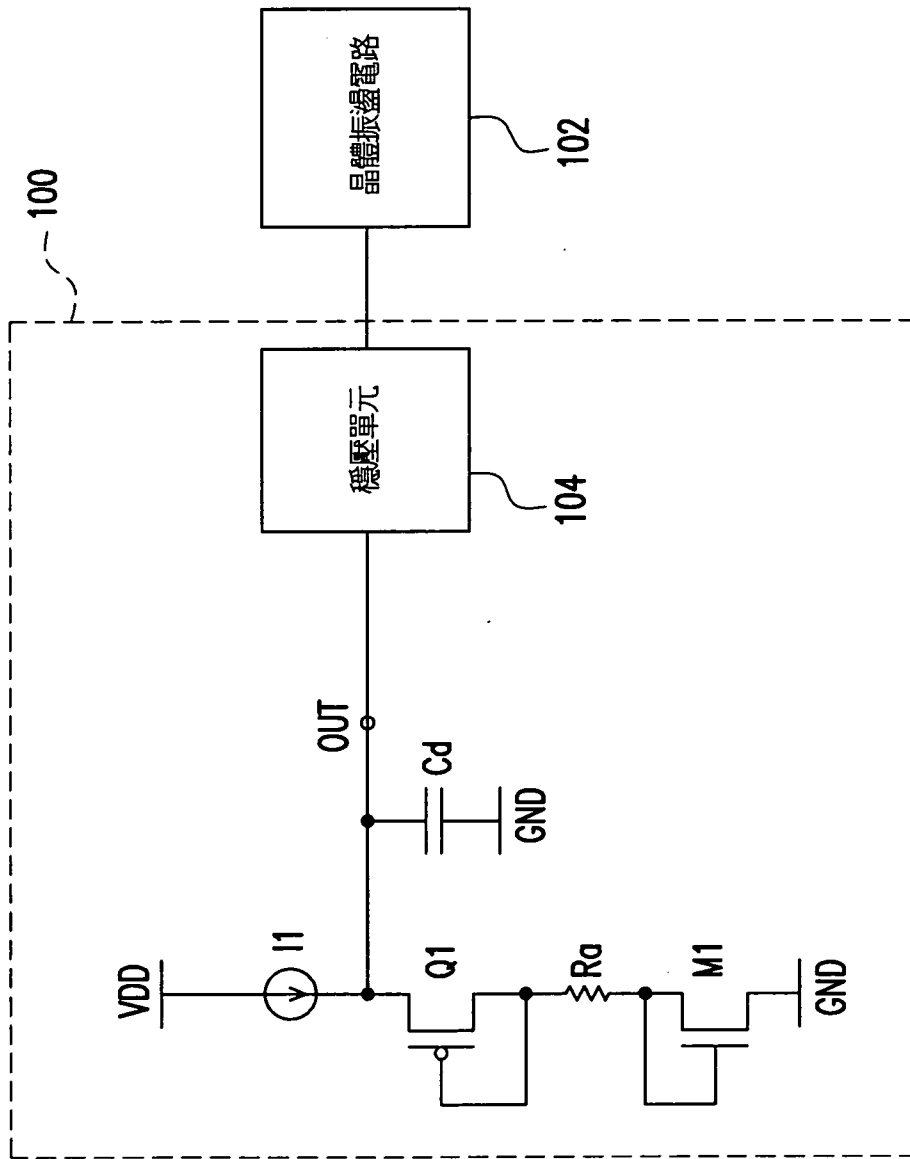


圖 3A

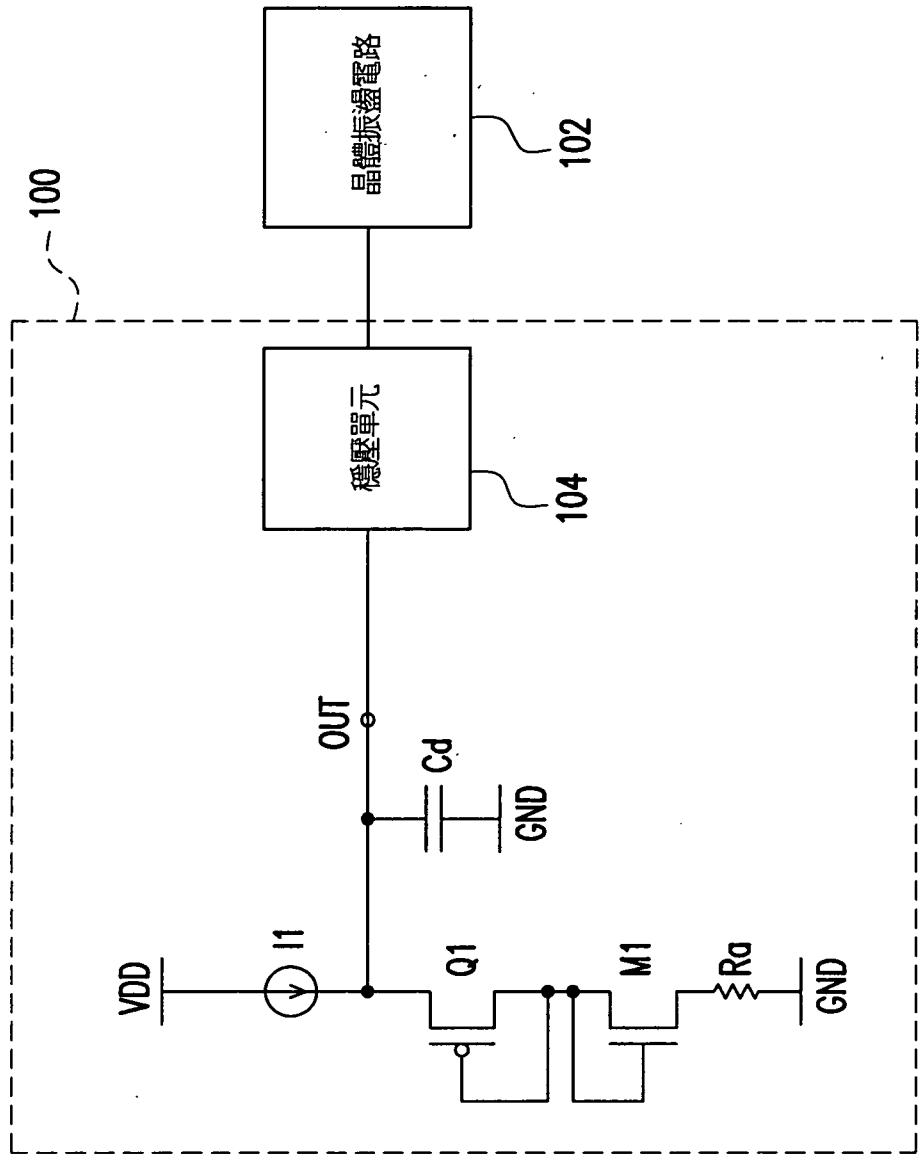


圖 3B

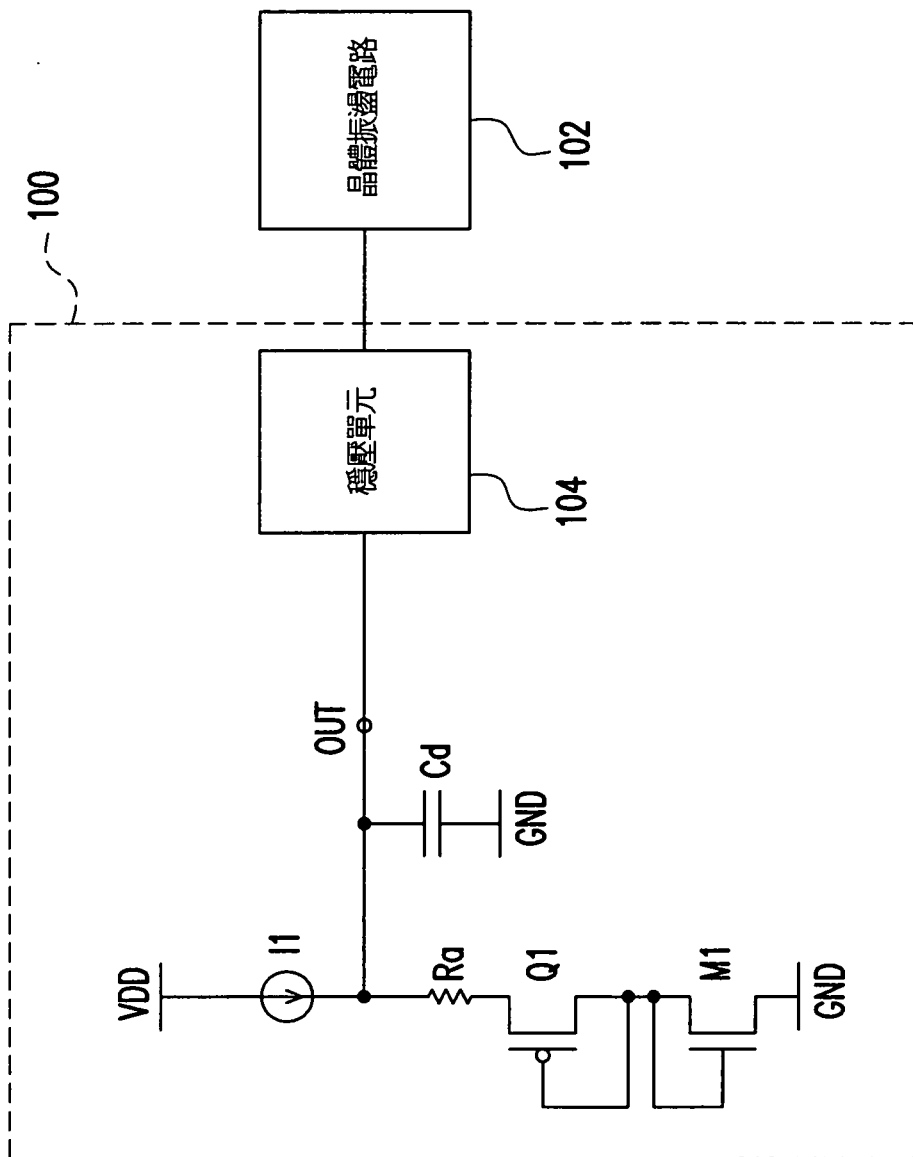
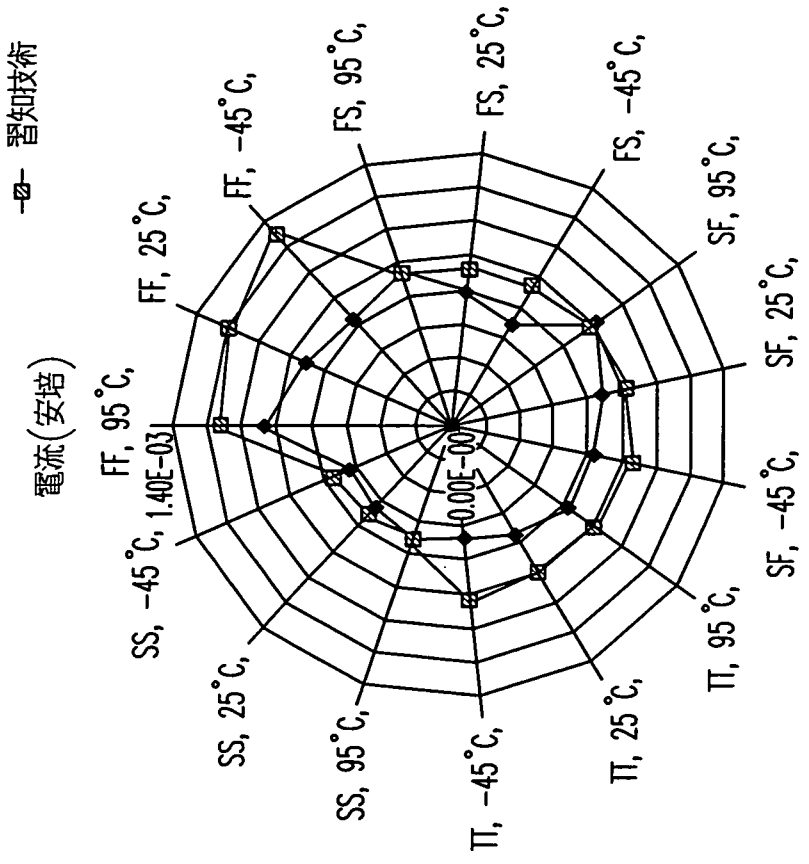


圖3C

◆ 本實施例
 □ 習知技術



◆ 本實施例
 □ 習知技術

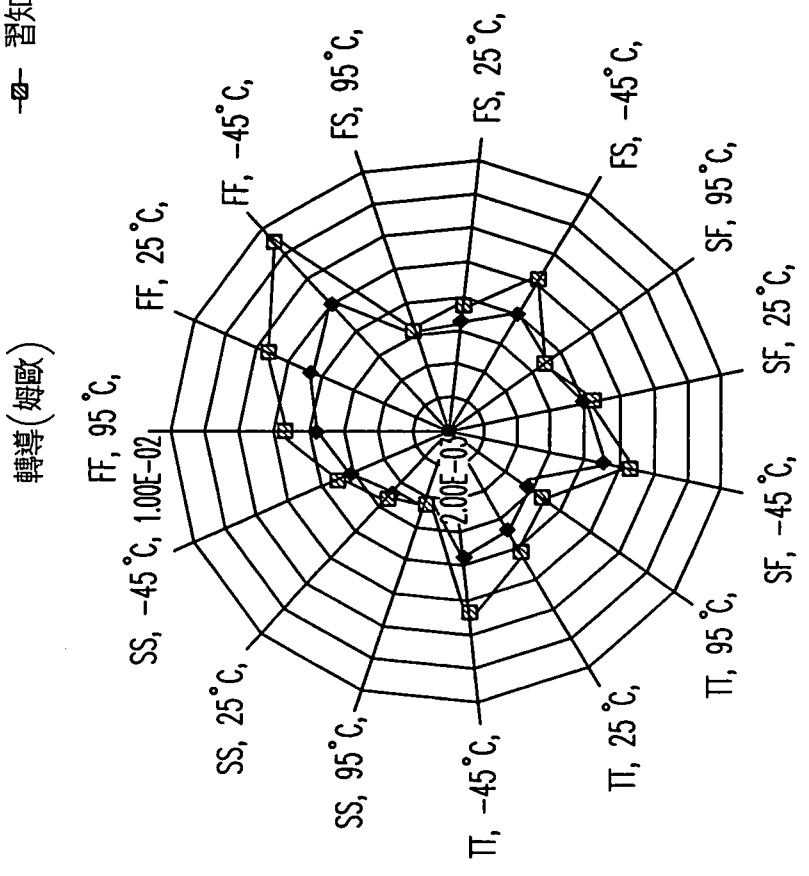


圖4A

圖4B

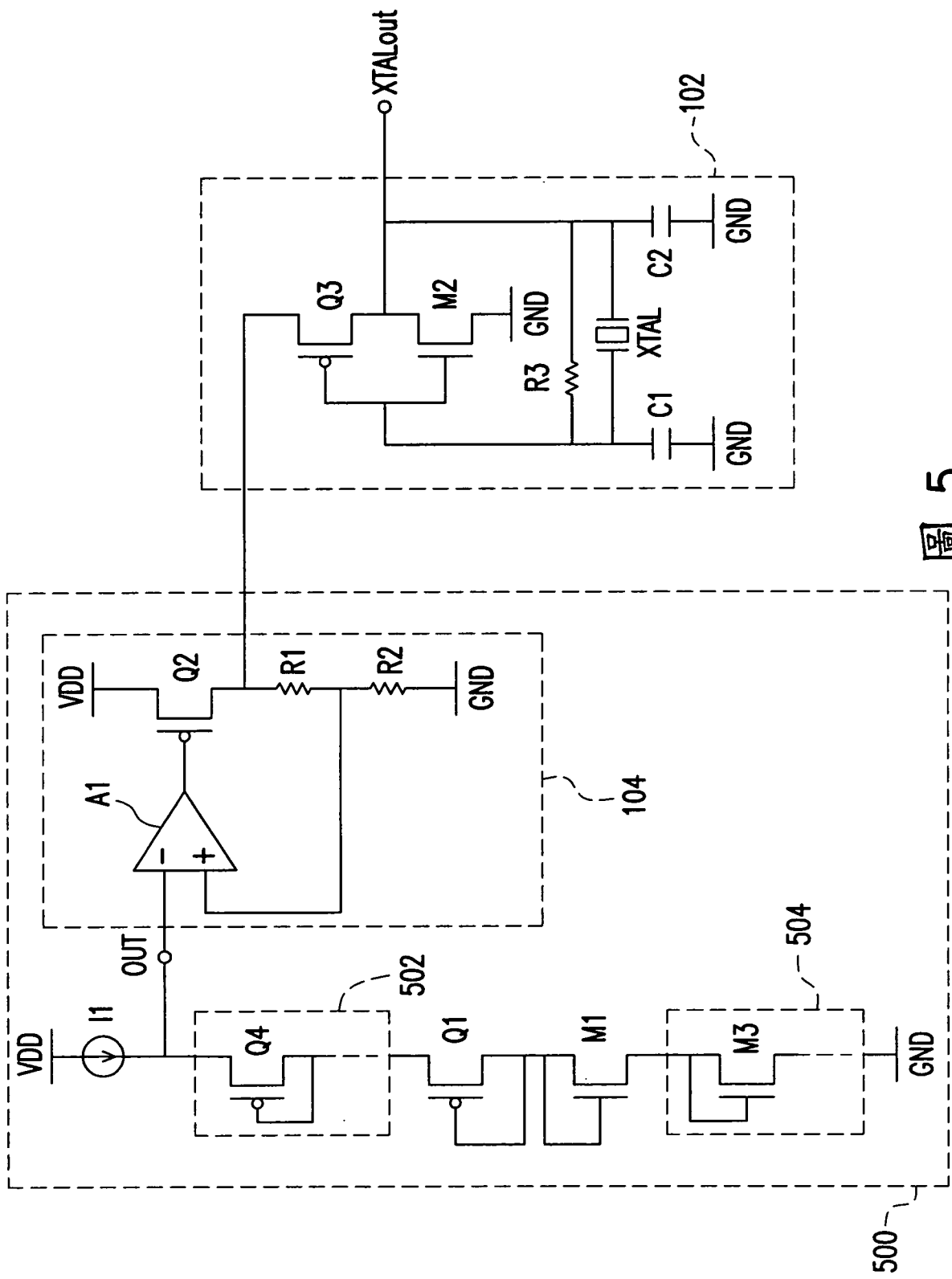


圖 5

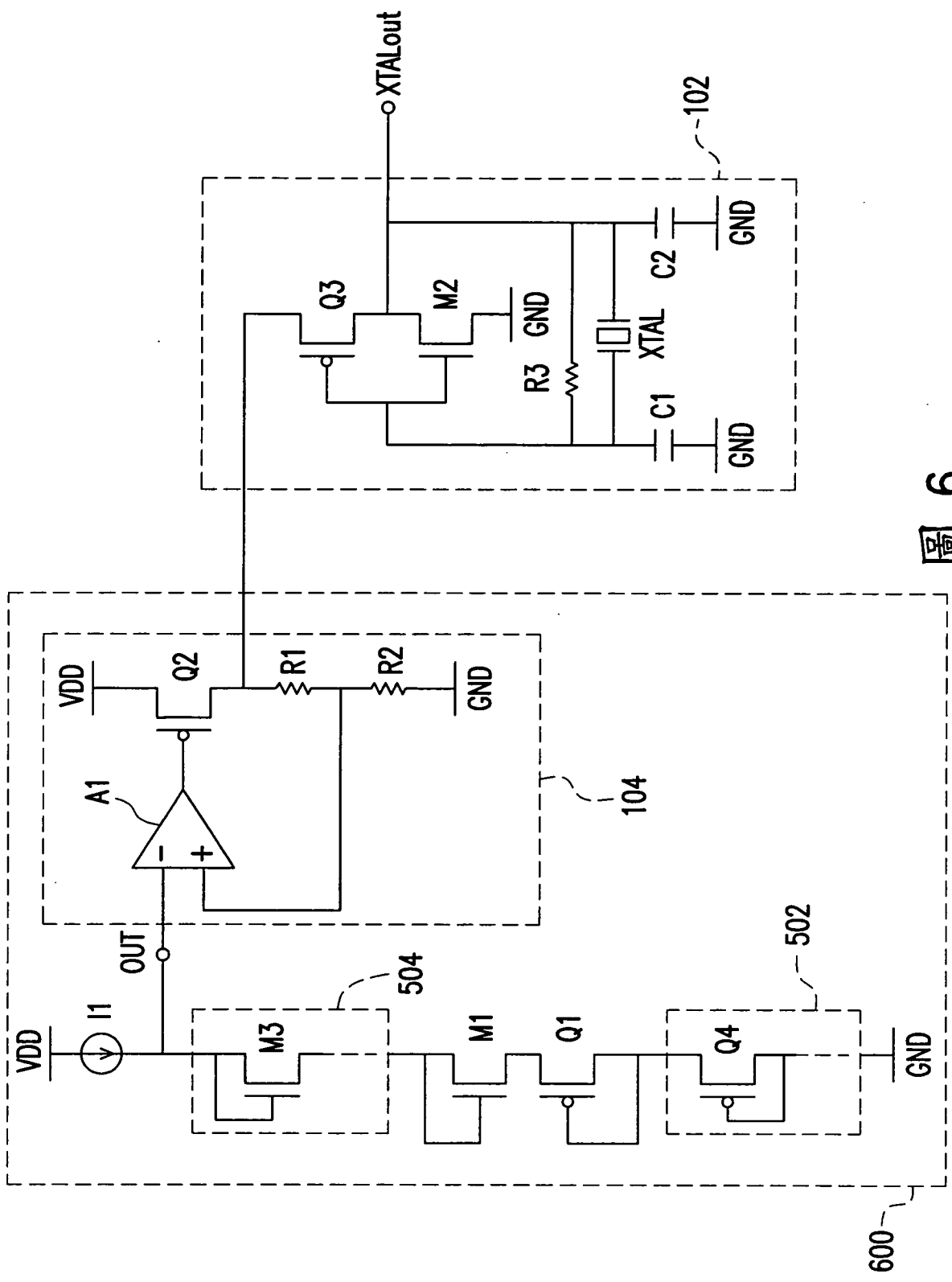


圖 6