



(12)发明专利

(10)授权公告号 CN 105141347 B

(45)授权公告日 2018.08.24

(21)申请号 201510324092.3

H04L 1/00(2006.01)

(22)申请日 2015.06.12

H04L 25/03(2006.01)

(65)同一申请的已公布的文献号

H04L 27/26(2006.01)

申请公布号 CN 105141347 A

(56)对比文件

(43)申请公布日 2015.12.09

CN 1157066 A,1997.08.13,

(73)专利权人 北京理工大学

CN 1379558 A,2002.11.13,

地址 100081 北京市海淀区中关村南大街5号北京理工大学

WO 2004042959 A1,2004.05.21,

CN 101065912 A,2007.10.31,

(72)发明人 刘大可 蔡兆云

审查员 宁艳玲

(74)专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李相雨

(51)Int.Cl.

H04B 7/06(2006.01)

H04B 7/08(2006.01)

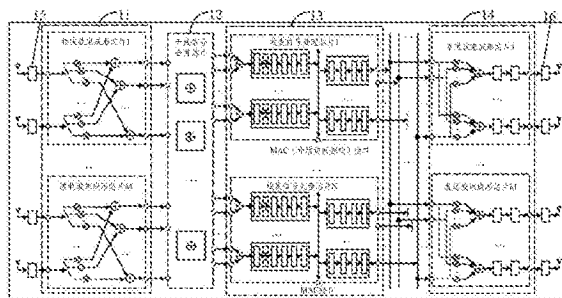
权利要求书2页 说明书9页 附图4页

(54)发明名称

超小型基站基带处理器芯片组

(57)摘要

本发明提供一种超小型基站基带处理器芯片组,包括:接收波束成形芯片组、天线信号合并芯片组、用户波束收发信号处理芯片组和发送波束成形芯片组;接收波束成形芯片组通过模数转换器与超小型基站的L个天线的接收端连接、接收波束成形芯片组与天线信号合并芯片组连接,用户波束收发信号处理芯片组与天线信号合并芯片组、发送波束成形芯片组分别连接,发送波束成形芯片组通过数模转换器与超小型基站的L个天线的发送端连接,L为大于1的整数。上述超小型基站基带处理器芯片组能够解决超大型天线阵列和超大计算量产生的管脚、功耗、面积约束问题,并通过分片优化最小化全数字波束成形结构的硬件开销。



1. 一种超小型基站基带处理器芯片组,其特征在于,包括:接收波束成形芯片组、天线信号合并芯片组、用户波束收发信号处理芯片组和发送波束成形芯片组;

所述接收波束成形芯片组通过模数转换器与超小型基站的L个天线的接收端连接、所述接收波束成形芯片组与所述天线信号合并芯片组连接,所述用户波束收发信号处理芯片组与所述天线信号合并芯片组、所述发送波束成形芯片组分别连接,所述发送波束成形芯片组通过数模转换器与超小型基站的L个天线的发送端连接,L为大于1的整数;

所述接收波束成形芯片组采用第一差分端口通过模数转换器与超小型基站的L个天线的接收端连接,所述发送波束成形芯片组采用第一差分端口通过数模转换器与超小型基站的L个天线的发送端连接;所述接收波束成形芯片组采用第二差分端口与所述天线信号合并芯片组连接,所述发送波束成形芯片组采用第二差分端口与所述用户波束收发信号处理芯片组连接,所述天线信号合并芯片组采用第二差分端口与所述用户波束收发信号处理芯片组连接;

所述第一差分端口与所述模数转换器及数模转换器的采样速率相匹配,所述模数转换器与所述数模转换器采用相同的速率,所述第二差分端口与中间数字信号传输速率相匹配,所述第一差分端口与所述第二差分端口的速率不同。

2. 根据权利要求1所述的基带处理器芯片组,其特征在于,所述接收波束成形芯片组包括:M个接收波束成形芯片,M为大于1的整数;

所述接收波束成形芯片包括:第一复乘模块、天线合并模块和输出缓存模块;

所述第一复乘模块包括:K组、每组U个高速定点复数乘法单元,K和U均为大于1的整数;

所述复数乘法单元,用于对从K根天线接收的信号进行波束成形加权运算;

所述天线合并模块包括:U个第一加法单元;

所述第一加法单元为U输入、单输出的累加器,用于对从K根天线接收的信号在经过所述复数乘法单元进行波束成形加权运算之后的信号中属于同一接收区域的信号进行合并;

所述输出缓存模块为高速并行随机存取存储器RAM,用于对所述U个第一加法单元合并后的信号进行暂存处理,并输出至所述天线信号合并芯片组。

3. 根据权利要求1所述的基带处理器芯片组,其特征在于,所述天线信号合并芯片组包括:双输入单输出形式排列连接的多个天线信号合并芯片,用于将所述接收波束成形芯片组的输出信号进行合并,将合并后的信号输出至所述用户波束收发信号处理芯片组。

4. 根据权利要求1所述的基带处理器芯片组,其特征在于,所述用户波束收发信号处理芯片组包括:N个相互并列的用户波束收发信号处理芯片,用于并行处理来自最多U个波束成形区域的接收信号,并与宏基站进行通信,同时处理来自宏基站的下行数据,最多对U个波束成形发送区域的下行信号进行调制,将调制后的信号输出至所述发送波束成形芯片组,N和U均为大于1的整数。

5. 根据权利要求4所述的基带处理器芯片组,其特征在于,所述用户波束收发信号处理芯片包括:上行信号处理部分和下行信号处理部分;

所述上行信号处理部分包括:滤波与快速傅里叶变换模块、信道估计模块、信道均衡模块、解映射模块、解交织模块、前向纠错编码模块和第一循环冗余检查模块;

所述滤波与快速傅里叶变换模块,包括:延迟链式寄存器组、多路并行的滤波处理器和快速傅里叶变换处理器;

所述滤波处理器包括基于单指令多数据的二维并行乘法-加法运算单元,配合所述延迟链式寄存器组,用于在一个时钟周期内完成多阶的滤波运算;

所述快速傅里叶变换处理器包括:复数蝶形单元,用于对2的整数次幂的序列实现多种长度的低延迟傅里叶变换;

所述信道估计模块,用于对傅里叶变换后的信号进行信道估计;

所述信道均衡模块,用于对信道估计后的进行信道均衡;

所述解映射模块,用于对信道均衡后的信号进行比特检测运算;

所述解交织模块,用于对比特检测运算后的信号进行解交织;

所述前向纠错编码模块,用于对解交织后的信号进行前向纠错编码;

所述第一循环冗余检查模块,用于对前向纠错编码后的信号进行循环冗余检查;

所述下行信号处理部分包括:第二循环冗余检查模块、信道编码模块、调制模块和逆快速傅里叶变换模块;

所述第二循环冗余检查模块,用于对输入的信号进行循环冗余检查;

所述信道编码模块,用于对循环冗余检查后的信号进行编码;

所述调制模块,用于对编码后的信号进行调制;

所述逆快速傅里叶变换模块,用于对调制后的信号进行逆快速傅里叶变换。

6. 根据权利要求1所述的基带处理器芯片组,其特征在于,所述发送波束成形芯片组包括:M片发送波束成形芯片;

所述发送波束成形芯片,用于对经过所述用户波束收发信号处理芯片组调制输出的信号依次进行波束成形、数字预失真和成形滤波处理,并将处理后的信号输出至超小型基站的K个天线发送端。

7. 根据权利要求6所述的基带处理器芯片组,其特征在于,所述发送波束成形芯片包括:输入缓存模块、第二复乘模块、用户信号合并模块,数字预失真模块和成形滤波模块;

所述输入缓存模块,用于对经过所述用户波束收发信号处理芯片组调制输出的信号进行暂存处理并输出至所述第二复乘模块;

所述第二复乘模块,用于对所述输入缓存模块输出对信号进行发送波束成形加权运算;

所述用户信号合并模块,包括K个第二加法单元;

所述第二加法单元为U输入、单输出的累加器,用于对经过所述第二复乘模块进行发送波束成形加权运算之后的U路信号进行合并;

所述数字预失真模块,用于通过数字电路对经过所述用户信号合并模块进行合并之后的信号的发送功率进行预补偿;

所述成形滤波模块,用于对预补偿后的信号进行脉冲成形滤波,并将脉冲成形滤波后的信号输出至超小型基站的的天线发送端,以使所述天线发送端将所述脉冲成形滤波后的信号进行数模转换后进行发送。

8. 根据权利要求7所述的基带处理器芯片组,其特征在于,所述成形滤波模块为高速数字滤波器。

## 超小型基站基带处理器芯片组

### 技术领域

[0001] 本发明涉及无线通信基带处理器技术领域,尤其涉及一种超小型基站基带处理器芯片组。

### 背景技术

[0002] 第五代移动通信技术(5-Generation,简称5G)将为当前广泛应用的无线通信带来各方面的技术革新,体现在超高传输带宽、超低通信延迟、更高的频谱利用效率等。基于5G的要求,超大规模天线阵列以及波束成形技术可能成为5G通信的关键技术。

[0003] 超小型热点基站是适用于5G超密集组网应用场景的基站系统。其应用场景涵盖诸如办公室、校园、密集街区、慢速车辆等室内室外情况,通常覆盖半径小于百米范围。每个5G超小型基站将为其覆盖区域内的用户提供总速率高达10千兆比特每秒的宽带数据传输服务。预测结果表明,5G超小型基站的全球年产量将在各类5G通信基站中占主导地位。

[0004] 超小型基站需要通过超大规模天线阵列来支持其高带宽数据传输的要求。通常,为满足以上提到的所涵盖的场景的无线传输,需要上百天线的二维天线阵列。同时,由于天线物理尺寸的限制,载波波长需要足够短。毫米波波段是当前许多无线通信类应用研究的热点之一。应用该波段的无线传输,例如,采用60GHz射频可以将天线阵列的间隔缩小到约2.5mm,天线阵列的整体尺寸也大幅减小。

[0005] 由于毫米波具有较大的传输损耗,因此,需要利用波束成形技术来为微基站提供具有方向性的高能量增益。现有的基站波束成形的硬件实施结构方案,主要包括三种。第一,射频模拟波束成形。第二,全数字波束成形。第三,模拟-数字混合波束成形。在这些结构方案中,射频模拟波束成形具有最低的开销,全数字波束成形具有最好的性能。模拟-数字混合波束成形则是两者的折衷。

[0006] 针对以上提到的硬件实施结构方案,尚未有成熟的片上系统硬件实现研究。片上系统的硬件实现需要考虑各项约束,包括算法级约束,管脚约束,功耗约束,以及面积约束等。针对基于超大规模天线阵列的波束成型技术的基站,其输入和输出信号吞吐量非常大。处理芯片很容易超过工艺所规定的管脚约束。另外,对于宽带超大运算量的基带处理,若不选择合适的算法和结构,并进行合理的分片多核处理,超小型基站的功耗和面积约束也很难被满足。

[0007] 鉴于此,如何提供一种能够解决超大型天线阵列和超大计算量产生的管脚、功耗、面积约束问题的超小型基站基带处理器芯片组成为当前需要解决的技术问题。

### 发明内容

[0008] 本发明提供一种超小型基站基带处理器芯片组,应用于5G无线通信超小型热点基站中,可灵活配置,能够解决超大型天线阵列和超大计算量产生的管脚、功耗、面积约束问题,并通过分片优化最小化全数字波束成形结构的硬件开销。

[0009] 第一方面,本发明提供一种超小型基站基带处理器芯片组,包括:接收波束成形芯

片组、天线信号合并芯片组、用户波束收发信号处理芯片组和发送波束成形芯片组；

[0010] 所述接收波束成形芯片组通过模数转换器与超小型基站的L个天线的接收端连接、所述接收波束成形芯片组与所述天线信号合并芯片组连接，所述用户波束收发信号处理芯片组与所述天线信号合并芯片组、所述发送波束成形芯片组分别连接，所述发送波束成形芯片组通过数模转换器与超小型基站的L个天线的发送端连接，L为大于1的整数。

[0011] 可选地，所述接收波束成形芯片组包括：M个接收波束成形芯片，M为大于1的整数；

[0012] 所述接收波束成形芯片包括：第一复乘模块、天线合并模块和输出缓存模块；

[0013] 所述第一复乘模块包括：K组、每组U个高速定点复数乘法单元，K和U均为大于1的整数；

[0014] 所述复数乘法单元，用于对从K根天线接收的信号进行波束成形加权运算；

[0015] 所述天线合并模块包括：U个第一加法单元；

[0016] 所述第一加法单元为U输入、单输出的累加器，用于对从K根天线接收的信号在经过所述复数乘法单元进行波束成形加权运算之后的信号中属于同一接收区域的信号进行合并；

[0017] 所述输出缓存模块为高速并行随机存取存储器RAM，用于对所述U个第一加法单元合并后的信号进行暂存处理，并输出至所述天线信号合并芯片组。

[0018] 可选地，所述天线信号合并芯片组包括：双输入单输出形式排列连接的多个天线信号合并芯片，用于将所述接收波束成形芯片组的输出信号进行合并，将合并后的信号输出至所述用户波束收发信号处理芯片组。

[0019] 可选地，所述用户波束收发信号处理芯片组包括：N个相互并列的用户波束收发信号处理芯片，用于并行处理来自最多U个波束成形区域的接收信号，并与宏基站进行通信，同时处理来自宏基站的下行数据，最多对U个波束成形发送区域的下行信号进行调制，将调制后的信号输出至所述发送波束成形芯片组，N和U均为大于1的整数。

[0020] 可选地，所述用户波束收发信号处理芯片包括：上行信号处理部分和下行信号处理部分；

[0021] 所述上行信号处理部分包括：滤波与快速傅里叶变换模块、信道估计模块、信道均衡模块、解映射模块、解交织模块、前向纠错编码模块和第一循环冗余检查模块；

[0022] 所述滤波与快速傅里叶变换模块，包括：延迟链式寄存器组、多路并行的滤波处理器和快速傅里叶变换处理器；

[0023] 所述滤波处理器包括基于单指令多数据的二维并行乘法-加法运算单元，配合所述延迟链式寄存器组，用于在一个时钟周期内完成多阶的滤波运算；

[0024] 所述快速傅里叶变换处理器包括：复数蝶形单元，用于对2的整数次幂的序列实现多种长度的低延迟傅里叶变换；

[0025] 所述信道估计模块，用于对傅里叶变换后的信号进行信道估计；

[0026] 所述信道均衡模块，用于对信道估计后的进行信道均衡；

[0027] 所述解映射模块，用于对信道均衡后的信号进行比特检测运算；

[0028] 所述解交织模块，用于对比特检测运算后的信号进行解交织；

[0029] 所述前向纠错编码模块，用于对解交织后的信号进行前向纠错编码；

[0030] 所述第一循环冗余检查模块，用于对前向纠错编码后的信号进行循环冗余检查；

- [0031] 所述下行信号处理部分包括：第二循环冗余检查模块、信道编码模块、调制模块和逆快速傅里叶变换模块；
- [0032] 所述第二循环冗余检查模块，用于对输入的信号进行循环冗余检查；
- [0033] 所述信道编码模块，用于对循环冗余检查后的信号进行编码；
- [0034] 所述调制模块，用于对编码后的信号进行调制；
- [0035] 所述逆快速傅里叶变换模块，用于对调制后的信号进行逆快速傅里叶变换。
- [0036] 可选地，所述信道估计模块和所述信道均衡模块为定点矩阵-函数处理器；
- [0037] 所述定点矩阵-函数处理器包括：多层乘法加法和数据重排单元和函数运算加速单元；
- [0038] 所述多层乘法加法和数据重排单元，用于进行包括实数、复数的向量加减法、向量乘积、向量点积、转置的基本向量运算；
- [0039] 所述函数运算加速单元，用于通过多项式估计算法，在最多预设个时钟周期内实现预设精度的特殊函数运算；
- [0040] 和/或，
- [0041] 所述解映射模块，用于采用比特检测算法对信道均衡后的信号进行比特检测运算；
- [0042] 和/或，
- [0043] 所述解交织模块采用前向纠错编解码专用处理器；
- [0044] 和/或，
- [0045] 所述前向纠错编码模块采用前向纠错编解码专用处理器；
- [0046] 和/或，
- [0047] 所述第一循环冗余检查模块，用于采用比特处理器配合寄存器，基于查表法的并行循环冗余检查CRC算法的低延迟运算对前向纠错编码后对信号进行循环冗余检查；
- [0048] 和/或，
- [0049] 所述信道编码模块为低开销简单编码和调制电路；
- [0050] 和/或，
- [0051] 所述调制模块为低开销简单编码和调制电路。
- [0052] 可选地，所述发送波束成形芯片组包括：M片发送波束成形芯片；
- [0053] 所述发送波束成形芯片，用于对经过所述用户波束收发信号处理芯片组调制输出的信号依次进行波束成形、数字预失真和成型滤波处理，并将处理后的信号输出至超小型基站的K个天线发送端。
- [0054] 可选地，所述发送波束成形芯片包括：输入缓存模块、第二复乘模块、用户信号合并模块，数字预失真模块和成型滤波模块；
- [0055] 所述输入缓存模块，用于对经过所述用户波束收发信号处理芯片组调制输出的信号进行暂存处理并输出至所述第二复乘模块；
- [0056] 所述第二复乘模块，用于对所述输入缓存模块输出对信号进行发送波束成形加权运算；
- [0057] 所述用户信号合并模块，包括K个第二加法单元；
- [0058] 所述第二加法单元为U输入、单输出的累加器，用于对经过所述第二复乘模块进行

发送波束成形加权运算之后的U路信号进行合并；

[0059] 所述数字预失真模块,用于通过数字电路对经过所述用户信号合并模块进行合并之后的信号的发送功率进行预补偿；

[0060] 所述成形滤波模块,用于对预补偿后的信号进行脉冲成形滤波,并将脉冲成形滤波后的信号输出至超小型基站的天线发送端,以使所述天线发送端将所述脉冲成形滤波后的信号进行数模转换后进行发送。

[0061] 可选地,所述成形滤波模块为高速数字滤波器。

[0062] 可选地,所述接收波束成形芯片组采用第一差分端口通过模数转换器与超小型基站的L个天线的接收端连接,所述发送波束成形芯片组采用第一差分端口通过数模转换器与超小型基站的L个天线的发送端连接;所述接收波束成形芯片组采用第二差分端口与所述天线信号合并芯片组连接,所述发送波束成形芯片组采用第二差分端口与所述用户波束收发信号处理芯片组连接,所述天线信号合并芯片组采用第二差分端口与所述用户波束收发信号处理芯片组连接;

[0063] 所述第一差分端口与所述模数转换器及数模转换器的采样速率相匹配,所述模数转换器与所述数模转换器采用相同的速率,所述第二差分端口与中间数字信号传输速率相匹配,所述第一差分端口与所述第二差分端口的速率不同。

[0064] 由上述技术方案可知,本发明的超小型基站基带处理器芯片组,应用于5G无线通信超小型热点基站中,可灵活配置,能够解决超大型天线阵列和超大计算量产生的管脚、功耗、面积约束问题,并通过分片优化最小化全数字波束成形结构的硬件开销。

## 附图说明

[0065] 图1为本发明一实施例提供的一种超小型基站基带处理器芯片组的结构示意图;

[0066] 图2为图1所示的超小型基站基带处理器芯片组中的接收波束成形芯片的结构示意图;

[0067] 图3为图1所示的超小型基站基带处理器芯片组中的用户波束收发信号处理芯片的上行部分的结构示意图;

[0068] 图4为图1所示的超小型基站基带处理器芯片组中的用户波束收发信号处理芯片的下行部分的结构示意图;

[0069] 图5为图1所示的超小型基站基带处理器芯片组中的发送波束成形芯片的结构示意图;

[0070] 图6为图1所示的超小型基站基带处理器芯片组中的一种天线信号合并芯片组的一种连接方式的示意图。

## 具体实施方式

[0071] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0072] 图1示出了本发明一实施例提供的超小型基站基带处理器芯片组的结构示意图,如图1所示,本实施例的超小型基站基带处理器芯片组,包括:接收波束成形芯片组11、天线信号合并芯片组12、用户波束收发信号处理芯片组13和发送波束成形芯片组14;

[0073] 所述接收波束成形芯片组11通过模数转换器15与超小型基站的L个天线的接收端连接、所述接收波束成形芯片组11与所述天线信号合并芯片组12连接,所述用户波束收发信号处理芯片组13与所述天线信号合并芯片组12、所述发送波束成形芯片组14分别连接,所述发送波束成形芯片组14通过数模转换器16与超小型基站的L个天线的发送端连接,L为大于1的整数。

[0074] 在具体应用中,本实施例所述接收波束成形芯片组11可以包括:M个接收波束成形芯片,M为大于1的整数;

[0075] 所述接收波束成形芯片,如图2所示,可以包括:第一复乘模块11a、天线合并模块11b和输出缓存模块11c;

[0076] 所述第一复乘模块11a可包括:K组、每组U个高速定点复数乘法单元,K和U均为大于1的整数;

[0077] 所述复数乘法单元,用于对从K根天线接收的信号进行波束成形加权运算;

[0078] 所述天线合并模块11b可包括:U个第一加法单元;

[0079] 所述第一加法单元为U输入、单输出的累加器,用于对从K根天线接收的信号在经过所述复数乘法单元进行波束成形加权运算之后的信号中属于同一接收区域的信号进行合并;

[0080] 所述输出缓存模块11c为高速并行随机存取存储器RAM,用于对所述U个第一加法单元合并后的信号进行暂存处理,并输出至所述天线信号合并芯片组。

[0081] 可理解的是,每一个接收波束成形芯片所连接的天线数为K,而接收波束成形芯片有M个,故基站的总天线数 $L=K \times M$ 。

[0082] 在具体应用中,本实施例所述天线信号合并芯片组12可以包括:双输入单输出形式排列连接的多个天线信号合并芯片,用于将所述接收波束成形芯片组的输出信号进行合并,将合并后的信号输出至所述用户波束收发信号处理芯片组13。

[0083] 图6示出了图1所示的超小型基站基带处理器芯片组中的一种天线信号合并芯片组的一种连接方式的示意图,如图6所示,图6以接收波束成形芯片数为12为示例的情况下,由总计10个天线信号合并芯片以双输入-单输出的基本连接方式互连构成,其中包括6个第一阶段信号合并芯片、3个第二阶段信号合并芯片和1个第三阶段信号合并芯片;这些芯片呈倒三角的形式排列和连接,每个第一阶段信号合并芯片将来自两个接收波束成形芯片的信号进行进一步合并;每个第二和第三阶段信号合并芯片,分别对上一阶段合并芯片的输出信号进行进一步合并。经过两个或三个阶段合并的信号被输入到用户波束收发信号处理芯片中,进行最终阶段的合并。经过每一阶段的信号合并操作,待处理信号额外增加1比特字长。

[0084] 在具体应用中,本实施例所述用户波束收发信号处理芯片组13可以包括:N个相互并列的用户波束收发信号处理芯片,用于并行处理来自最多U个波束成形区域的接收信号,并与宏基站进行通信,同时处理来自宏基站的下行数据,最多对U个波束成形发送区域的下行信号进行调制,将调制后的信号输出至所述发送波束成形芯片组,N和U均为大于1的整数。举例来说,U可以优选为10。

[0085] 其中,所述用户波束收发信号处理芯片,可以包括:上行信号处理部分和下行信号处理部分;



[0086] 所述上行信号处理部分,如图3所示,可以包括:滤波与快速傅里叶变换模块、信道估计模块、信道均衡模块、解映射模块、解交织模块、前向纠错编码模块和第一循环冗余检查模块;

[0087] 所述滤波与快速傅里叶变换模块,可包括:延迟链式寄存器组、多路并行的滤波处理器和快速傅里叶变换处理器;

[0088] 所述滤波处理器包括基于单指令多数据的二维并行乘法-加法运算单元(配备长度和精度可选的乘加指令集),配合所述延迟链式寄存器组,用于在一个时钟周期内(通过编程)完成多阶的滤波运算,所述滤波处理器在可配置的延迟链式寄存器组结构支持下,可以通过指令实现各种阶数的有限冲激响应滤波、无限冲激响应滤波、信号自相关和互相关等算法功能;

[0089] 所述快速傅里叶变换处理器包括:复数蝶形单元,用于(在指令集支持下)对2的整数次幂的序列实现多种长度的低延迟傅里叶变换,即其数据通道采用高并行度的复数蝶形乘加结构,可以在一个时钟周期内并行完成8路并行基2,4路并行基4,2路并行基8和单路基16等多种复数蝶形运算,可以通过编程实现多种长度的低延迟快速傅里叶变换;

[0090] 所述信道估计模块,用于对傅里叶变换后的信号进行信道估计;

[0091] 所述信道均衡模块,用于对信道估计后的进行信道均衡;

[0092] 所述解映射模块,用于对信道均衡后的信号进行比特检测运算,即通过理论上的公式化简,将复杂的指数、对数等算数运算转化为基于最大、最小值的近似运算,并映射到简单的查表电路和数值比较电路上,在很大程度上降低了硬件复杂度;

[0093] 所述解交织模块,用于对比特检测运算后的信号进行解交织;

[0094] 所述前向纠错编码模块,用于对解交织后的信号进行前向纠错编码;

[0095] 所述第一循环冗余检查模块,用于对前向纠错编码后的信号进行循环冗余检查。

[0096] 进一步地,所述信道估计模块和所述信道均衡模块均可以为定点矩阵-函数处理器;

[0097] 所述定点矩阵-函数处理器可包括:多层乘法加法和数据重排单元和函数运算加速单元;

[0098] 所述多层乘法加法和数据重排单元,用于进行包括实数、复数的向量加减法、向量乘积、向量点积、转置等的基本向量运算;

[0099] 所述函数运算加速单元,用于通过多项式估计算法,在最多预设个时钟周期内实现预设精度的特殊函数运算。

[0100] 举例来说,所述预设个时钟周期可优选为10个时钟周期,所述预设精度可优选为16比特精度。

[0101] 所述矩阵-函数处理器对于信道估计和信道均衡算法中所用的矩阵LU分解、QR分解、求逆等核心运算,通过数据预分配和编程,可以实现高效率、无冲突、低延迟的运算。

[0102] 在具体应用中,所述解映射模块,可用于采用比特检测算法对信道均衡后的信号进行比特检测运算(即对信道均衡后的信号进行比特数据解映射)。

[0103] 举例来说,优选地,所述解映射模块,可用于采用最大对数映射(Maximum Logarithm MAP,简称Max-Log-Map)算法对信道均衡后的信号进行比特检测运算。

[0104] 优选地,所述解交织模块和所述前向纠错编码模块均可采用前向纠错编解码专用

处理器,该前向纠错编解码专用处理器优选为高吞吐量、低开销的前向纠错编解码专用处理器。

[0105] 优选地,所述第一循环冗余检查模块,用于采用比特处理器配合寄存器,可基于查表法的并行循环冗余检查(Cyclic Redundancy Check,简称CRC)算法的低延迟运算对前向纠错编码后对信号进行循环冗余检查。所述第一循环冗余检查模块采用并行逻辑运算数据通道,配合寄存器文件进行基于查表法的并行CRC算法,可以实现包括CRC8,CRC16,CRC24,CRC32等多种循环冗余校验算法的低延迟运算。

[0106] 其中,所述下行信号处理部分,如图3所示,可以包括:第二循环冗余检查模块、信道编码模块、调制模块和逆快速傅里叶变换模块;

[0107] 所述第二循环冗余检查模块,用于对输入的信号进行循环冗余检查;

[0108] 所述信道编码模块,用于对循环冗余检查后的信号进行编码;

[0109] 所述调制模块,用于对编码后的信号进行调制;

[0110] 所述逆快速傅里叶变换模块,用于对调制后的信号进行逆快速傅里叶变换。

[0111] 优选地,所述信道编码模块和所述调制模块均可以为低开销简单编码和调制电路。

[0112] 可理解的是,本实施例的所述第二循环冗余检查模块与所述第一循环冗余检查模块可采用相同的处理器硬件,而运行的软件代码不同;所述逆快速傅里叶变换模块可采用上述快速傅里叶变换处理器,在该快速傅里叶变换处理器运行逆快速傅里叶变换。

[0113] 在具体应用中,本实施例所述发送波束成形芯片组14可以包括:M片发送波束成形芯片;

[0114] 所述发送波束成形芯片,用于对经过所述用户波束收发信号处理芯片组调制输出的信号依次进行波束成形、数字预失真和成型滤波处理,并将处理后的信号输出至超小型基站的K个天线发送端。

[0115] 进一步地,所述发送波束成形芯片,如图5所示,可以包括:输入缓存模块14a、第二复乘模块14b、用户信号合并模块14c、数字预失真模块14d和成型滤波模块14e;

[0116] 所述输入缓存模块14a,用于对经过所述用户波束收发信号处理芯片组调制输出的信号进行暂存处理并输出至所述第二复乘模块;

[0117] 所述第二复乘模块14b,用于对所述输入缓存模块输出对信号进行发送波束成形加权运算;

[0118] 所述用户信号合并模块14c,包括K个第二加法单元;

[0119] 所述第二加法单元为U输入、单输出的累加器,用于对经过所述第二复乘模块进行发送波束成形加权运算之后的U路信号进行合并;

[0120] 所述数字预失真模块14d,用于通过数字电路对经过所述用户信号合并模块进行合并之后的信号的发送功率进行预补偿;

[0121] 所述成型滤波模块14e,用于对预补偿后的信号进行脉冲成形滤波,并将脉冲成形滤波后的信号输出至超小型基站的天线发送端,以使所述天线发送端将所述脉冲成形滤波后的信号进行数模转换后进行发送。

[0122] 优选地,所述成型滤波模块14e可以为高速数字滤波器。

[0123] 在具体应用中,本发明实施例可采用两种不同速率的高速差分端口:

[0124] 所述接收波束成形芯片组11采用第一差分端口通过模数转换器15与超小型基站的L个天线的接收端连接,所述发送波束成形芯片组14采用第一差分端口通过数模转换器16与超小型基站的L个天线的发送端连接;所述接收波束成形芯片组11采用第二差分端口与所述天线信号合并芯片组12连接,所述发送波束成形芯片组14采用第二差分端口与所述用户波束收发信号处理芯片组13连接,所述天线信号合并芯片组12采用第二差分端口与所述用户波束收发信号处理芯片组13连接;所述第一差分端口与所述模数转换器及所述数模转换器16的采样速率相匹配,所述数模转换器16与所述模数转换器15采用相同的速率,所述第二差分端口与中间数字信号传输速率相匹配,所述第一差分端口与所述第二差分端口的速率不同。

[0125] 应说明的是,第一差分端口包括系统的整体输入、输出端口,即与模数转换器15相连的接收波束成形芯片组11输入端口,以及与数模转换器16相连的发送波束成形芯片组14输出端口(数模转换器16与模数转换器15采用相同的速率);第二差分端口包括系统的所有中间数字信号的传输端口,即接收波束成形芯片组11的输出端口、发送波束成形芯片组14的输入端口,以及所述天线信号合并芯片组12和所述用户波束收发信号处理芯片组13的所有输入、输出端口(即,接收波束成形芯片组11的输出端与天线信号合并芯片组12的连接、天线信号合并芯片组12与用户波束收发信号处理芯片组13的连接、以及用户波束收发信号处理芯片组13与发送波束成形芯片组14的输入端的连接,均采用第二差分端口)。其中,第二差分端口的速率可优选为第一差分端口速率的两倍。

[0126] 举例来说,以5G一种应用场景下的超小型热点基站实例,对芯片组结构的配置参数和配置方法进行说明。在该应用场景下,热点基站通过128天线多输入多输出(Multi-input Multi-output,简称MIMO),为半径50米内处于10个波束区域内的用户提供宽带数据接入。针对该应用场景,为了满足最低硬件开销,并满足管脚、功耗和面积等设计约束,对芯片组结构中的芯片数量做如下配置:接收波束成形芯片组和发送波束成形芯片组所含芯片数 $M=12$ ,每个接收和发送波束成形芯片处理最多11根天线上的接收数据;天线信号合并芯片组分为三个阶段,每个阶段分别有6个、3个和1个信号合并芯片;用户波束收发信号处理芯片组所含芯片数 $N=2$ ,每个用户波束收发信号处理芯片处理各自独立的5个波束成形区域的信号。在这样的芯片数量配置下,根据软件仿真计算,基带系统中的数字芯片可以同时满足芯片管脚数要求(最多1000管脚)、面积约束(最大面积芯片45平方毫米)和低功耗约束(最大功耗芯片3.4瓦)。该配置共用芯片数量为36,实现了基带处理器硬件开销最小的设计目标。

[0127] 本实施例的超小型基站基带处理器芯片组,应用于5G无线通信超小型热点基站中,芯片组中的主要模块基于软件无线电设计,可灵活编程,芯片组结构本身可灵活配置,适配不同的天线数、用户速率、不同频段(6至40GHz以上)和带宽,对于每一种应用情况,通过配置可获得最低硬件成本,能够解决超大型天线阵列和超大计算量产生的管脚、功耗、面积约束问题,并通过分片优化最小化全数字波束成形结构的硬件开销。

[0128] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成。前述的程序可以存储于一计算机可读取存储介质中。该程序在执行时,执行包括上述各方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0129] 最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明的权利要求保护的范围。

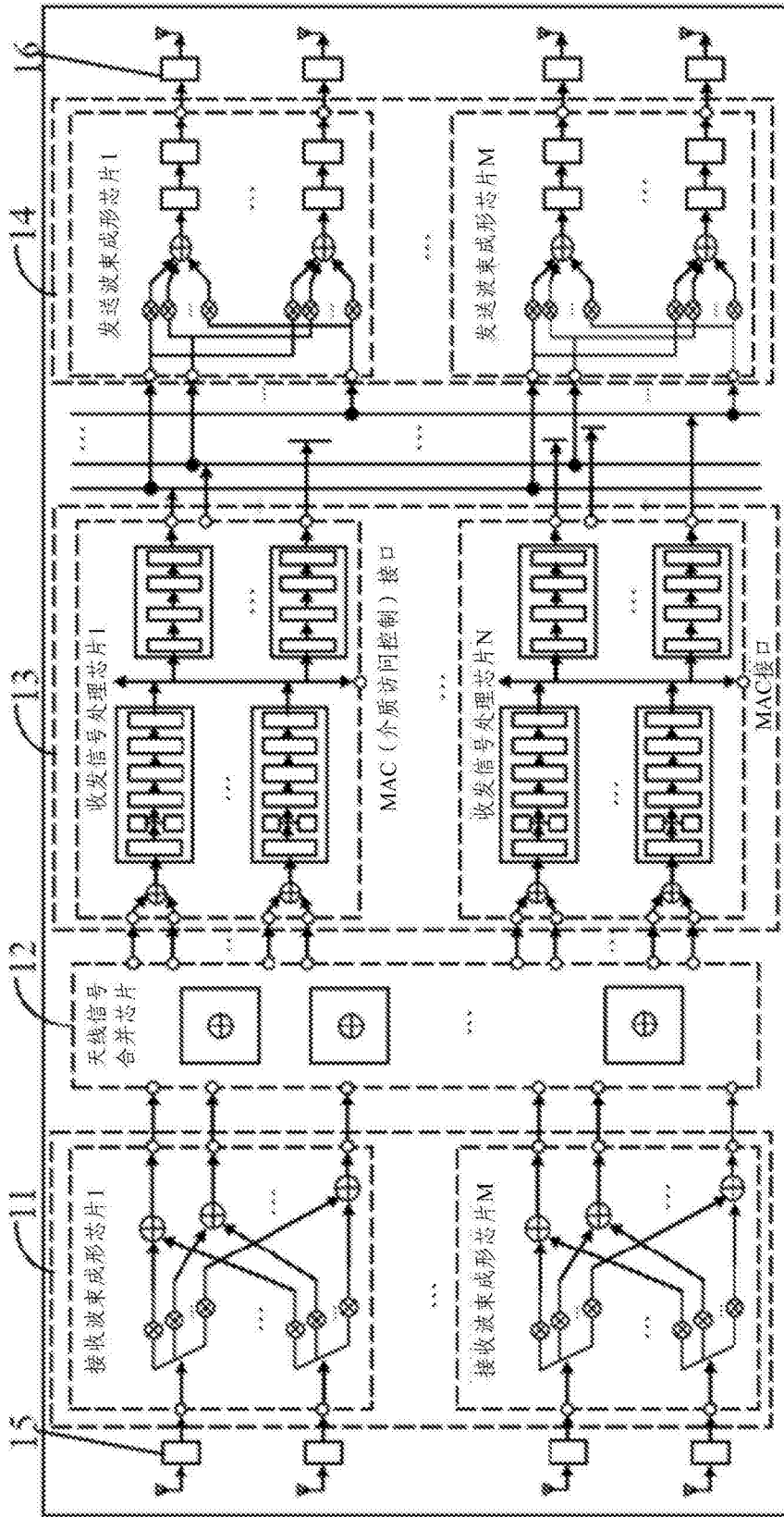


图1

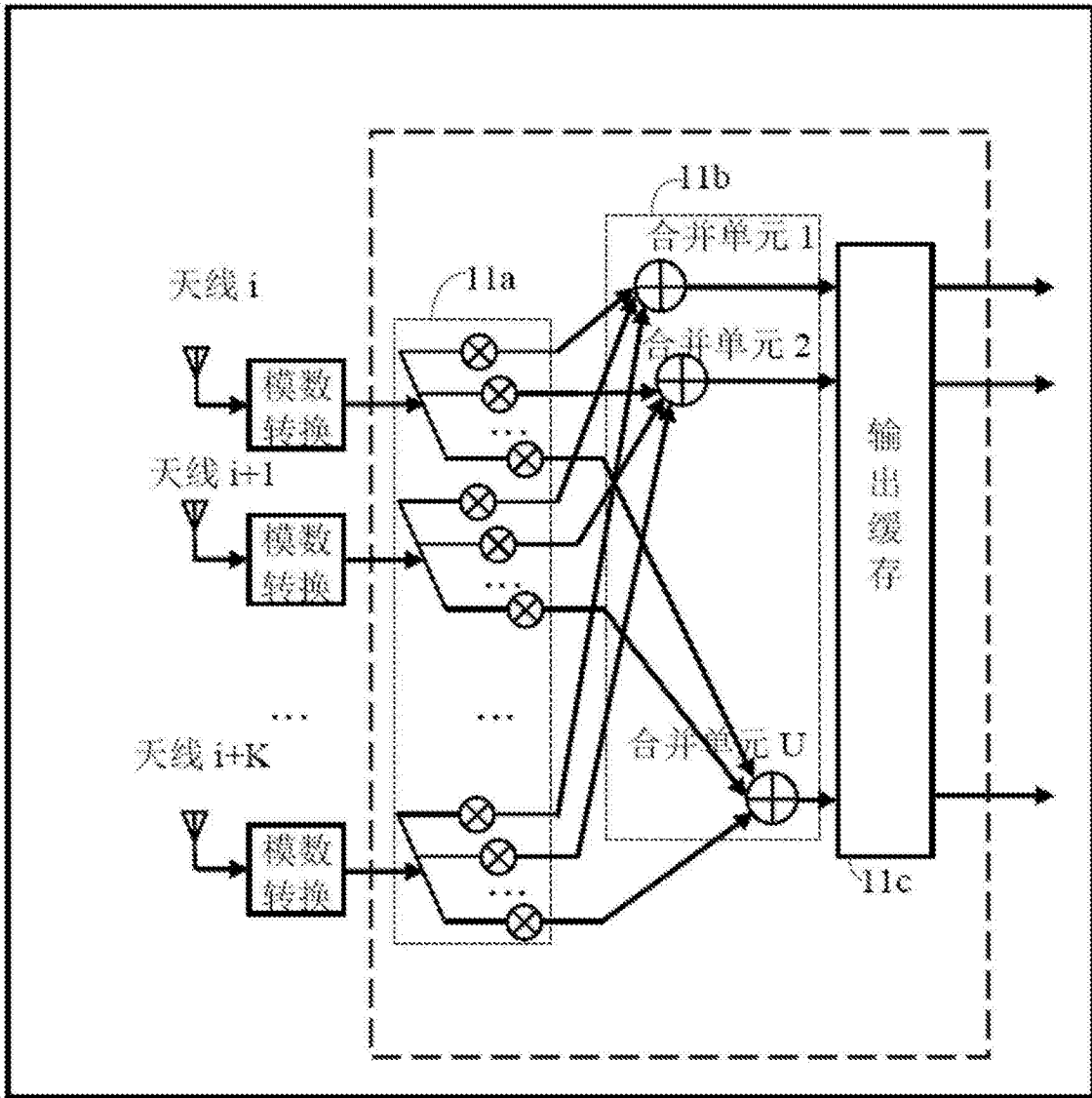


图2

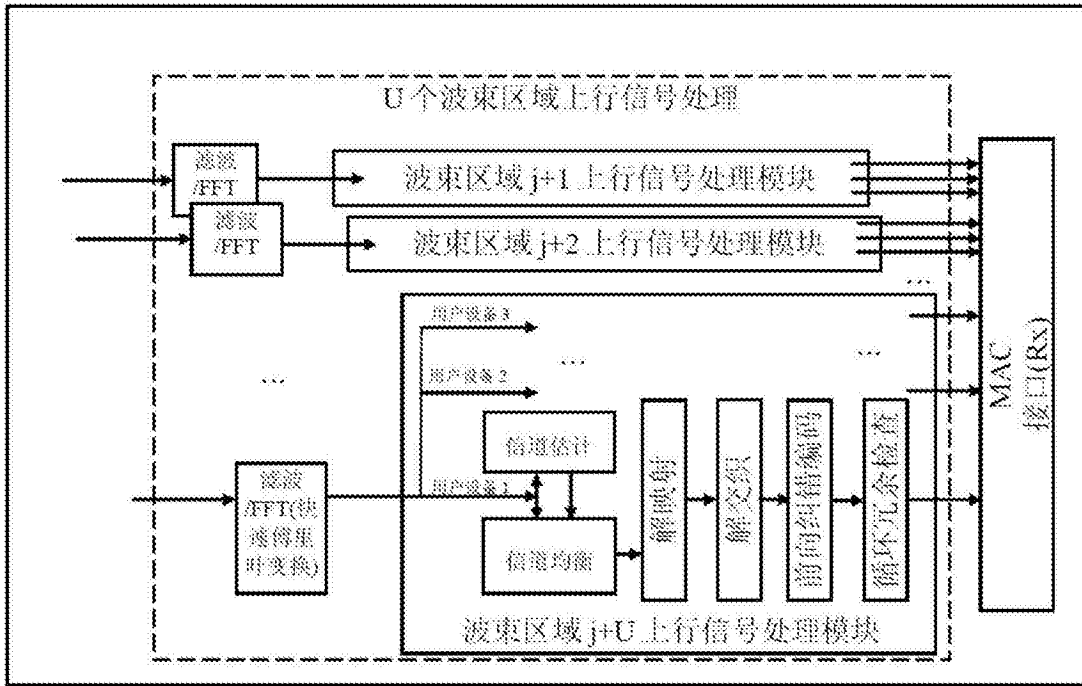


图3

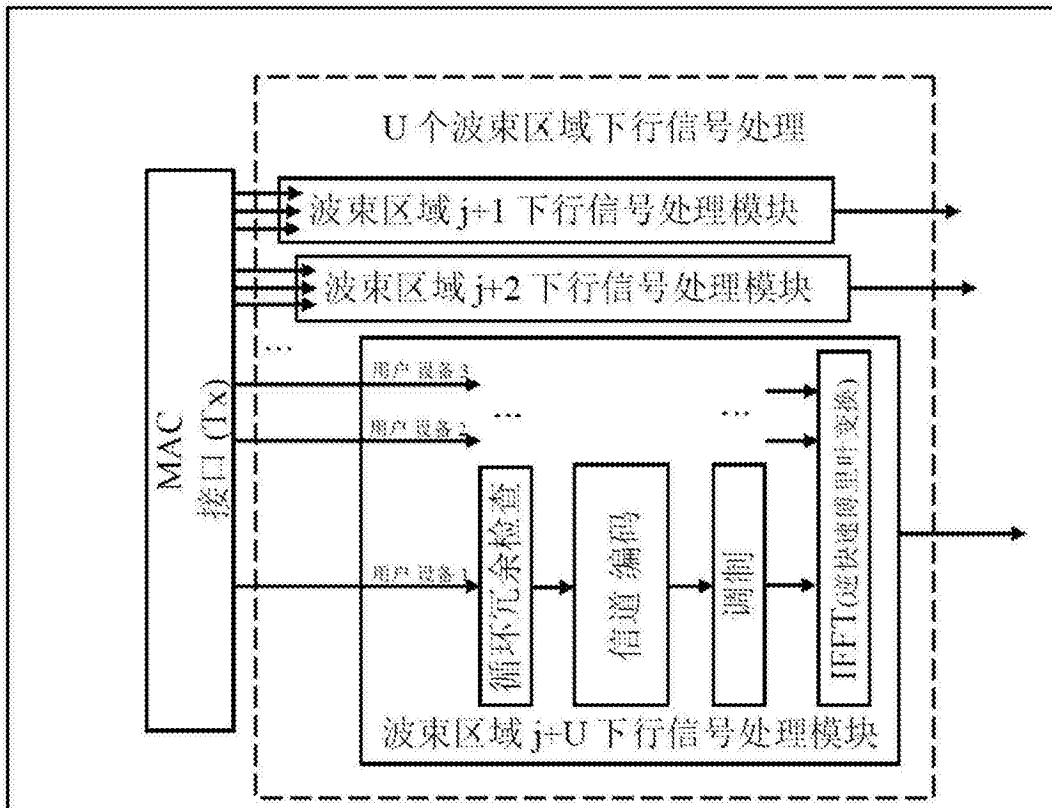


图4

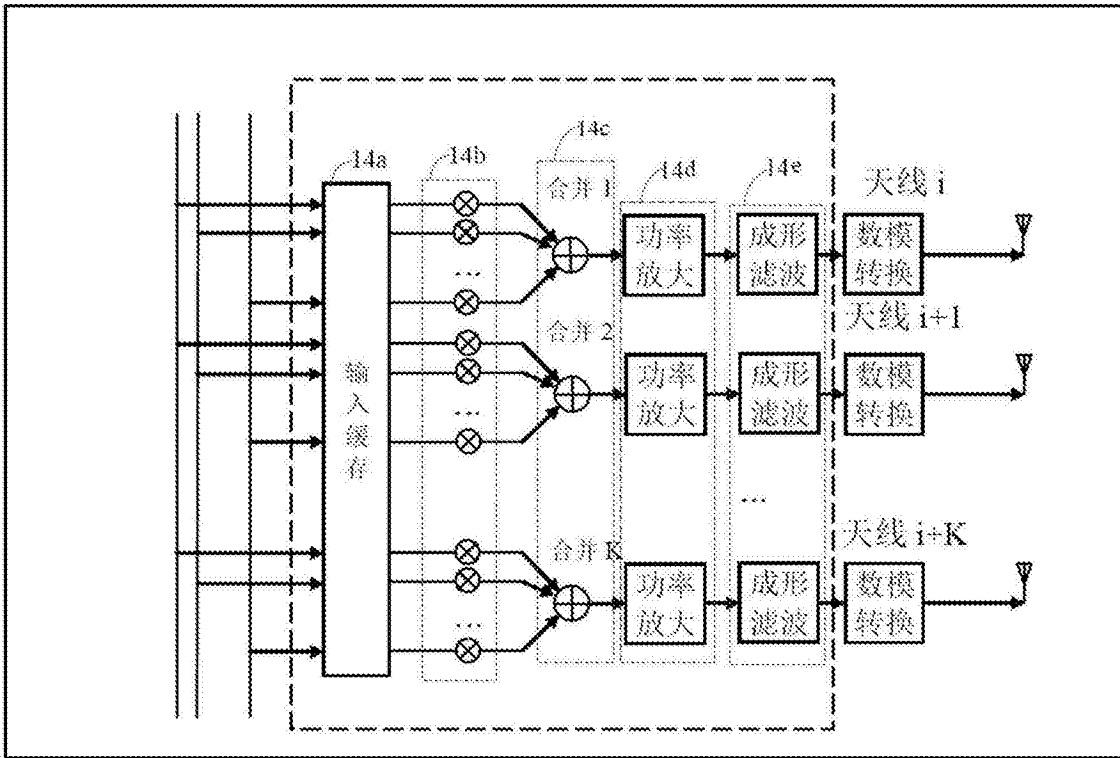


图5

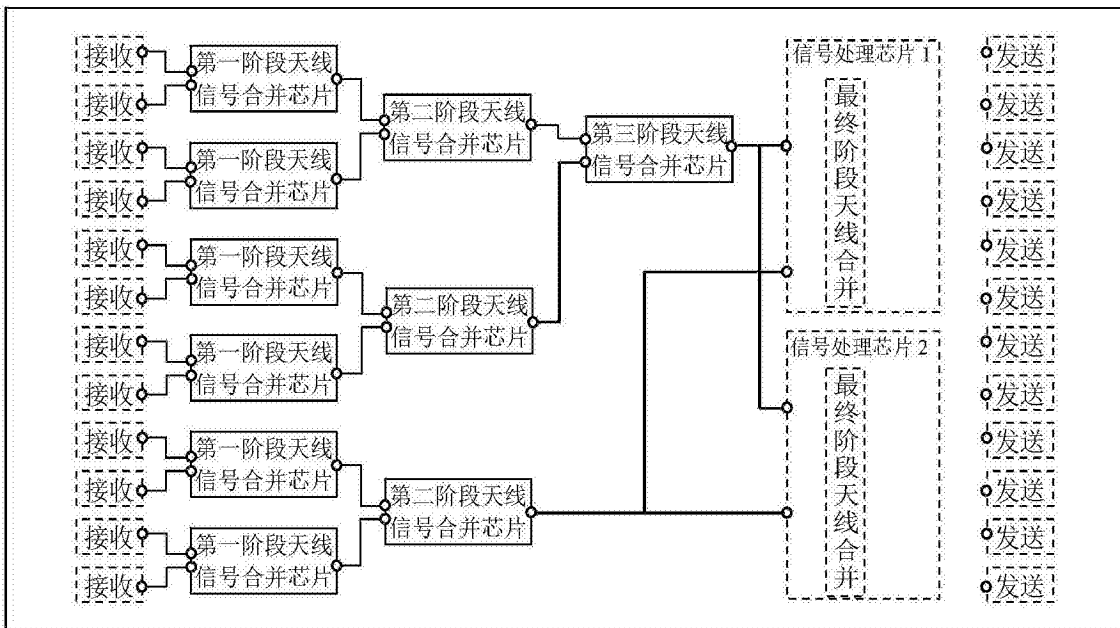


图6