



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0017865

(43) 공개일자 2016년02월17일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(21) 출원번호 10-2014-0101323

(22) 출원일자 2014년08월06일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

상우규

경기 파주시 가운로 245, 1011동 903호 (와동동, 가람마을10단지동양엔파트월드메르디앙)

(74) 대리인

특허법인로알

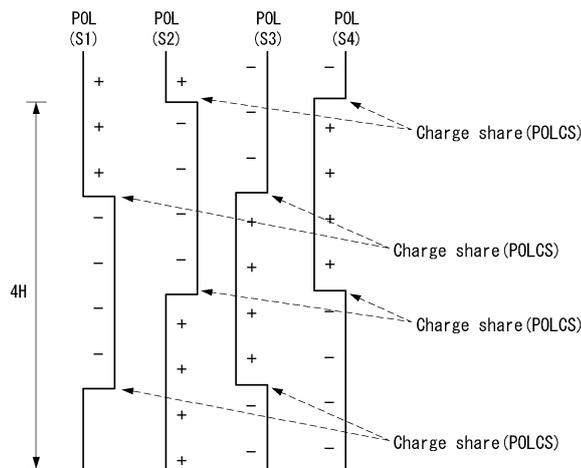
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 차지 셰어링(Charge sharing) 기능을 갖는 표시장치에 관한 것으로, 데이터 구동부는 제1 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 제1 데이터 라인 그룹을 차지 셰어하고, 제2 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 제2 데이터 라인 그룹을 차지 셰어한다. 제1 데이터 라인 그룹의 차지 셰어 타이밍은 제2 데이터 라인 그룹의 차지 셰어 타이밍과 다르게 제어된다. 이러한 차지 셰어 제어 방법은 표시장치에서 화질 저하 없이 소비 전력을 현저히 낮출 수 있게 한다.

대표도 - 도10



특허청구의 범위

청구항 1

다수의 데이터 라인들, 상기 데이터 라인들과 직교되는 다수의 게이트라인들, 및 픽셀 어레이를 포함하는 표시 패널;

데이터 전압을 상기 데이터 라인들에 공급하는 데이터 구동부; 및

상기 데이터 전압에 동기되는 게이트 펄스를 게이트 라인들에 공급하는 게이트 구동부를 포함하고,

상기 데이터 구동부는 제1 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 상기 데이터 라인 그룹을 차지 쉐어하고, 제2 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 상기 데이터 라인 그룹을 차지 쉐어하며,

상기 제1 데이터 라인 그룹의 차지 쉐어 타이밍이 상기 제2 데이터 라인 그룹의 차지 쉐어 타이밍과 다른 표시 장치.

청구항 2

제 1 항에 있어서,

상기 표시패널에서, 이웃한 서브 픽셀들이 하나의 데이터 라인을 공유하고,

상기 데이터 구동부로부터 동일 극성을 갖는 데이터 전압이 연속으로 출력되는 기간 동안, 상기 백색 서브 픽셀이 백색 데이터 전압을 충전한 후, 상기 백색 서브 픽셀을 제외한 다른 컬러의 서브 픽셀들이 다른 컬러의 데이터 전압을 충전하는 표시장치.

청구항 3

제 1 항에 있어서,

좌측부터 제1 데이터 라인, 제2 데이터 라인, 제3 데이터 라인, 제4 데이터 라인 순으로 상기 데이터 라인들이 배열될 때,

상기 제1 데이터 라인 그룹은 상기 제1 및 제3 데이터 라인들을 포함하고,

상기 제2 데이터 라인 그룹은 상기 제2 및 제4 데이터 라인들을 포함하는 표시장치.

청구항 4

제 3 항에 있어서,

상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하고, 극성 제어 신호와 소스 출력 인에이블 신호를 발생하는 타이밍 콘트롤러를 포함하고,

상기 극성 제어 신호는 상기 제1 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제1 극성 제어 신호;

상기 제2 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제2 극성 제어 신호;

상기 제3 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제3 극성 제어 신호; 및

상기 제4 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제4 극성 제어 신호를 포함하고,

상기 제2 극성 제어 신호는 상기 제1 극성 제어 신호에 대하여 미리 설정된 시간 만큼 위상차를 가지며,

상기 제3 극성 제어 신호는 상기 제1 극성 제어 신호의 반전 신호이며,

상기 제4 극성 제어 신호는 상기 제2 극성 제어 신호의 반전 신호이고,

상기 데이터 구동부는 상기 극성 제어 신호들의 제1 논리값에 응답하여 정극성 데이터 전압을 선택하고, 상기 극성 제어 신호들의 제2 논리값에 응답하여 부극성 데이터 전압을 선택하는 표시장치.

청구항 5

제 4 항에 있어서,

상기 소스 출력 인에이블 신호는

상기 제1 데이터 라인 그룹에 속한 데이터 라인들에 공급되는 데이터 전압의 출력 타이밍과 차지 웨어 타이밍을 제어하는 제1 소스 출력 인에이블 신호; 및

상기 제2 데이터 라인 그룹에 속한 데이터 라인들에 공급되는 데이터 전압의 출력 타이밍과 차지 웨어 타이밍을 제어하는 제2 소스 출력 인에이블 신호를 포함하고,

상기 데이터 구동부는 상기 소스 출력 인에이블 신호들의 제1 논리값에 응답하여 차지 웨어를 실시하고, 상기 소스 출력 인에이블 신호들의 제2 논리값에 응답하여 데이터 전압을 출력하는 표시장치.

청구항 6

제 5 항에 있어서,

상기 데이터 구동부는 다수의 버퍼들, 다수의 스위치들, 및 다수의 출력 채널들을 포함하고,

상기 버퍼들은

정극성 데이터 전압을 출력 채널들로 공급하는 제1 및 제2 P 버퍼들과,

부극성 데이터 전압을 출력 채널들로 공급하는 제1 및 제2 N 버퍼들을 포함하고,

상기 제1 P 버퍼는 제1 출력 채널을 통해 상기 제1 데이터 라인에 공급될 제1 데이터와, 제3 출력 채널을 통해 상기 제3 데이터 라인에 공급될 제3 데이터의 정극성 데이터 전압을 출력하고,

상기 제2 P 버퍼는 제2 출력 채널을 통해 상기 제2 데이터 라인에 공급될 제2 데이터와, 제4 출력 채널을 통해 상기 제4 데이터 라인에 공급될 제4 데이터의 정극성 데이터 전압을 출력하고,

상기 제1 N 버퍼는 상기 제1 데이터와 상기 제3 데이터의 부극성 데이터 전압을 출력하고,

상기 제2 N 버퍼는 상기 제2 데이터와 상기 제4 데이터의 부극성 데이터 전압을 출력하는 표시장치.

청구항 7

제 6 항에 있어서,

상기 스위치들은 다수의 MUX 스위치들을 이용하여 데이터를 분배하는 멀티플렉서, 다수의 데이터 전압 공급용 스위치들, 및 차지 웨어용 스위치들을 포함하고,

상기 차지 웨어용 스위치들은

상기 제1 및 제3 출력 채널들을 연결하여 차지 웨어를 실시하는 제1 스위치; 및

상기 제2 및 제4 출력 채널들을 연결하여 차지 웨어를 실시하는 제2 스위치를 포함하는 표시장치.

청구항 8

제 5 항에 있어서,

상기 데이터 구동부는 다수의 버퍼들, 다수의 스위치들, 및 다수의 출력 채널들을 포함하고,

상기 버퍼들은

정극성 데이터 전압을 출력 채널들로 공급하는 제1 및 제2 P 버퍼들과,

부극성 데이터 전압을 출력 채널들로 공급하는 제1 및 제2 N 버퍼들을 포함하고,

상기 제1 P 버퍼는 제1 출력 채널을 통해 상기 제1 데이터 라인에 공급될 제1 데이터, 제2 출력 채널을 통해 상기 제2 데이터 라인에 공급될 제2 데이터, 및 제3 출력 채널을 통해 상기 제3 데이터 라인에 공급될 제3 데이터의 정극성 데이터 전압을 출력하고,

상기 제1 N 버퍼는 상기 제1 데이터, 상기 제2 데이터 및 상기 제3 데이터의 부극성 데이터 전압을 출력하고,
 상기 제2 P 버퍼는 상기 제2 데이터, 상기 제3 데이터, 및 제4 출력 채널을 통해 상기 제4 데이터 라인에 공급될 제4 데이터의 정극성 데이터 전압을 출력하고,

상기 제2 N 버퍼는 상기 제2 데이터, 상기 제3 데이터, 및 상기 제4 데이터의 부극성 데이터 전압을 출력하는 표시장치.

청구항 9

제 8 항에 있어서,

상기 스위치들은 다수의 MUX 스위치들을 이용하여 데이터를 분배하는 멀티플렉서, 다수의 데이터 전압 공급용 스위치들, 및 차지 웨어용 스위치들을 포함하고,

상기 차지 웨어용 스위치들은

상기 제1 및 제3 출력 채널들을 연결하여 차지 웨어를 실시하는 제1 스위치; 및

상기 제2 및 제4 출력 채널들을 연결하여 차지 웨어를 실시하는 제2 스위치를 포함하는 표시장치.

청구항 10

제 5 항에 있어서,

상기 데이터 구동부는 다수의 버퍼들, 다수의 스위치들, 및 다수의 출력 채널들을 포함하고,

상기 버퍼들은

정극성 데이터 전압을 출력 채널들로 공급하는 제1 및 제2 P 버퍼들과,

부극성 데이터 전압을 출력 채널들로 공급하는 제1 및 제2 N 버퍼들을 포함하고,

상기 제1 P 버퍼는 제1 출력 채널을 통해 상기 제1 데이터 라인에 공급될 제1 데이터와, 제2 출력 채널을 통해 상기 제3 데이터 라인에 공급될 제3 데이터의 정극성 데이터 전압을 출력하고,

상기 제1 N 버퍼는 상기 제1 데이터와 상기 제3 데이터의 부극성 데이터 전압을 출력하고,

상기 제2 P 버퍼는 제3 출력 채널을 통해 상기 제2 데이터 라인에 공급될 제2 데이터와, 제4 출력 채널을 통해 상기 제4 데이터 라인에 공급될 제4 데이터의 정극성 데이터 전압을 출력하고,

상기 제2 N 버퍼는 상기 제2 데이터와 상기 제4 데이터의 부극성 데이터 전압을 출력하는 표시장치.

청구항 11

제 10 항에 있어서,

상기 스위치들은 다수의 MUX 스위치들을 이용하여 데이터를 분배하는 멀티플렉서, 다수의 데이터 전압 공급용 스위치들, 및 차지 웨어용 스위치들을 포함하고,

상기 차지 웨어용 스위치들은

상기 제1 및 제2 출력 채널들을 연결하여 차지 웨어를 실시하는 제1 스위치; 및

상기 제3 및 제4 출력 채널들을 연결하여 차지 웨어를 실시하는 제2 스위치를 포함하는 표시장치.

청구항 12

제 11 항에 있어서,

상기 제2 및 제3 데이터 라인들이 서로 교차되어 상기 제2 출력 채널에 상기 제3 데이터 라인이 연결되고, 상기 제3 출력 채널에 상기 제2 데이터 라인이 연결되는 표시장치.

청구항 13

다수의 데이터 라인들, 상기 데이터 라인들과 직교되는 다수의 게이트라인들, 및 픽셀 어레이를 포함하는 표시

패널;

데이터 전압을 상기 데이터 라인들에 공급하는 데이터 구동부; 및

상기 데이터 전압에 동기되는 게이트 펄스를 게이트 라인들에 공급하는 게이트 구동부를 포함하고,

상기 데이터 구동부는

제1 차지 쉐어 타이밍에 턴-온되어 제1 데이터 라인 그룹에 속하는 데이터 라인들을 차지 쉐어하는 제1 스위치; 및

상기 제1 차지 쉐어 타이밍과 다른 제2 차지 쉐어 타이밍에 턴-온되어 제2 데이터 라인 그룹에 속하는 데이터 라인들을 차지 쉐어하는 제2 스위치를 포함하는 표시장치.

청구항 14

제 13 항에 있어서,

상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하고, 극성 제어 신호와 소스 출력 인에이블 신호를 발생하는 타이밍 콘트롤러를 포함하는 표시장치.

청구항 15

제 14 항에 있어서,

좌측부터 제1 데이터 라인, 제2 데이터 라인, 제3 데이터 라인, 제4 데이터 라인 순으로 상기 데이터 라인들이 배열될 때,

상기 제1 데이터 라인 그룹은 상기 제1 및 제3 데이터 라인들을 포함하고,

상기 제2 데이터 라인 그룹은 상기 제2 및 제4 데이터 라인들을 포함하며,

상기 극성 제어 신호는 상기 제1 데이터 라인 그룹에 인가되는 데이터 전압의 극성을 제어하는 제1 극성 제어 신호;

상기 제2 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제2 극성 제어 신호;

상기 제3 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제3 극성 제어 신호; 및

상기 제4 데이터 라인에 인가되는 데이터 전압의 극성을 제어하는 제4 극성 제어 신호를 포함하고,

상기 제2 극성 제어 신호는 상기 제1 극성 제어 신호에 대하여 미리 설정된 시간 만큼 위상차를 가지며,

상기 제3 극성 제어 신호는 상기 제1 극성 제어 신호의 반전 신호이며,

상기 제4 극성 제어 신호는 상기 제2 극성 제어 신호의 반전 신호이고,

상기 데이터 구동부는 상기 극성 제어 신호들의 제1 논리값에 응답하여 정극성 데이터 전압을 선택하고, 상기 극성 제어 신호들의 제2 논리값에 응답하여 부극성 데이터 전압을 선택하는 표시장치.

청구항 16

제 15 항에 있어서,

상기 소스 출력 인에이블 신호는

상기 제1 데이터 라인 그룹에 속한 데이터 라인들에 공급되는 데이터 전압의 출력 타이밍과 차지 쉐어 타이밍을 제어하는 제1 소스 출력 인에이블 신호; 및

상기 제2 데이터 라인 그룹에 속한 데이터 라인들에 공급되는 데이터 전압의 출력 타이밍과 차지 쉐어 타이밍을 제어하는 제2 소스 출력 인에이블 신호를 포함하고,

상기 데이터 구동부는 상기 소스 출력 인에이블 신호들의 제1 논리값에 응답하여 차지 쉐어를 실시하고, 상기 소스 출력 인에이블 신호들의 제2 논리값에 응답하여 데이터 전압을 출력하는 표시장치.

명세서

기술분야

[0001] 본 발명은 차지 셰어링(Charge sharing) 기능을 갖는 표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 픽셀들 각각에 R(Red) 서브 픽셀, G(Green) 서브 픽셀, B(Blue) 서브 픽셀 이외에 W(White) 서브 픽셀을 추가한 액정표시장치가 개발되고 있다. 이하에서, 픽셀들이 RGBW 서브 픽셀들로 나뉘어진 표시장치를 "RGBW 타입 표시장치"라 한다. W 서브 픽셀은 픽셀들 각각의 휘도를 높임으로써 백라이트 유닛의 휘도를 낮추어 액정표시장치의 소비전력을 낮출 수 있다.

[0005] 대화면, 고해상도 표시장치의 비용을 줄이기 위하여 소스 드라이브 IC를 줄일 수 있는 다양한 방법들이 시도되고 있으나, 픽셀들의 충전 불균일, 극성 분포의 불균형으로 인하여 라인간 휘도 차이가 보이는 등 화질 불량이 발생되고 있다. 최근, 표시장치의 소비 전력이 개선되었지만, 소비 전력을 더 낮출 필요가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 화질 저하 없이 소비 전력을 낮출 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 표시장치는 표시패널, 데이터 구동부, 및 게이트 구동부를 포함한다.

[0008] 표시패널은 데이터 라인들, 그 데이터 라인들과 직교되는 다수의 게이트라인들, 및 입력 영상을 재현하는 픽셀 어레이를 포함한다. 데이터 구동부는 데이터 전압을 상기 데이터 라인들에 공급하고, 게이트 구동부는 데이터 전압에 동기되는 게이트 펄스를 게이트 라인들에 공급한다.

[0009] 데이터 구동부는 제1 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 제1 데이터 라인 그룹을 차지 셰어(charge share)하고, 제2 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 제2 데이터 라인 그룹을 차지 셰어한다. 제1 데이터 라인 그룹의 차지 셰어 타이밍은 제2 데이터 라인 그룹의 차지 셰어 타이밍과 다르게 제어된다.

발명의 효과

[0010] 본 발명은 차지 셰어 타이밍이 서로 다른 제1 데이터 라인 그룹과 제2 데이터 라인 그룹을 포함한 표시장치에 있어서, 제1 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 상기 데이터 라인 그룹을 차지 셰어하고, 제2 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의

극성이 반전될 때에만 차지 쉐어한다. 그 결과, 본 발명은 화질 저하 없이 소비 전력을 현저히 낮출 수 있다.

도면의 간단한 설명

[0011]

- 도 1은 본 발명의 실시예에 따른 표시장치를 보여 주는 블록도이다.
- 도 2 내지 도 4는 본 발명의 실시예에 따른 픽셀 어레이 충전 순서를 보여 주는 도면들이다.
- 도 5는 이웃하는 네 개의 데이터 라인들을 통해 픽셀들에 공급되는 데이터 전압의 극성을 보여 주는 파형도이다.
- 도 6은 도 2 내지 도 4와 같은 픽셀 어레이 충전 순서를 구현하기 위한 소스 드라이브 IC의 출력 파형, 게이트 구동부의 출력 파형 및 픽셀의 충전량을 보여 주는 파형도이다.
- 도 7은 도 5와 같은 픽셀들의 충전 차이를 보상하기 위한 컬러별 데이터의 일괄 감마 보상 커브를 보여 주는 도면이다.
- 도 8은 하이 임피던스 스위칭 방법과 차지 쉐어 방법을 보여 주는 파형도이다.
- 도 9는 본 발명의 제1 실시예에 따른 소스 드라이브 IC를 보여 주는 회로도이다.
- 도 10은 본 발명의 차지 쉐어 방법을 제어하기 위한 극성 제어 신호를 보여 주는 파형도이다.
- 도 11은 제1 및 3 데이터 라인들에 인가되는 데이터 전압의 극성, 출력 타이밍 및 차지 쉐어 타이밍을 보여 주는 파형도이다.
- 도 12는 제2 및 4 데이터 라인들에 인가되는 데이터 전압의 극성, 출력 타이밍 및 차지 쉐어 타이밍을 보여 주는 파형도이다.
- 도 13은 본 발명의 실시예에 따른 차지 쉐어 타이밍을 보여 주는 파형도이다.
- 도 14는 본 발명의 차지 쉐어 방법, 기존의 하이 임피던스 방법 및 차지 쉐어 방법에서 전압 변동량, 데이터 전압의 주파수, 및 다이내믹(Dynamic) 소비 전력을 비교한 도면이다.
- 도 15는 도 14에서 실험 이미지 패턴의 White 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 16은 도 14에서 실험 이미지 패턴의 Red 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 17은 도 14에서 실험 이미지 패턴의 Green 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 18은 도 14에서 실험 이미지 패턴의 Blue 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 19는 도 14에서 실험 이미지 패턴의 Cyan 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 20은 도 14에서 실험 이미지 패턴의 Yellow 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 21은 도 14에서 실험 이미지 패턴의 Magenta 컬러에서 기존의 하이 임피던스 방법과 차지 쉐어 방법, 및 본 발명의 차지 쉐어 방법을 비교한 도면이다.
- 도 22는 본 발명의 제2 실시예에 따른 소스 드라이브 IC를 보여 주는 회로도이다.
- 도 23은 본 발명의 제3 실시예에 따른 소스 드라이브 IC를 보여 주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

본 발명의 표시장치는 액정표시장치(LCD), 유기 발광 다이오드 표시장치(OLED Display), 플라즈마 디스플레이

패널(Plasma Display Panel: PDP) 등 컬러 구현이 가능한 평판 표시장치로 구현될 수 있다. 이하에서, 액정표시장치를 중심으로 본 발명의 실시예들을 설명하나 액정표시장치에 한정되지 않는다는 것에 주의하여야 한다. 예를 들어, 본 발명의 RGBW 서브 픽셀 배치는 유기 발광 다이오드 표시장치에도 적용 가능하다.

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0014] 도 1을 참조하면, 본 발명의 표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0015] 이 표시장치는 소스 드라이브 IC들의 개수를 줄이기 위하여, 수평(x축 또는 로 라인 방향)으로 이웃한 두 개의 서브 픽셀들이 하나의 데이터 라인을 공유하는 DRD(Double rate driving) 타입의 픽셀들로 구현한다. DRD 타입의 픽셀 어레이는 소스 드라이브 IC들의 개수를 1/2로 줄일 수 있다. DRD 타입의 표시장치에서, 소스 드라이브 IC의 동작 주파수는 2 배 높아진다.

[0016] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다.

[0017] 표시패널(100)의 하부 기판에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다.

[0018] 표시패널(100)의 상부 기판 상에는 블랙 매트릭스(Black matrix)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식의 경우에 상부 기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 픽셀 전극과 함께 하부 기판 상에 형성될 수 있다. 표시패널(100)의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0019] 본 발명의 표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등의 다양한 액정표시장치로 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0020] 표시패널 구동회로는 픽셀들에 입력 영상의 데이터를 기입한다. 픽셀들에 기입되는 데이터는 R 데이터, G 데이터, B 데이터 및 W 데이터를 포함한다. 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104), 타이밍 콘트롤러(20), 및 감마 보정부(22)를 포함한다.

[0021] 데이터 구동부(102)는 다수의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들의 출력 채널들은 픽셀 어레이의 데이터라인들(S1~Sm)에 연결된다. 소스 드라이브 IC들은 타이밍 콘트롤러(20)로부터 입력 영상의 디지털 비디오 데이터를 입력 받는다. 소스 드라이브 IC들로 전송되는 디지털 비디오 데이터는 R 데이터, G 데이터, B 데이터, 및 W 데이터를 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(20)의 제어 하에 입력 영상의 RGBW 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 데이터 구동부(102)의 출력 전압은 데이터 라인들(D1~Dm)에 공급된다.

[0022] 픽셀들 각각은 R 서브 픽셀, G 서브 픽셀, B 서브 픽셀 및 W 서브 픽셀을 포함한다. 수평으로 이웃한 2 개의 서브 픽셀들은 도 3 내지 도 19와 같이 하나의 데이터 라인을 공유하여 그 데이터 라인을 통해 시분할된 데이터 전압들을 충전한다. 데이터 라인의 공유 구조로 인하여, 동일 해상도에서 일반적인 픽셀 어레이 구조에 비하여 데이터 라인들의 개수를 1/2로 줄임으로써 픽셀 어레이 구동에 필요한 소스 드라이브 IC들의 개수를 줄일 수 있다.

[0023] 소스 드라이브 IC들 각각은 타이밍 콘트롤러(20)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 2 수평 기

간 이상 $N/2$ (N 은 표시패널의 수직 해상도) 수평 기간 이하의 반전 주기로 반전시킬 수 있다. 도 4 내지 도 13은 소스 드라이브 IC에 의해 데이터 전압이 2 수평 기간(2H) 주기로 반전되는 예를 예시하였지만 이에 한정되지 않는다. DRD 타입 표시장치의 경우에, 소스 드라이브 IC로부터 2 수평 기간 동안 연속으로 출력되는 4 개의 데이터 전압은 같은 데이터 라인을 공유하는 2 개 라인의 4 서브 픽셀들에 순차적으로 충전된다.

[0024] 소스 드라이브 IC들은 극성 제어 신호(POL)에 응답하여 2 수평 기간(도 5, 2H) 동안 4 개의 서브 픽셀들에 충전될 4 개의 데이터 전압을 같은 극성으로 유지하고, 2 수평 기간 주기로 데이터 전압의 극성을 반전시킨다. 따라서, 소스 드라이브 IC들은 도 5 및 도 6과 같이 4 수평 기간(도 5, 4H) 동안 8 개의 데이터 전압을 연속으로 출력하되, 2 수평 기간 동안 그 데이터 전압의 극성을 1회 반전시킨다. 본 발명은 데이터 전압의 극성 반전 주기가 길어 데이터 전압의 트랜지션(transition) 횟수가 작다. 그 결과, 본 발명의 소스 드라이브 IC들의 소비 전력과 발열량을 줄일 수 있다. 다른 실시예로서, 소스 드라이브 IC들은 타이밍 콘트롤러(20)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 4 수평 기간 주기로 반전시켜 데이터 전압의 트랜지션 횟수를 더 줄일 수 있다.

[0025] 본 발명의 표시장치는 동일 극성을 갖는 데이터 전압이 연속으로 출력되는 2 수평 기간 동안, W 서브 픽셀에 W 데이터를 기입한 후에 다른 컬러의 서브 픽셀들에 다른 컬러의 데이터를 기입한다. W 데이터 전압을 가장 먼저 W 서브 픽셀에 충전한 후, R 데이터, B 데이터 및 G 데이터 순서로 혹은, B 데이터, R 데이터 및 G 데이터 순서로 RGB 서브 픽셀들에 데이터 전압이 충전될 수 있다. 동일 극성의 데이터 전압이 같은 데이터 라인을 통해 서브 픽셀들에 연속으로 충전될 때, 가장 앞선 데이터 전압의 충전량이 그 이후의 데이터 전압에 비하여 상대적으로 작다. 이 때문에 본 발명은 동일 극성의 RGBW 데이터 전압 중에서 픽셀의 충전량이 적더라도 컬러 왜곡을 초래하지 않는 W 데이터를 가장 먼저 W 서브 픽셀에 충전시킨다.

[0026] 도 3의 예에서, W 서브 픽셀(W11)은 표시패널(100)의 제K(K는 0과 양의 정수)+1로 라인(row line)(L1)에 배치되고, R 서브 픽셀(R31)은 표시패널(100)의 제K+3로 라인(L3)에 배치된다. B 서브 픽셀(B21)은 표시패널(100)의 제K+2로 라인(L2)에 배치된다. G 서브 픽셀(B41)은 표시패널(100)의 제K+3로 라인(L4)에 배치된다.

[0027] W 서브 픽셀(W11)은 제I(I는 양의 정수) 게이트 라인(G3)을 통해 공급되는 제1 게이트 펄스에 응답하여 제J(J는 양의 정수) 데이터 라인(S1)을 통해 공급되는 W 데이터 전압을 W 서브 픽셀(W11) 내의 제1 화소 전극(P11)에 공급하는 제1 TFT(T11)를 포함한다. 제1 TFT(T11)의 게이트는 제1 게이트 펄스가 공급되는 제I 게이트 라인(G3)에 접속된 게이트, 제J 데이터 라인(S1)에 접속된 드레인, 및 화소 전극(P11)에 접속된 소스를 포함한다.

[0028] R 서브 픽셀(R31)은 제I+2 게이트 라인(G5)을 통해 공급되는 제2 게이트 펄스에 응답하여 제J 데이터 라인(S1)을 통해 공급되는 R 데이터 전압을 R 서브 픽셀 내의 제2 화소 전극(P22)에 공급하는 제2 TFT(T12)를 포함한다. 제2 TFT(T12)의 게이트는 제2 게이트 펄스가 공급되는 제I+2 게이트 라인(G5)에 접속된 게이트, 제J 데이터 라인(S1)에 접속된 드레인, 및 화소 전극(P12)에 접속된 소스를 포함한다.

[0029] B 서브 픽셀은 제I+3 게이트 라인(G6)을 통해 공급되는 제3 게이트 펄스에 응답하여 제J 데이터 라인(S1)을 통해 공급되는 B 데이터 전압을 B 서브 픽셀 내의 제3 화소 전극(P13)에 공급하는 제3 TFT(T13)를 포함한다. 제3 TFT(T13)의 게이트는 제3 게이트 펄스가 공급되는 제I+3 게이트 라인(G6)에 접속된 게이트, 제J 데이터 라인(S1)에 접속된 드레인, 및 화소 전극(P13)에 접속된 소스를 포함한다.

[0030] G 서브 픽셀은 제I+4 게이트 라인(G7)을 통해 공급되는 제4 게이트 펄스에 응답하여 제J 데이터 라인(S1)을 통해 공급되는 G 데이터 전압을 G 서브 픽셀 내의 제4 화소 전극(P14)에 공급하는 제4 TFT(T14)를 포함한다. 제4 TFT(T14)의 게이트는 제4 게이트 펄스가 공급되는 제I+4 게이트 라인(G7)에 접속된 게이트, 제J 데이터 라인(S1)에 접속된 드레인, 및 화소 전극(P14)에 접속된 소스를 포함한다.

[0031] 소스 드라이브 IC는 2 수평 기간 주기로 데이터 전압의 극성을 반전시키지만, 픽셀 어레이는 수평 및 수직 방향(x, y)을 따라 1 도트 단위로 데이터 전압의 극성이 반전되는 픽셀들과, 2 도트 단위로 데이터 전압의 극성이 반전되는 픽셀들을 포함한다. 1 도트(dot)는 1 서브 픽셀을 의미한다. 따라서, 본 발명의 표시장치는 픽셀 어레이의 극성을 도트 인버전 형태로 제어함으로써 동일 극성이 라인 또는 블록 형태로 집중할 때 보일 수 있는 휘도차와 플리커(flicker)를 방지할 수 있다. 소스 드라이브 IC의 출력 데이터 극성 반전 주기와 픽셀 어레이의 극성 반전 주기가 다른 이유는 도 3-4와 같은 픽셀 어레이 구조로 인하여 게이트 펄스가 픽셀 어레이의 게이트 라인들에 비순차적으로 인가되기 때문이다.

[0032] 소스 드라이브 IC는 제1 데이터 라인 그룹에 속하는 데이터 라인들에 공급되는 데이터 전압의 극성이 반전될 때에만 제1 데이터 라인 그룹을 차지 셰어(charge share)를 실시하고, 제2 데이터 라인 그룹에 속하는 데이터 라

인들에 공급되는 데이터 전압의 극성이 반전될 때에만 제2 데이터 라인 그룹을 차지 웨어를 실시한다. 제1 데이터 라인 그룹의 차지 웨어 타이밍과 제2 데이터 라인 그룹의 차지 웨어 타이밍은 도 5 및 도 10과 같이 다르게 설정된다. 도 10에서 "POLCS"는 데이터 전압의 극성이 반전될 때에만 실시되는 차지 웨어 타이밍을 의미한다.

[0033] 좌측부터 제1 데이터 라인(S1), 제2 데이터 라인(S2), 제3 데이터 라인(S3), 제4 데이터 라인(S4) 순으로 상기 데이터 라인들이 배열되는 경우, 제1 데이터 라인 그룹은 제1 및 제3 데이터 라인들(S1, S3)을 포함한다. 제2 데이터 라인 그룹은 제2 및 제4 데이터 라인들(S2, S4)을 포함한다.

[0034] 제1 데이터 라인 그룹의 차지 웨어 타이밍은 제2 데이터 라인 그룹의 차지 웨어 타이밍과 다르다. 도 5 및 도 10의 예에서, 제1 데이터 라인 그룹은 데이터 전압의 극성이 동시에 반전되는 제1 및 제3 데이터 라인들(S1, S3)을 포함한다. 제2 데이터 라인 그룹은 데이터 전압의 극성이 동시에 반전되는 제2 및 제4 데이터 라인들(S2, S4)을 포함한다. 서로 반전되는 극성의 데이터 전압이 인가되는 제1 및 제3 데이터 라인들(S1, S3)이 단락(short circuit)될 때, 제1 데이터 라인 그룹이 차지 웨어되어 제1 및 제3 데이터 라인들(S1, S3)의 전압이 평균화된다. 서로 반전되는 극성의 데이터 전압이 인가되는 제2 및 제4 데이터 라인들(S2, S4)이 단락될 때, 제2 데이터 라인 그룹이 차지 웨어되어 제2 및 제4 데이터 라인들(S2, S4)의 전압이 평균화된다.

[0035] 게이트 구동부(104)는 타이밍 콘트롤러(20)의 제어 하에 게이트 라인들(G1~Gn)에 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(104)로부터 출력된 게이트 펄스는 픽셀들에 충전될 정극성/부극성 비디오 데이터 전압에 동기된다. 게이트 구동부(104)는 IC 비용을 줄이기 위하여, 같은 제조 공정에서 픽셀 어레이와 함께 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다.

[0036] 게이트 구동부(104)의 출력 채널들과 픽셀 어레이의 게이트 라인들(G1~Gn)은 도 3과 같은 링크 배선들(LNK)을 통해 1:1로 연결된다. 게이트 구동부(104)의 출력 채널을 변경하지 않고, 픽셀 어레이에 게이트펄스를 비순차적으로 공급하기 위하여, 도 3 및 도 4와 같이 링크 배선들(LNK) 중 적어도 일부는 교차된다. 따라서, 게이트 구동부(104)는 제1 출력 채널부터 순차적으로 게이트 펄스를 출력하지만 픽셀 어레이의 게이트 라인들(14)에는 게이트 펄스가 비순차적으로 인가된다. 본 발명의 표시장치는 교차되는 링크 배선들(LNK)을 통해 게이트 구동부(104)와 픽셀 어레이의 게이트 라인들(G1~Gn)을 연결함으로써 게이트 구동부(14)를 변경하지 않고 게이트 펄스를 게이트 라인들(G1~Gn)에 비순차적으로 공급할 수 있다.

[0037] 링크 배선들(LNK)이 교차되는 부분에 기생 용량이 존재하여 게이트 라인들이 전기적으로 커플링될 수 있다. 이러한 기생 용량을 픽셀 어레이의 TFT들과 배선들을 덮는 유기 보호막에 의해 최소화될 수 있다. 이는 유기 보호막의 유전율이 낮고 유기 보호막은 두껍게 형성될 수 있기 때문이다.

[0038] 타이밍 콘트롤러(20)는 호스트 시스템(24)으로부터 수신된 입력 영상의 RGB 데이터를 RGBW 데이터로 변환하여 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(20)와 데이터 구동부(102)의 소스 드라이브 IC들 간의 데이터 전송을 위한 인터페이스는 mini LVDS(Low-voltage differential signaling) 인터페이스 또는 EPI(Embedded Panel Interface) 인터페이스를 적용할 수 있다. EPI 인터페이스는 본원 출원인에 의해 출원된 대한민국 특허출원 10-2008-0127458(2008-12-15), 미국 출원 12/543,996(2009-08-19), 대한민국 특허출원 10-2008-0127456(2008-12-15), 미국 출원 12/461,652(2009-08-19), 대한민국 특허출원 10-2008-0132466(2008-12-23), 미국 출원 12/537,341(2009-08-07) 등에서 제안된 인터페이스 기술로 적용될 수 있다.

[0039] 타이밍 콘트롤러(20)는 호스트 시스템(24)으로부터 입력 영상 데이터와 동기되는 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등을 포함한다. 타이밍 콘트롤러(20)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(102)와 게이트 구동부(104)의 동작 타이밍을 제어한다. 타이밍 콘트롤러(20)는 픽셀 어레이의 극성을 제어하기 위한 극성 제어 신호(POL)와, 데이터 구동부(102)의 출력 타이밍과 차지 웨어 타이밍(charge share timing)을 제어하기 위한 소스 출력 인에이블 신호(Source Output Enable, SOE)를 발생한다. 타이밍 콘트롤러(2)는 극성 제어 신호(POL)와 소스 출력 인에이블 신호(SOE)를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다. Mini LVDS 인터페이스는 별도의 제어 배선을 통해 극성 제어 신호(POL)와 소스 출력 인에이블 신호(SOE)를 전송한다. EPI 인터페이스는 CDR(Clock and Data Recovery)을 위한 클럭 트레이닝 패턴(clock training pattern)과 RGBW 데이터 패킷 사이에 전송되는 콘트롤 데이터 패킷 내에 극성 제어 신호(POL)와 소스 출력 인에이블 신호(SOE)를 인코딩하여 소스 드라이브 IC들 각각에 전송한다.

[0040] 데이터 전압의 극성 반전 타이밍은 도 5 및 도 10과 같이 데이터 라인들(S1~Sm)에 따라 달라진다. 제1 및 제3

데이터 라인들(S1, S3)에 인가되는 데이터 전압의 극성이 서로 반대이고, 그 데이터전압이 반전 타이밍이 동일하다. 제1 및 제3 데이터 라인들(S1, S3)에 인가되는 데이터 전압의 극성 반전 타이밍은 제2 및 제4 데이터 라인들(S2, S4)에 인가되는 데이터 전압의 그 것과 다르다. 제2 및 제4 데이터 라인들(S2, S4)에 인가되는 데이터 전압의 극성이 서로 반대이고, 그 데이터전압이 반전 타이밍이 동일하다. 극성 제어 신호(POL)는 도 5 및 도 10과 같이 제1 데이터 라인(S1)에 인가되는 데이터 전압의 극성을 제어하는 제1 극성 제어 신호(POL(S1)), 제2 데이터 라인(S2)에 인가되는 데이터 전압의 극성을 제어하는 제2 극성 제어 신호(POL(S2)), 제3 데이터 라인(S3)에 인가되는 데이터 전압의 극성을 제어하는 제3 극성 제어 신호(POL(S3)), 및 제4 데이터 라인(S4)에 인가되는 데이터 전압의 극성을 제어하는 제4 극성 제어 신호(POL(S4))로 나뉘어질 수 있다. 제2 극성 제어 신호(POL(S2))는 제1 극성 제어 신호(POL(S1))에 비하여 소정 시간 예컨대, 1 수평 기간(1H) 만큼 위상차를 가지며, 제3 극성 제어 신호(POL(S3))는 제1 극성 제어 신호(POL(S1))의 반전 신호이다. 제4 극성 제어 신호(POL(S4))는 제2 극성 제어 신호(POL(S2))의 반전 신호이다. 소스 드라이브 IC는 극성 제어 신호(POL(S1)~POL(S4))의 제1 논리값에 응답하여 정극성 데이터 전압을 선택하고, 극성 제어 신호(POL(S1)~POL(S4))의 제2 논리값에 응답하여 부극성 데이터 전압을 선택한다. 극성 제어 신호(POL(S1)~POL(S4))의 제1 논리값은 하이 논리 레벨(High logic level)의 전압이고, 제2 논리값은 로우 논리 레벨(Low logic level)의 전압일 수 있다.

[0041] 소스 출력 인에이블 신호(SOE)는 제1 및 제3 데이터 라인들(S1, S3)에 공급되는 데이터 전압의 출력 타이밍과 차지 쉐어 타이밍을 제어하는 제1 소스 출력 인에이블 신호(도 11, SOE1)과, 제2 및 제4 데이터 라인들(S2, S4)에 공급되는 데이터 전압의 출력 타이밍과 차지 쉐어 타이밍을 제어하는 제2 소스 출력 인에이블 신호(도 12, SOE2)으로 나뉘어질 수 있다. 소스 드라이브 IC는 소스 출력 인에이블 신호(SOE1, SOE2)의 제1 논리값에 응답하여 차지 쉐어를 실시하고, 소스 출력 인에이블 신호(SOE1, SOE2)의 제2 논리값에 응답하여 데이터 전압을 출력할 수 있다. 소스 출력 인에이블 신호(SOE1, SOE2)의 제1 논리값은 하이 논리 레벨(High logic level)의 전압이고, 제2 논리값은 로우 논리 레벨(Low logic level)의 전압일 수 있다.

[0042] 타이밍 콘트롤러(20)는 화이트 게인 산출 알고리즘을 이용하여 입력 영상의 RGB 데이터를 RGBW 데이터로 변환할 수 있다. 화이트 게인 산출 알고리즘은 공지의 어떠한 것도 가능하다. 예컨대, 본원 출원인에 의해 기출원된 대한민국 특허 출원 제10-2005-0039728(2005. 05. 12), 대한민국 특허 출원 제10-2005-0052906(2005. 06. 20), 대한민국 특허 출원 제10-2005-0066429(2007. 07. 21), 대한민국 특허 출원 제10-2006-0011292(2006. 02. 06) 등에서 제안된 화이트 게인 산출 알고리즘들이 적용 가능하다.

[0043] 감마 보정부(22)는 컬러별 픽셀들의 충전 특성의 차이를 보상하기 위하여 도 7과 같이 감마 보상 커브(Gamma compensation curve)를 저장한 룩업 테이블(Look-up table, LUT)을 이용하여 RGBW 데이터를 변조한다. 룩업 테이블은 입력 영상 데이터의 입력 계조를 입력 받아 그 입력 계조에 대응한 출력 계조값을 선택하여 입력 계조를 변조함으로써 데이터의 계조별 휘도를 조정한다. 도 7에서 x축은 출력 계조이고 y축은 휘도이다. 감마 보정부(22)는 타이밍 콘트롤러(20)로부터 RGB 데이터를 입력 받아 충전량이 낮은 컬러의 데이터 값을 높이는 반면, 충전량이 높은 컬러의 데이터 값을 낮춘다. 감마 보정부(22)는 타이밍 콘트롤러(20) 또는 호스트 시스템(24)에 내장될 수 있다.

[0044] 호스트 시스템(24)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0045] 도 2 내지 도 4는 본 발명의 실시예에 따른 픽셀 어레이 충전 순서를 보여 주는 도면들이다. 도 5는 제J 내지 제J+3 데이터 라인들(S1-S4)을 통해 픽셀들에 공급되는 데이터 전압의 극성을 보여 주는 파형도이다. 도 6은 소스 드라이브 IC의 출력 파형, 게이트 구동부의 출력 파형 및 픽셀의 충전량을 보여 주는 파형도이다.

[0046] 도 2 내지 도 6을 참조하면, 소스 드라이브 IC는 같은 극성을 같은 4 개의 데이터 전압들을 W 데이터 전압, R 데이터 전압, B 데이터 전압 및 G 데이터 전압의 순서로 출력한다. 따라서, W 데이터 전압이 가장 먼저 W 서브 픽셀에 충전된 후, R 데이터, B 데이터 및 G 데이터 순서로 RGB 서브 픽셀들에 데이터 전압이 충전된다.

[0047] 도 6에서, "SIC"는 소스 드라이브 IC를 나타낸다. "S1(Odd Data)"는 제1 데이터 라인(S1)을 통해 출력되는 RGBW 데이터를 나타낸다. "S2(Even Data)"는 제2 데이터 라인(S2)을 통해 출력되는 RGBW 데이터를 나타낸다. "POL"은 타이밍 콘트롤러(20)에서 생성되어 그 논리값에 따라 데이터 전압의 극성을 정의하는 극성 제어 신호이다.

[0048] 소스 드라이브 IC는 2 수평 기간(2H) 동안 동일 극성을 갖는 데이터 전압을 W 데이터, R 데이터, B 데이터 및 G 데이터 순서로 출력한다. 게이트 구동부(104)는 W 데이터 전압에 동기되는 게이트 펄스, R 데이터 전압에 동기

되는 게이트 펄스, B 데이터 전압에 동기되는 게이트 펄스, G 데이터 전압에 동기되는 게이트 펄스를 순차적으로 출력한다. 교차되는 링크 배선들(LNK)의 구조로 인하여, 도 2 및 도 3과 같이 제1로 라인(L1)의 W 서브 픽셀(W11), 제3로 라인(L3)의 R 서브 픽셀(R31), 제2로 라인(L2)의 B 서브 픽셀(B21), 그리고 제4로 라인(L2)의 G 서브 픽셀(G41)의 순서로 동일 극성을 갖는 RGBW 데이터 전압이 RGBW 서브 픽셀들에 충전된다.

[0049] RGBW 데이터 전압이 같을 때 W 서브 픽셀은 약 충전 충전 서브 픽셀이고, R 서브 픽셀은 W 서브 픽셀 보다 데이터 전압의 충전양이 많은 중 충전 서브 픽셀이다. B 서브 픽셀과 G 서브 픽셀은 충전양이 서로 같으며 R 서브 픽셀 보다 충전양이 많은 강 충전 서브 픽셀이다. R 서브 픽셀의 충전양과 B/G 서브 픽셀의 충전양 차이는 거의 없다. 동일 컬러의 서브 픽셀들에서 극성 분포를 보면, 본 발명은 도 4와 같이 수평 및 수직 방향에서 정극성(+)과 부극성(-)이 균형을 이루어 공통전압(Vcom)이 시프트(shift)되지 않으므로 수평 크로스토크(crosstalk)가 없고 라인들 간 휘도차가 없는 화질을 구현할 수 있다.

[0050] 충전양이 작은 W 서브 픽셀들이 가깝게 위치하면 그 부분에서 휘도 차이가 인지될 수 있지만, 본 발명은 W 서브 픽셀들 간의 거리를 2 도트 이상으로 멀게 하여 W 서브 픽셀들로 인한 휘도 저하 문제를 방지할 수 있다. 따라서, 본 발명의 표시장치는 W 서브 픽셀을 픽셀마다 추가하여 소비 전력을 낮출 수 있음은 물론 RGB 서브 픽셀들에서 충전 특성과 극성 분포를 균일하게 함으로써 컬러 왜곡과 라인들간 휘도 차이가 없는 화질을 구현할 수 있다.

[0051] 도 6에서, W 서브 픽셀들의 충전양에서 알 수 있듯이 이전 데이터 전압에 비하여 극성이 반전된 데이터 전압은 서브 픽셀의 충전양을 저하시킨다. 이로 인하여, 기수 번째 데이터 라인들(S1, S3)을 통해 픽셀들에 공급되는 데이터 전압들의 극성 반전 시점과, 우수 번째 데이터 라인들(S2, S4)를 통해 픽셀들에 공급되는 데이터 전압들의 극성 반전 시점이 같으면, 같은 로 라인 내의 모든 서브 픽셀들의 충전양이 낮아져 로 라인들 간에 휘도 차이가 보이게 된다. 소스 드라이브 IC는 타이밍 컨트롤러(20)의 제어 하에 기수 번째 데이터 라인들(S1, S3)에 공급되는 데이터 전압들의 극성 반전 시점과, 우수 번째 데이터 라인들(S2, S4)에 공급되는 데이터 전압들의 극성 반전 시점을 다르게 한다. 따라서, 본 발명은 표시장치에서 이웃한 컬럼 라인들 간에 극성 반전 시점을 다르게 하여 컬럼 라인들(C1~C8) 간의 휘도 차이를 방지할 수 있다. 기수 번째 데이터 라인들(S1, S3)에 공급되는 데이터 전압들의 극성 반전 시점은 우수 번째 데이터 라인들(S2, S4)에 공급되는 데이터 전압들의 극성 반전 시점에 비하여 1 수평 기간(1H) 만큼 차이가 있을 수 있다.

[0052] 동일 컬러의 서브 픽셀들 간에 충전양이 다르면 그 컬러의 감마 특성을 일괄 보상할 수 없다. 반면에, 본 발명은 동일 컬러의 서브 픽셀들의 충전양이 동일하기 때문에 컬러별로 감마 특성을 일괄 보상할 수 있다. 도 7과 같이 W 서브 픽셀들에 기입될 W 데이터의 감마 커브는 다른 컬러의 데이터에 비하여 더 높게 설정되어 W 서브 픽셀들의 낮은 충전양을 일괄 보상할 수 있다. R 서브 픽셀들에 기입될 R 데이터의 감마 커브는 W 데이터의 감마 커브 보다 낮고, B 및 G 데이터의 감마 커브들에 비하여 높다. B 및 G 서브 픽셀들의 충전양은 동일하기 때문에 B 및 G 데이터의 감마 커브는 같다.

[0053] 도 2 내지 도 5와 같은 픽셀 어레이 충전 순서는 입력 영상의 데이터 입력 순서와 다르다. 이 때문에 타이밍 컨트롤러(20)는 입력 영상의 데이터 재정렬 과정에서 픽셀 어레이 충전 순서에 맞게 입력 영상의 데이터를 라인 단위로 변경할 필요가 있다. 도 6에서, 제2 게이트 펄스에 동기되는 "S"는 입력 영상의 데이터가 아니고 타이밍 컨트롤러(20) 내에서 생성되는 더미 데이터(Dummy data)이다. 더미 데이터(S)는 픽셀 어레이에 기입되지 않는 데이터이다. 더미 데이터(S)는 픽셀 어레이의 데이터 충전 순서에 맞게 타이밍 컨트롤러(20)의 데이터 재정렬 과정에서 입력 영상의 데이터들 사이에 삽입되어 소스 드라이브 IC로 전송되지만 픽셀 어레이에서 그 더미 데이터가 기입되는 픽셀들이 없다.

[0054] 소스 드라이브 IC들은 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터 전압을 출력하는 디지털-아날로그 변환기 DAC(digital-to-analog conversion, 이하 "DAC"라 함)와, DAC의 출력을 데이터 라인들(S1~Sm)에 공급하는 버퍼들을 포함한다. DAC는 디지털 비디오 데이터를 정극성 감마 보상 전압으로 변환하여 정극성 데이터 전압을 출력하는 PDAC(Positive DAC)와, 디지털 비디오 데이터를 부극성 감마 보상 전압으로 변환하여 부극성 데이터 전압을 출력하는 NDAC(Negative DAC)으로 나뉘어진다.

[0055] 버퍼는 DAC의 출력 채널 사이에 연결된다. 데이터 전압이 변할 때 마다 버퍼에서 전류가 발생하고 또한, 데이터 전압의 극성이 바뀔 때 데이터 전압의 변동량이 커져 더 많은 전류가 버퍼에서 발생된다. 따라서, 소스 드라이브 IC의 소비 전력은 데이터 전압의 주파수가 높을 수록 그리고 데이터 전압의 변동량이 클수록 커진다.

[0056] 소스 드라이브 IC의 소비 전력을 줄이기 위하여, 도 8의 윗 도면과 같은 하이 임피던스(High Impedence, Hi-Z)

스위칭 방법이 적용될 수 있다. 하이 임피던스 스위칭 방법은 데이터 전압(Vdata)의 극성이 바뀔 때에 소스 드라이브 IC의 출력채널들을 하이 임피던스(Hi-Z) 상태로 제한한다. 이 방법은 소스 드라이브 IC의 출력 채널들과 데이터 라인들(S1~Sm) 사이의 전류 패스를 차단하는 방법이다. 이 방법은 같은 극성의 데이터 전압이 연속될 때 데이터 전압(Vdata)의 주파수와 전압 변동량을 줄일 수 있으나, 극성이 바뀔 때에 전압 변동량이 커진다.

[0057] 소스 드라이브 IC의 소비 전력을 줄이기 위한 다른 방법으로, 도 8의 아래 도면과 같은 차지 웨어(Chargh sare) 방법을 적용할 수 있다. 차지 웨어 방법은 데이터 전압이 바뀌기 직전에 이웃한 데이터 라인들(S1~Sm)을 단락(short circuit)시켜 데이터 라인들(S1~Sm)의 전압을 평균화한다. 데이터 라인들은 정극성 데이터 전압(+Vdata)이 공급되는 데이터 라인들과, 부극성 데이터 전압(-Vdata)이 공급되는 데이터 라인들을 포함한다. 따라서, 차지 웨어를 실시하여 데이터 라인들이 단락되면, 데이터 라인들의 전압이 정극성 데이터 전압과 부극성 데이터 전압 사이의 평균 전압으로 된다. 이 방법은 같은 데이터 전압(Vdata)의 극성이 바뀔 때 데이터 전압(Vdata)의 변동량을 줄일 수 있으나 데이터 전압이 바뀔 때마다 버퍼에서 전류가 발생한다.

[0058] 도 8에서 하이 임피던스 스위칭 방법에서 전압 변동량이 2이고 데이터 전압의 주파수가 1/4이라면, 차지 웨어 방법에서 전압 변동량이 1이고 데이터 전압의 주파수가 1이다.

[0059] 본 발명은 소스 드라이브 IC의 소비 전력을 더 줄이기 위하여 도 10과 같이 데이터 전압이 극성이 반전될 때에 만 차지 웨어(POLCS)를 실시한다. 이를 위하여, 도 9, 도 22, 및 도 23과 같이 소스 드라이브 IC에서 데이터 전압의 극성이 동시에 반전되는 출력 채널들(OUT1 & OUT3, OUT2 & OUT 4)을 연결하고 그 출력 채널들을 동시에 단락시킬 수 있는 회로가 필요하다.

[0060] 도 9는 본 발명의 제1 실시예에 따른 소스 드라이브 IC를 보여 주는 회로도이다. 도 10은 본 발명의 차지 웨어 방법을 보여 주는 과형도이다. 도 9 및 도 10은 소스 드라이브 IC에서 DAC와 출력 채널들(OUT1-OUT4) 사이의 버퍼들과 스위치들을 보여 준다. 소스 드라이브 IC의 시프트 레지스터(shift register), 래치(Latch), DAC 등은 생략되어 있다.

[0061] 도 9 및 도 10을 참조하면, 소스 드라이브 IC는 다수의 버퍼들(P1, P2, N3, N4), 다수의 스위치들, 및 다수의 출력 채널들(OUT1-OUT4)을 포함한다.

[0062] 버퍼들(P1, P2, N3, N4)은 PDAC으로부터 입력되는 정극성 데이터 전압(+Vdata)을 출력 채널들로 공급하는 P 버퍼들(P1, P2)과, NDAC으로부터 입력되는 부극성 데이터 전압(-Vdata)을 출력 채널들로 공급하는 N 버퍼들(N3, N4)를 포함한다. 제1 P 버퍼(P1)는 제1 출력 채널(OUT1)을 통해 제1 데이터 라인(S1)에 공급될 제1 데이터(Data1)와, 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3)의 정극성 데이터 전압(+Vdata)을 출력한다. 제2 P 버퍼(P2)는 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2)와, 제4 출력 채널(OUT4)을 통해 제4 데이터 라인(S4)에 공급될 제4 데이터(Data4)의 정극성 데이터 전압(+Vdata)을 출력한다. 제1 N 버퍼(N3)는 제1 출력 채널(OUT1)을 통해 제1 데이터 라인(S3)에 공급될 제1 데이터(Data1)와, 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3)의 부극성 데이터 전압(-Vdata)을 출력한다. 제2 N 버퍼(N4)는 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2)와, 제4 출력 채널(OUT4)을 통해 제4 데이터 라인(S4)에 공급될 제4 데이터(Data4)의 부극성 데이터 전압(-Vdata)을 출력한다.

[0063] 스위치들은 데이터 분배를 위한 멀티플렉서(Multiplexer, MUX), 데이터 전압 공급용 스위치들(SW1~SW4), 차지 웨어용 스위치들(SW5, SW6) 등을 포함한다.

[0064] 멀티플렉서는 하나의 버퍼를 통해 출력되는 데이터 전압을 다수의 출력 채널들로 분배하는 스위치들(SA1, SB1, SA3, SB3, SC2, SD2, SC4, SD4, 이하 "MUX 스위치"라 함)를 포함한다. 멀티플렉서는 도 10에 도시된 극성 제어 신호(POL(S1), POL(S2), POL(S3), POL(S4))에 응답하여 데이터 전압(+Vdata, -Vdata)의 극성을 선택한다.

[0065] 제1 P 버퍼(P1)에 연결된 제1 MUX 스위치(SA1)는 제1 극성 제어 신호(POL(S1))의 제1 논리값에 응답하여 제1 P 버퍼(P1)의 출력 단자를 제1 출력 채널(OUT1)에 연결한다. 제1 P 버퍼(P1)에 연결된 제2 MUX 스위치(SB1)는 제1 극성 제어 신호(POL(S1))의 제1 논리값에 응답하여 제1 P 버퍼(P1)의 출력 단자를 제3 출력 채널(OUT3)에 연결한다. 제1 및 제2 MUX 스위치(SA1, SB1)는 제1 극성 제어 신호(POL(S1))가 제2 논리값일 때 턴-오프(turn-off)된다.

[0066] 제2 P 버퍼(P2)에 연결된 제3 MUX 스위치(SC2)는 제2 극성 제어 신호(POL(S2))의 제1 논리값에 응답하여 제2 P 버퍼(P2)의 출력 단자를 제2 출력 채널(OUT2)에 연결한다. 제2 P 버퍼(P2)에 연결된 제4 MUX 스위치(SD2)는 제2 극성 제어 신호(POL(S2))의 제1 논리값에 응답하여 제2 P 버퍼(P2)의 출력 단자를 제4 출력 채널(OUT4)에 연

결한다. 제3 및 제4 MUX 스위치(SC2, SD2)는 제2 극성 제어 신호(POL(S2))가 제2 논리값일 때 턴-오프된다.

[0067] 제1 N 버퍼(N3)에 연결된 제5 MUX 스위치(SB3)는 제3 극성 제어 신호(POL(S3))의 제2 논리값에 응답하여 제1 N 버퍼(N3)의 출력 단자를 제1 출력 채널(OUT1)에 연결한다. 제1 N 버퍼(N3)에 연결된 제6 MUX 스위치(SA3)는 제3 극성 제어 신호(POL(S3))의 제2 논리값에 응답하여 제1 N 버퍼(N3)의 출력 단자를 제3 출력 채널(OUT3)에 연결한다. 제5 및 제6 MUX 스위치(SB3, SA3)는 제3 극성 제어 신호(POL(S3))가 제1 논리값일 때 턴-오프된다.

[0068] 제2 N 버퍼(N4)에 연결된 제7 MUX 스위치(SD4)는 제4 극성 제어 신호(POL(S4))의 제2 논리값에 응답하여 제2 N 버퍼(N2)의 출력 단자를 제4 출력 채널(OUT4)에 연결한다. 제2 N 버퍼(N4)에 연결된 제8 MUX 스위치(SC4)는 제4 극성 제어 신호(POL(S4))의 제2 논리값에 응답하여 제2 N 버퍼(N2)의 출력 단자를 제4 출력 채널(OUT4)에 연결한다. 제7 및 제8 MUX 스위치(SD4, SC4)는 제4 극성 제어 신호(POL(S4))가 제1 논리값일 때 턴-오프된다.

[0069] 데이터 전압 공급용 스위치들(SW1~SW4)은 멀티플렉서와 출력 채널 사이에 배치되어 멀티플렉서로부터의 정극성 데이터 전압(+Vdata)과 부극성 데이터 전압(-Vdata)을 출력 채널들(OUT1~OUT4)에 공급한다. 데이터 전압 공급용 스위치들(SW1~SW4) 각각은 2 개의 MUX 스위치들에 연결된 입력 단자와, 하나의 출력 채널에 연결된 출력 단자를 포함한다. 제1 및 제3 데이터 전압 공급용 스위치들(SW1, SW3)은 도 11과 같은 제1 소스 출력 인에이블 신호(SOE1)의 제2 논리값에 응답하여 정극성/부극성 데이터 전압을 제1 및 제3 출력 채널들(OUT1, OUT3)에 공급한다. 제2 및 제4 데이터 전압 공급용 스위치들(SW2, SW4)은 도 12와 같은 제2 소스 출력 인에이블 신호(SOE2)의 제2 논리값에 응답하여 정극성/부극성 데이터 전압을 제2 및 제4 출력 채널들(OUT2, OUT4)에 공급한다.

[0070] 차지 쉐어용 스위치들(SW5, SW6, 이하 "CS 스위치"라 함)은 데이터 전압의 극성이 변할 때 데이터 전압의 극성이 동시에 변하는 출력 채널들을 연결한다.

[0071] 제1 CS 스위치(SW5)는 제1 데이터 라인 그룹의 데이터 라인들에 연결된 제1 및 제3 출력 채널들(OUT1, OUT3)에 연결된다. 제1 CS 스위치(SW5)는 제1 차지 쉐어 타이밍에 턴-온(turn-on)되어 제1 데이터 라인 그룹의 데이터 라인들(S1, S3)을 차지 쉐어한다. 제1 차지 쉐어 타이밍은 도 11과 같은 제1 소스 출력 인에이블 신호(SOE1)에 의해 제어된다. 제1 CS 스위치(SW5)는 제1 소스 출력 인에이블 신호(SOE1)의 제1 논리값에 응답하여 제1 및 제3 출력 채널들(OUT1, OUT3)을 연결하여 제1 데이터 라인 그룹의 차지 쉐어를 실시한다.

[0072] 제2 CS 스위치(SW6)는 제2 데이터 라인 그룹의 데이터 라인들(S2, S4)에 연결된 제1 및 제3 출력 채널들(OUT1, OUT3)에 연결된다. 제2 CS 스위치(SW6)는 제1 차지 쉐어 타이밍에 턴-온(turn-on)되어 제2 데이터 라인 그룹의 데이터 라인들(S2, S4)을 차지 쉐어한다. 제2 차지 쉐어 타이밍은 도 12와 같은 제2 소스 출력 인에이블 신호(SOE2)에 의해 제어된다. 제2 CS 스위치(SW6)는 제2 소스 출력 인에이블 신호(SOE2)의 제1 논리값에 응답하여 제2 및 제4 출력 채널들(OUT2, OUT4)을 연결하여 제2 데이터 라인 그룹의 차지 쉐어를 실시한다.

[0073] 도 9 및 도 10에 도시된 버퍼들과 출력 채널들은 아래의 표 1과 같이 4 가지 경우로 나누어 그 동작 상태를 구분할 수 있다.

표 1

[0074]

	출력 채널 #	OUT1	OUT2	OUT3	OUT4
CASE 1	출력 극성	+	+	-	-
	버퍼	P1	P2	N3	N4
	ON 스위치	SA1, SW1	SC2, SW2	SA3, SW3	SC4, SW4
CASE 2	출력 극성	-	-	+	+
	버퍼	N3	N4	P1	P2
	ON 스위치	SB3, SW1	SD4, SW2	SB1, SW3	SD2, SW4
CASE 3	출력 극성	+	-	-	+
	버퍼	P1	N4	N3	P2
	ON 스위치	SA1, SW1	SD4, SW2	SA3, SW3	SD2, SW4
CASE 4	출력 극성	-	+	+	-
	버퍼	N3	P2	P1	N4
	ON 스위치	SB3, SW1	SC2, SW2	SB1, SW3	SC4, SW4

[0075] 본 발명은 데이터 전압의 극성이 반전될 때에만 차지 쉐어(POLCS)를 실시하여 도 13과 같이 극성이 바뀔 때 전압 변동량을 줄이고 데이터 전압의 주파수를 낮추어 소스 드라이브 IC의 소비 전력을 도 8과 같은 하이 임피던

스 방법(Hi-Z)이나 차지 세어 방법에 비하여 대폭 낮출 수 있다. 이러한 차지 세어 방법은 W 데이터 전압의 변동량을 줄여 W 데이터 전압의 라이징 타임(rising time)을 줄일 수 있으므로 W 서브 픽셀의 충전량을 높일 수 있다.

[0076] 본 발명의 차지 세어 방법, 기존의 하이 임피던스 방법 및 차지 세어 방법에서 전압 변동량, 데이터 전압의 주파수, 및 다이내믹(Dynamic) 소비 전력을 비교하면 도 14와 같다. 다이내믹 소비 전력은 전압 변동량 × 주파수이다. 도 14에서 White, Red, Green, Blue, Yellow, Magenta는 실험 이미지 패턴의 컬러를 나타낸다. 도 14에서 알 수 있는 바와 같이, 본 발명의 차지 세어 방법은 White 컬러와 Cyan 컬러에서 기존의 하이 임피던스 방법과 차지 세어 방법에 비하여 소비 전력을 대폭 낮출 수 있고 다른 컬러에서도 기존 방법의 소비 전력 수준 또는 그 보다 개선된 소비 전력 저감 효과를 얻을 수 있다.

[0077] 도 15는 도 14에서 실험 이미지 패턴의 White 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 16은 도 14에서 실험 이미지 패턴의 Red 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 17은 도 14에서 실험 이미지 패턴의 Green 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 18은 도 14에서 실험 이미지 패턴의 Blue 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 19는 도 14에서 실험 이미지 패턴의 Cyan 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 20은 도 14에서 실험 이미지 패턴의 Yellow 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 21은 도 14에서 실험 이미지 패턴의 Magenta 컬러에서 기존의 하이 임피던스 방법(Hi-Z)과 차지 세어 방법(CS), 및 본 발명의 차지 세어 방법을 비교한 도면이다. 도 15 내지 도 21에서, '+'는 정극성 데이터 전압이고 '-'는 부극성 데이터 전압이다. 'X'는 더미 데이터이다.

[0078] 도 22는 본 발명의 제2 실시예에 따른 소스 드라이브 IC를 보여 주는 회로도이다. 도 22에서, 소스 드라이브 IC의 시프트 레지스터(shift register), 래치(Latch), DAC 등은 생략되어 있다.

[0079] 도 22를 참조하면, 소스 드라이브 IC는 다수의 버퍼들(P1, P2, N3, N4), 다수의 스위치들, 및 다수의 출력 채널들(OUT1~OUT4)을 포함한다.

[0080] 버퍼들(P1, P2, N3, N4)은 PDAC으로부터 입력되는 정극성 데이터 전압(+Vdata)을 출력 채널들로 공급하는 P 버퍼들(P1, P3)과, NDAC으로부터 입력되는 부극성 데이터 전압(-Vdata)을 출력 채널들로 공급하는 N 버퍼들(N2, N4)를 포함한다. P 버퍼들(P1, P3)과 N 버퍼들(N2, N4)은 도 22와 같은 형태로 교대로 배치될 수 있다. 제1 P 버퍼(P1)는 제1 출력 채널(OUT1)을 통해 제1 데이터 라인(S1)에 공급될 제1 데이터(Data1), 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2), 및 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3)의 정극성 데이터 전압(+Vdata)을 출력한다. 제1 N 버퍼(N2)는 제1 출력 채널(OUT1)을 통해 제1 데이터 라인(S3)에 공급될 제1 데이터(Data1), 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2), 및 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3)의 부극성 데이터 전압(-Vdata)을 출력한다. 제2 P 버퍼(P3)는 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2), 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3), 및 제4 출력 채널(OUT4)을 통해 제4 데이터 라인(S4)에 공급될 제4 데이터(Data4)의 정극성 데이터 전압(+Vdata)을 출력한다. 제2 N 버퍼(N4)는 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2), 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3), 및 제4 출력 채널(OUT4)을 통해 제4 데이터 라인(S4)에 공급될 제4 데이터(Data4)의 부극성 데이터 전압(-Vdata)을 출력한다.

[0081] 스위치들은 데이터 분배를 위한 멀티플렉서(MUX), 데이터 전압 공급용 스위치들(SW1~SW4), 차지 세어용 스위치들(SW5, SW6) 등을 포함한다.

[0082] 멀티플렉서(MUX)는 하나의 버퍼를 통해 출력되는 데이터 전압을 다수의 출력 채널들로 분배하는 MUX 스위치들(SA1~SA4, SB1~SB4, SC1~SC4)를 포함한다. 멀티플렉서(MUX)는 도 10에 도시된 극성 제어 신호(POL(S1), POL(S2), POL(S3), POL(S4))에 응답하여 데이터 전압(+Vdata, -Vdata)의 극성을 선택한다. 하나의 버퍼는 멀티플렉서(MUX)를 통해 3 개의 출력 채널들에 연결된다. 따라서, 이 실시예의 소스 드라이브 IC는 도 9에 도시된 소스 드라이브 IC에 비하여 필요한 버퍼들의 개수를 더 줄일 수 있다.

[0083] 데이터 전압 공급용 스위치들(SW1~SW4)은 멀티플렉서와 출력 채널 사이에 배치되어 멀티플렉서로부터의 정극성

데이터 전압(+Vdata)과 부극성 데이터 전압(-Vdata)을 출력 채널들(OUT1~OUT4)에 공급한다. 데이터 전압 공급용 스위치들(SW1~SW4) 각각은 2 개의 MUX 스위치들에 연결된 입력 단자와, 하나의 출력 채널에 연결된 출력 단자를 포함한다. 제1 및 제3 데이터 전압 공급용 스위치들(SW1, SW3)은 도 11과 같은 제1 소스 출력 인에이블 신호(SOE1)의 제2 논리값에 응답하여 정극성/부극성 데이터 전압을 제1 및 제3 출력 채널들(OUT1, OUT3)에 공급한다. 제2 및 제4 데이터 전압 공급용 스위치들(SW2, SW4)은 도 12와 같은 제2 소스 출력 인에이블 신호(SOE2)의 제2 논리값에 응답하여 정극성/부극성 데이터 전압을 제2 및 제4 출력 채널들(OUT2, OUT4)에 공급한다.

[0084] CS 스위치들(SW5, SW6)은 데이터 전압의 극성이 변할 때 데이터 전압의 극성이 동시에 변하는 출력 채널들을 연결한다. 제1 CS 스위치(SW5)는 제1 및 제3 출력 채널들(OUT1, OUT3)에 연결되어 도 11과 같은 제1 소스 출력 인에이블 신호(SOE1)의 제1 논리값에 응답하여 제1 및 제3 출력 채널들(OUT1, OUT3)을 연결하여 차지 셰어를 실시한다. 제2 CS 스위치(SW6)는 제2 및 제4 출력 채널들(OUT2, OUT4)에 연결되어 도 12와 같은 제2 소스 출력 인에이블 신호(SOE2)의 제1 논리값에 응답하여 제2 및 제4 출력 채널들(OUT2, OUT4)을 연결하여 차지 셰어를 실시한다.

[0085] 도 22에 도시된 버퍼들과 출력 채널들의 동작 상태는 아래의 표 2와 같이 나뉘어 질 수 있다.

표 2

	출력 채널 #	OUT1	OUT2	OUT3	OUT4
CASE 1	출력 극성	+	+	-	-
	버퍼	P1	P3	N2	N4
	ON 스위치	SA1, SW1	SA3, SW2	SC2, SW3	SC4, SW4
CASE 2	출력 극성	-	-	+	+
	버퍼	N2	N4	P1	P3
	ON 스위치	SB2, SW1	SA4, SW2	SC1, SW3	SC2, SW4
CASE 3	출력 극성	+	-	-	+
	버퍼	P1	N2	N4	P3
	ON 스위치	SA1, SW1	SB2, SW2	SB4, SW3	SC3, SW4
CASE 4	출력 극성	-	+	+	-
	버퍼	N2	P1	P3	N4
	ON 스위치	SA2, SW1	SB1, SW2	SB3, SW3	SC4, SW4

[0087] 도 23은 본 발명의 제3 실시예에 따른 소스 드라이브 IC를 보여 주는 회로도이다. 도 23에서, 소스 드라이브 IC의 시프트 레지스터(shift register), 래치(Latch), DAC 등은 생략되어 있다.

[0088] 도 23을 참조하면, 소스 드라이브 IC는 다수의 버퍼들(P1, P2, N3, N4), 다수의 스위치들, 및 다수의 출력 채널들(OUT1~OUT4)을 포함한다.

[0089] 버퍼들(P1, P2, N3, N4)은 PDAC으로부터 입력되는 정극성 데이터 전압(+Vdata)을 출력 채널들로 공급하는 P 버퍼들(P1, P3)과, NDAC으로부터 입력되는 부극성 데이터 전압(-Vdata)을 출력 채널들로 공급하는 N 버퍼들(N2, N4)를 포함한다. P 버퍼들(P1, P3)과 N 버퍼들(N2, N4)은 도 23과 같은 형태로 교대로 배치될 수 있다. 제1 P 버퍼(P1)는 제1 출력 채널(OUT1)을 통해 제1 데이터 라인(S1)에 공급될 제1 데이터(Data1)와, 제3 출력 채널(OUT3)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3)의 정극성 데이터 전압(+Vdata)을 출력한다. 제1 N 버퍼(N2)는 제1 출력 채널(OUT1)을 통해 제1 데이터 라인(S3)에 공급될 제1 데이터(Data1)와, 제2 출력 채널(OUT2)을 통해 제3 데이터 라인(S3)에 공급될 제3 데이터(Data3)의 부극성 데이터 전압(-Vdata)을 출력한다. 제2 P 버퍼(P3)는 제3 출력 채널(OUT3)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2)와, 제4 출력 채널(OUT4)을 통해 제4 데이터 라인(S4)에 공급될 제4 데이터(Data4)의 정극성 데이터 전압(+Vdata)을 출력한다. 제2 N 버퍼(N4)는 제2 출력 채널(OUT2)을 통해 제2 데이터 라인(S2)에 공급될 제2 데이터(Data2)와, 제4 출력 채널(OUT4)을 통해 제4 데이터 라인(S4)에 공급될 제4 데이터(Data4)의 부극성 데이터 전압(-Vdata)을 출력한다.

[0090] 스위치들은 데이터 분배를 위한 멀티플렉서(MUX), 데이터 전압 공급용 스위치들(S1~S4), 차지 셰어용 스위치들(S5, S6) 등을 포함한다.

[0091] 멀티플렉서(MUX)는 하나의 버퍼를 통해 출력되는 데이터 전압을 다수의 출력 채널들로 분배하는 MUX 스위치들(SA1, SB1, SA3, SB3, SC2, SD2, SC4, SD4)를 포함한다. 멀티플렉서(MUX)는 도 10에 도시된 극성 제어 신호

(POL(S1), POL(S2), POL(S3), POL(S4))에 응답하여 데이터 전압(+Vdata, -Vdata)의 극성을 선택한다.

[0092]

데이터 전압 공급용 스위치들(SW1~SW4)은 멀티플렉서와 출력 채널 사이에 배치되어 멀티플렉서로부터의 정극성 데이터 전압(+Vdata)과 부극성 데이터 전압(-Vdata)을 출력 채널들(OUT1~OUT4)에 공급한다. 데이터 전압 공급용 스위치들(S1~S4) 각각은 2 개의 MUX 스위치들에 연결된 입력 단자와, 하나의 출력 채널에 연결된 출력 단자를 포함한다. 제1 및 제2 데이터 전압 공급용 스위치들(SW1, SW2)은 도 11과 같은 제1 소스 출력 인에이블 신호(SOE1)의 제2 논리값에 응답하여 정극성/부극성 데이터 전압을 제1 및 제2 출력 채널들(OUT1, OUT2)에 공급한다. 제3 및 제4 데이터 전압 공급용 스위치들(SW3, SW4)은 도 12와 같은 제2 소스 출력 인에이블 신호(SOE2)의 제2 논리값에 응답하여 정극성/부극성 데이터 전압을 제3 및 제4 출력 채널들(OUT3, OUT4)에 공급한다.

[0093]

CS 스위치들(SW5, SW6)은 데이터 전압의 극성이 변할 때 데이터 전압의 극성이 동시에 변하는 출력 채널들을 연결한다. 제1 CS 스위치(SW5)는 제1 및 제2 출력 채널들(OUT1, OUT2)에 연결되어 도 11과 같은 제1 소스 출력 인에이블 신호(SOE1)의 제1 논리값에 응답하여 제1 및 제2 출력 채널들(OUT1, OUT2)을 연결하여 차지 웨어를 실시한다. 제2 CS 스위치(SW6)는 제3 및 제4 출력 채널들(OUT3, OUT4)에 연결되어 도 12와 같은 제2 소스 출력 인에이블 신호(SOE2)의 제1 논리값에 응답하여 제3 및 제4 출력 채널들(OUT3, OUT4)을 연결하여 차지 웨어를 실시한다.

[0094]

도 23과 같이, 소스 드라이브 IC의 버퍼들이 좌측 부터 P1, N2, P3, N4, 출력 채널들이 좌측 부터 OUT1, OUT2, OUT3, OUT4 순으로 배치될 수 있다. 이 경우에, 도 5 및 도 10과 같은 형태로 데이터 라인들에 공급되는 데이터 전압의 극성을 반전시키기 위하여, 제2 및 제3 데이터 라인들(S2, S3)을 교차하여 제2 출력 채널(OUT)을 제3 데이터 라인(S3)에 연결하고 제3 출력 채널(OUT3)을 제2 데이터 라인(S2)에 연결할 수 있다. 현재 적용되고 있는 대부분의 소스 드라이브 IC는 도 23과 같은 구조로 제작된다. 따라서, 소스 드라이브 IC의 구조를 변경하지 않고 도 5 및 도 10과 같은 극성 제어를 구현하기 위해서는 도 23과 같이 데이터 라인들의 일부를 교차하는 방법이 바람직하다. 데이터 라인들(S2, S3)의 교차 부분에서 기생 용량이 존재할 수 있으나, 유기 보호막을 사용하여 그 기생 용량을 최소화할 수 있다.

[0095]

도 23에 도시된 버퍼들과 출력 채널들의 동작 상태는 아래의 표 3과 같이 나뉘어 질 수 있다.

표 3

[0096]

	출력 채널 #	OUT1	OUT2	OUT3	OUT4
CASE 1	출력 극성	+	-	+	-
	버퍼	P1	N2	P3	N4
	ON 스위치	SA1, SW1	SD2, SW2	SB3, SW3	SC4, SW4
CASE 2	출력 극성	-	+	-	+
	버퍼	N2	P1	N4	P3
	ON 스위치	SC2, SW1	SB1, SW2	SD4, SW3	SA3, SW4
CASE 3	출력 극성	+	-	-	+
	버퍼	P1	N2	N4	P3
	ON 스위치	SA1, SW1	SD2, SW2	SD4, SW3	SA3, SW4
CASE 4	출력 극성	-	+	+	-
	버퍼	N2	P1	P3	N4
	ON 스위치	SC2, SW1	SB1, SW2	SB3, SW3	SC4, SW4

[0097]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

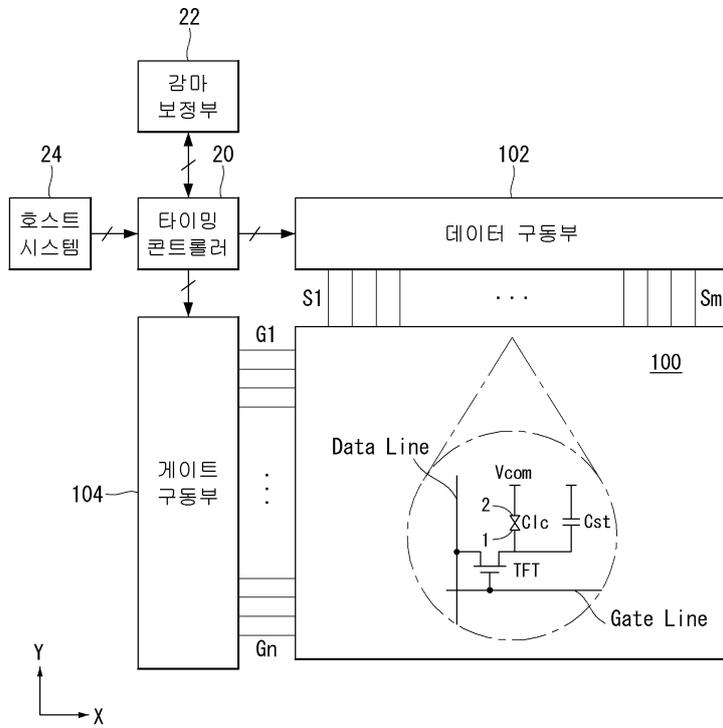
[0098]

100 : 표시패널 102 : 데이터 구동부

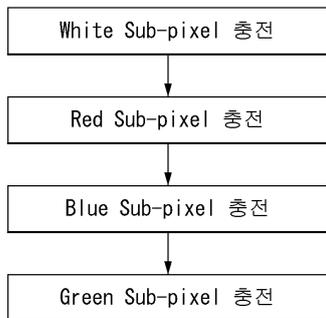
104 : 게이트 구동부 20 : 타이밍 컨트롤러

도면

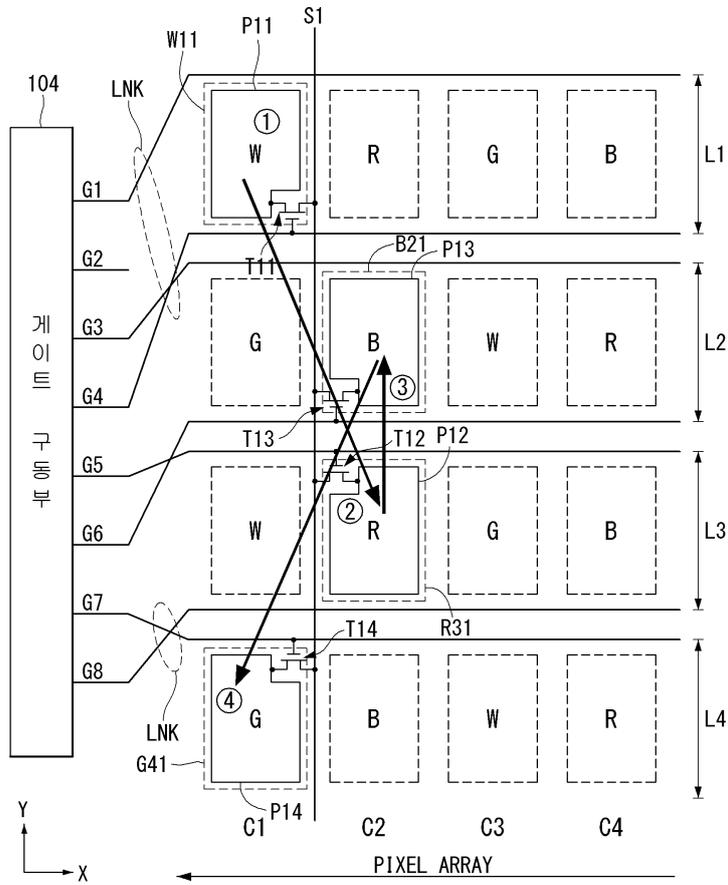
도면1



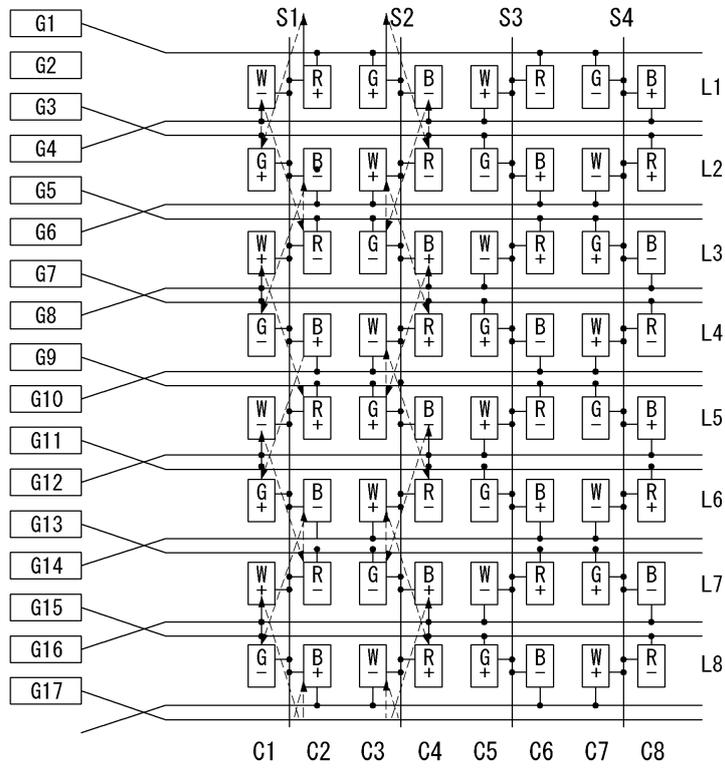
도면2



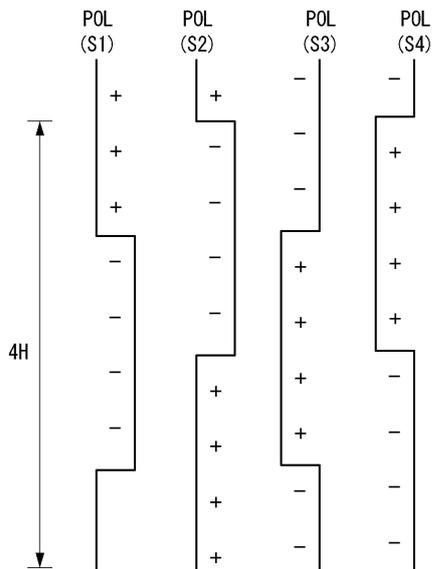
도면3



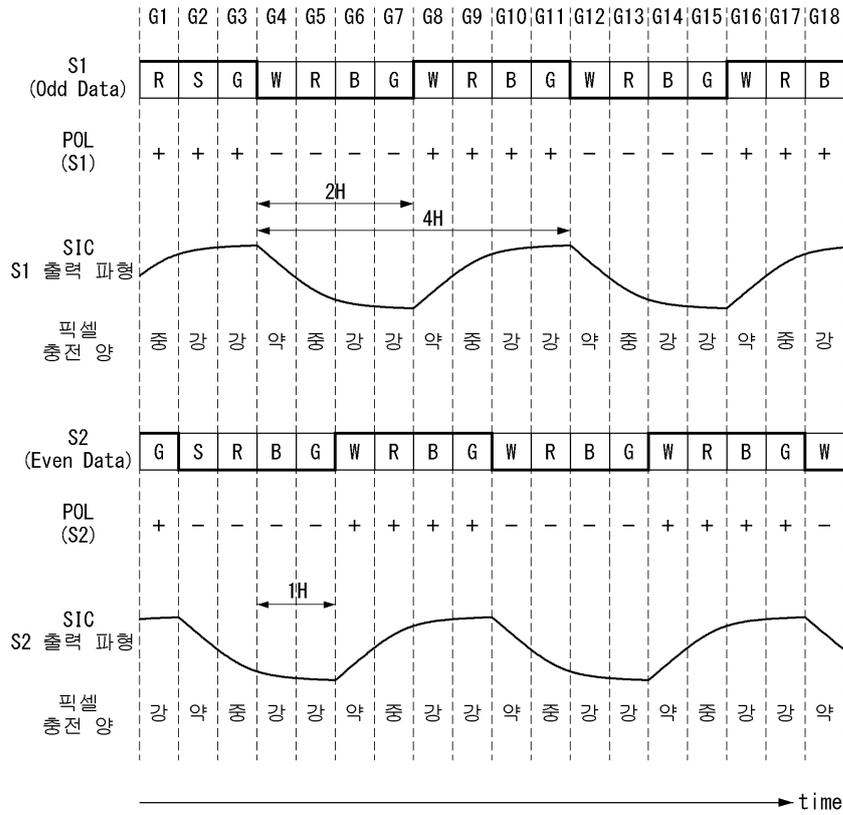
도면4



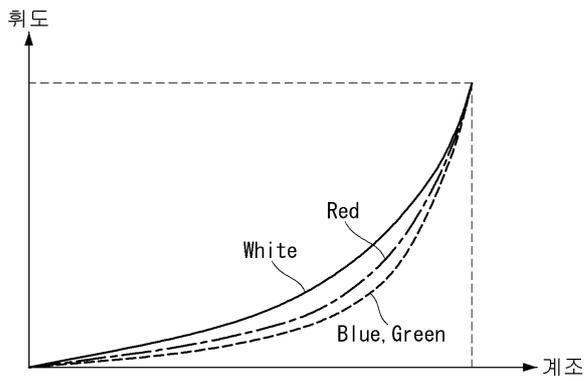
도면5



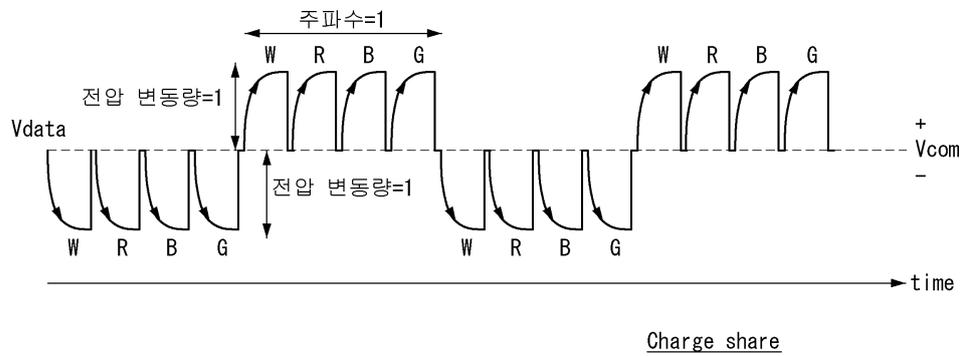
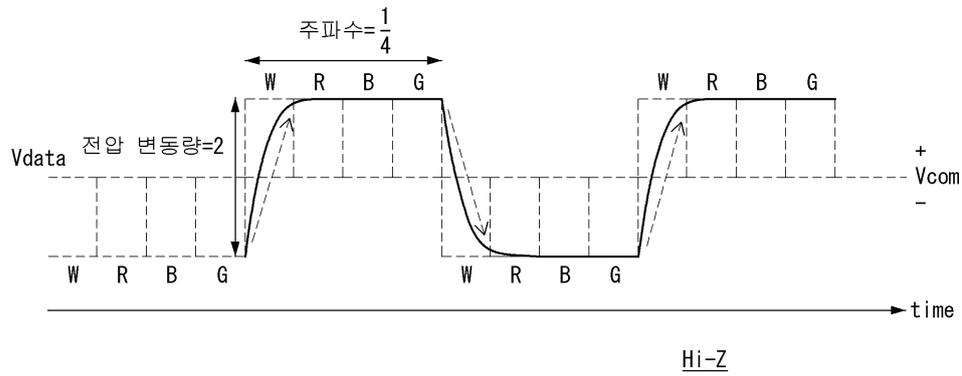
도면6



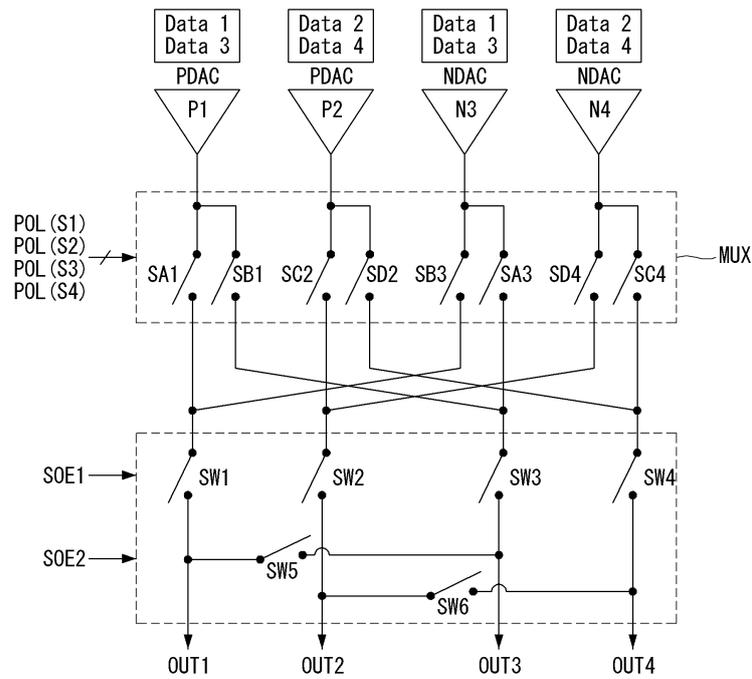
도면7



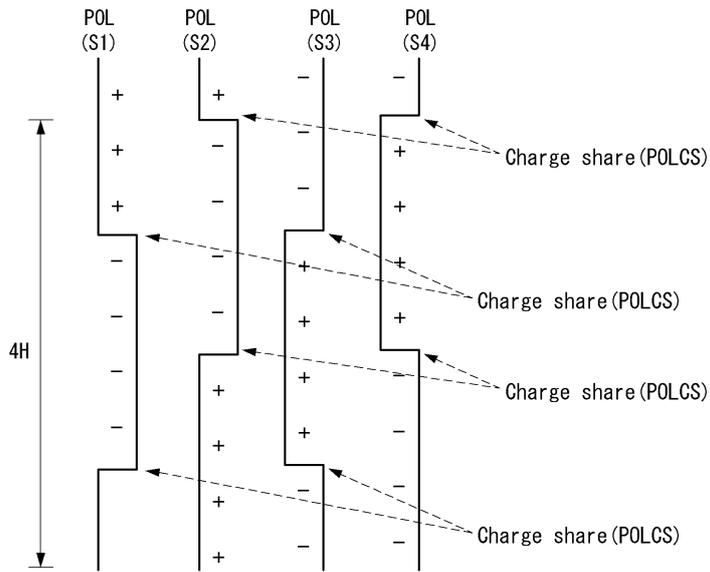
도면8



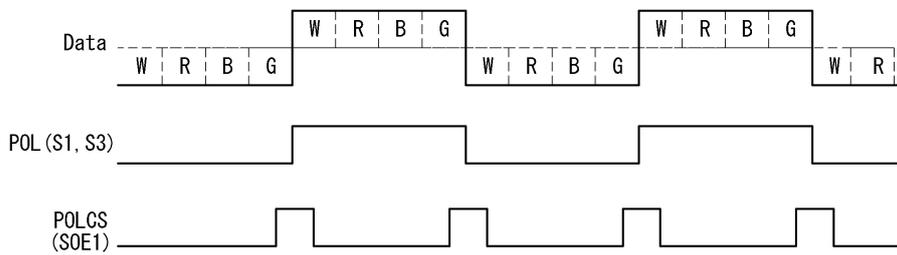
도면9



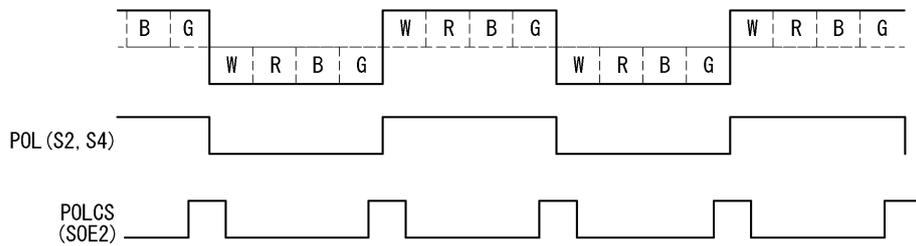
도면10



도면11

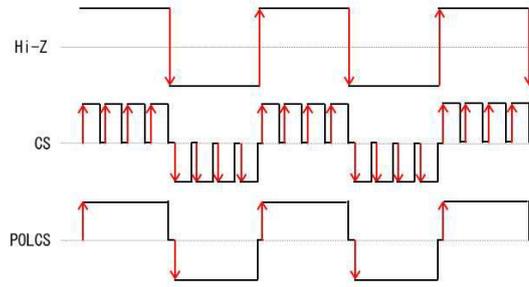


도면12



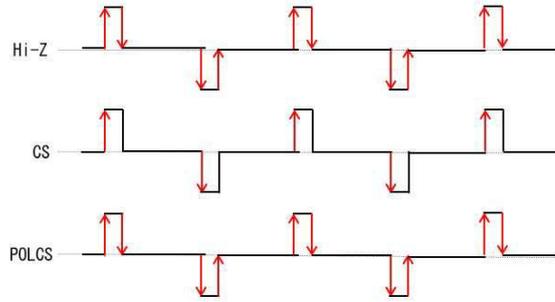
도면15

	S1	S2	S3	S4	S5	S6	S7	S8
Gate1	+	+	+	+	+	+	+	+
Gate2	x	x	x	x	x	x	x	x
Gate3	+	+	+	+	+	+	+	+
Gate4	-	-	-	-	-	-	-	-
Gate5	+	+	+	+	+	+	+	+
Gate6	+	+	+	+	+	+	+	+
Gate7	+	+	+	+	+	+	+	+
Gate8	+	+	+	+	+	+	+	+
Gate9	+	+	+	+	+	+	+	+
Gate10	+	+	+	+	+	+	+	+
Gate11	+	+	+	+	+	+	+	+
Gate12	+	+	+	+	+	+	+	+
Gate13	+	+	+	+	+	+	+	+
Gate14	+	+	+	+	+	+	+	+
Gate15	+	+	+	+	+	+	+	+
Gate16	+	+	+	+	+	+	+	+
Gate17	+	+	+	+	+	+	+	+
Gate18	+	+	+	+	+	+	+	+
Gate19	+	+	+	+	+	+	+	+



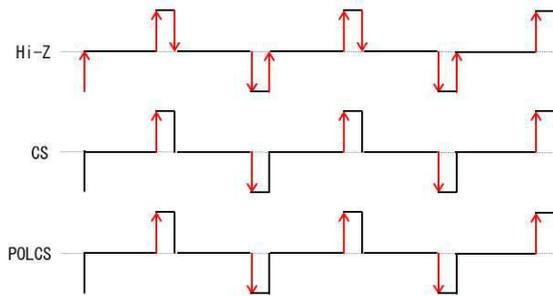
도면16

	S1	S2	S3	S4	S5	S6	S7	S8
Gate1	+	+	+	+	+	+	+	+
Gate2	x	x	x	x	x	x	x	x
Gate3	+	+	+	+	+	+	+	+
Gate4	-	-	-	-	-	-	-	-
Gate5	+	+	+	+	+	+	+	+
Gate6	+	+	+	+	+	+	+	+
Gate7	+	+	+	+	+	+	+	+
Gate8	+	+	+	+	+	+	+	+
Gate9	+	+	+	+	+	+	+	+
Gate10	+	+	+	+	+	+	+	+
Gate11	+	+	+	+	+	+	+	+
Gate12	+	+	+	+	+	+	+	+
Gate13	+	+	+	+	+	+	+	+
Gate14	+	+	+	+	+	+	+	+
Gate15	+	+	+	+	+	+	+	+
Gate16	+	+	+	+	+	+	+	+
Gate17	+	+	+	+	+	+	+	+
Gate18	+	+	+	+	+	+	+	+
Gate19	+	+	+	+	+	+	+	+

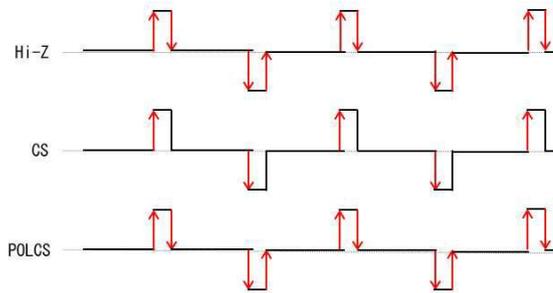
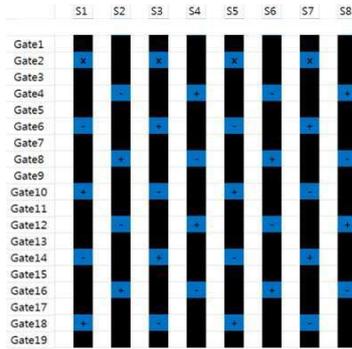


도면17

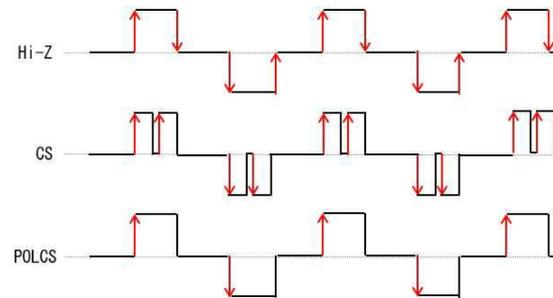
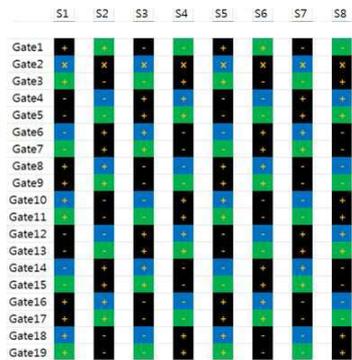
	S1	S2	S3	S4	S5	S6	S7	S8
Gate1	+	+	+	+	+	+	+	+
Gate2	+	+	+	+	+	+	+	+
Gate3	+	+	+	+	+	+	+	+
Gate4	+	+	+	+	+	+	+	+
Gate5	+	+	+	+	+	+	+	+
Gate6	+	+	+	+	+	+	+	+
Gate7	+	+	+	+	+	+	+	+
Gate8	+	+	+	+	+	+	+	+
Gate9	+	+	+	+	+	+	+	+
Gate10	+	+	+	+	+	+	+	+
Gate11	+	+	+	+	+	+	+	+
Gate12	+	+	+	+	+	+	+	+
Gate13	+	+	+	+	+	+	+	+
Gate14	+	+	+	+	+	+	+	+
Gate15	+	+	+	+	+	+	+	+
Gate16	+	+	+	+	+	+	+	+
Gate17	+	+	+	+	+	+	+	+
Gate18	+	+	+	+	+	+	+	+
Gate19	+	+	+	+	+	+	+	+



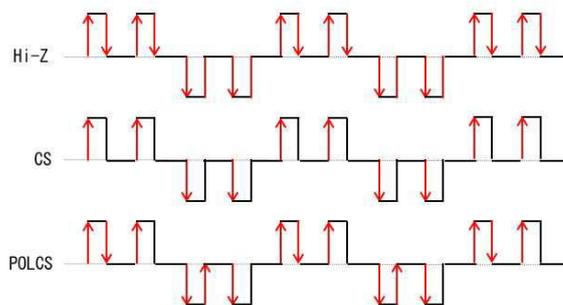
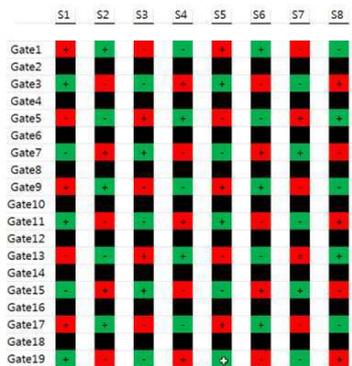
도면18



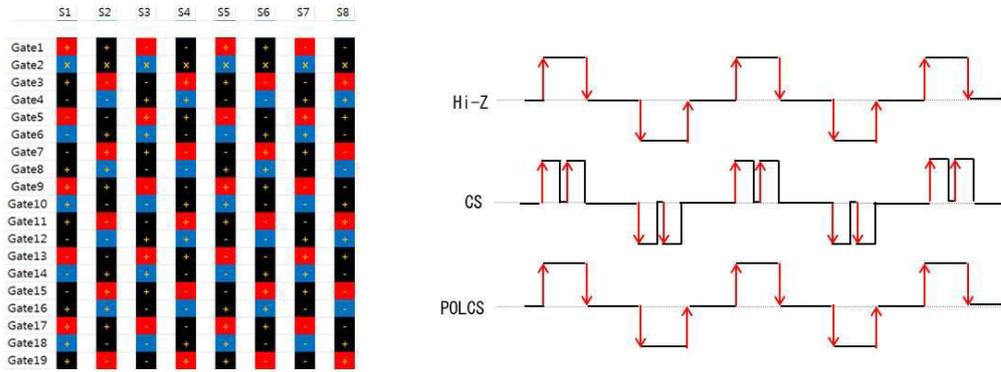
도면19



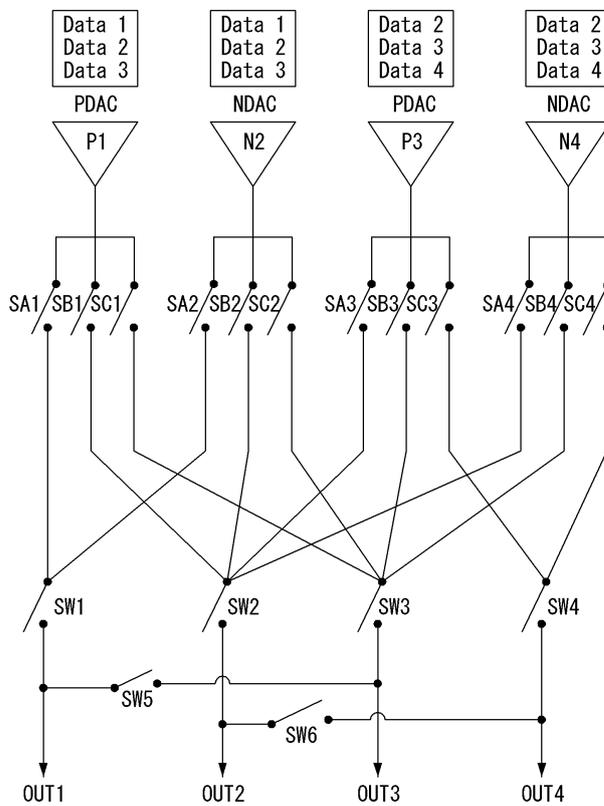
도면20



도면21



도면22



도면23

