

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3947308号

(P3947308)

(45) 発行日 平成19年7月18日(2007.7.18)

(24) 登録日 平成19年4月20日(2007.4.20)

(51) Int. Cl.

F I

H03K 19/096 (2006.01)

H03K 19/096 B

H01L 21/8238 (2006.01)

H01L 27/08 321L

H01L 27/092 (2006.01)

請求項の数 15 (全 12 頁)

(21) 出願番号	特願平10-170070	(73) 特許権者	000000295
(22) 出願日	平成10年6月17日(1998.6.17)		沖電気工業株式会社
(65) 公開番号	特開2000-4151(P2000-4151A)		東京都港区虎ノ門1丁目7番12号
(43) 公開日	平成12年1月7日(2000.1.7)	(74) 代理人	100115417
審査請求日	平成17年5月16日(2005.5.16)		弁理士 鈴木 弘一
		(72) 発明者	森川 剛一
			東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		審査官	宮島 郁美
		(56) 参考文献	特開平10-032481(JP,A)
			特開平08-227580(JP,A)
			特開平06-021443(JP,A)
			特開平10-303370(JP,A)
			最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源電位レベルが供給される第1の電源線と、
 仮想電源線と、
 前記仮想電源線に接続される論理回路と、
 前記第1の電源線と前記仮想電源線間に設けられ、第1の制御信号が入力される制御電極を持つ電力制御用トランジスタと、
 第2の電源電位レベルが供給される第2の電源線と、
 前記電力制御用トランジスタが形成される基板、前記第1の電源線および前記第2の電源線に接続される基板電位制御回路とを備え、
 前記基板電位制御回路は、前記第1の電源線に共通接続される制御電極および第1の電極と、前記基板に接続される第2の電極を持つ第1のトランジスタと、第2の制御信号が入力される制御電極と、前記第1の電源線に接続される第1の電極および前記基板に接続される第2の電極を持つ第2のトランジスタと、前記第2の制御信号が入力される制御電極と、前記第2の電源線に接続される第1の電極および前記基板に接続される第2の電極を持つ第3のトランジスタとから構成されることを特徴とする半導体集積回路。

【請求項2】

前記第1のトランジスタは、前記第2、第3のトランジスタより低いしきい値電圧を有することを特徴とする請求項1記載の半導体集積回路。

【請求項3】

10

20

前記第2の制御信号は前記第1の制御信号の反転信号であることを特徴とする請求項1記載の半導体集積回路。

【請求項4】

第1の電源電位レベルが供給される第1の電源線と、
 第2の電源電位レベルが供給される第2の電源線と、
 第1の仮想電源線と、
 第2の仮想電源線と、
 前記第1、第2の仮想電源線間に接続される論理回路と、
 前記第1の電源線と前記第1の仮想電源線間に設けられ、第1の制御信号が入力される制御電極を持つ第1の電力制御用トランジスタと、
 前記第2の電源線と前記第2の仮想電源線間に設けられ、第2の制御信号が入力される制御ゲートを持つ第2の電力制御用トランジスタと、
 前記第1の電力制御用トランジスタが形成される第1導電型基板、前記第1の電源線および前記第2の電源線に接続される第1の基板電位制御回路と、
 前記第2の電力制御用トランジスタが形成される第2導電型基板、前記第1の電源線および前記第2の電源線に接続される第2の基板電位制御回路とを備え、
前記第2の制御信号は前記第1の制御信号の反転信号であり、
前記第1の基板電位制御回路は、前記第1の電源線に共通接続される制御電極および第1の電極と、前記第1導電型基板に接続される第2の電極を持つ第1のトランジスタと、第2の制御信号が入力される制御電極と、前記第1の電源線に接続される第1の電極および
前記第1導電型基板に接続される第2の電極を持つ第2のトランジスタと、前記第2の制御信号が入力される制御電極と、前記第2の電源線に接続される第1の電極および前記第1導電型基板に接続される第2の電極を持つ第3のトランジスタとから構成され、前記第2の基板電位制御回路は、前記第2の電源線に共通接続される制御電極および第1の電極と、前記第2導電型基板に接続される第2の電極を持つ第4のトランジスタと、前記第1の制御信号が入力される制御電極と、前記第1の電源線に接続される第1の電極および前記第2導電型基板に接続される第2の電極を持つ第5のトランジスタと、前記第1の制御信号が入力される制御電極と、前記第2の電源線に接続される第1の電極および前記第2導電型基板に接続される第2の電極を持つ第6のトランジスタとから構成されることを特徴とする半導体集積回路。

10

20

30

【請求項5】

前記第1、第4のトランジスタは、前記第2、第3、第5および第6のトランジスタより低いしきい値電圧を有することを特徴とする請求項4記載の半導体集積回路。

【請求項6】

前記第2の制御信号は前記第1の制御信号の反転信号であることを特徴とする請求項4記載の半導体集積回路。

【請求項7】

第1の電源電位レベルが供給される第1の電源線と、第2の電源電位レベルが供給される第2の電源線と、第1の仮想電源線と、第2の仮想電源線と、前記第1、第2の仮想電源線間に接続される論理回路と、前記第1の電源線と前記第1の仮想電源線間に設けられ、第1の制御信号が入力される制御電極を持つ第1の電力制御用トランジスタと、前記第2の電源線と前記第2の仮想電源線間に設けられ、第2の制御信号が入力される制御ゲートを持つ第2の電力制御用トランジスタと、前記第2の制御信号が入力される制御電極と、前記第1の電源線に接続される第1の電極および前記第1の電力制御用トランジスタが形成される第1導電型基板に接続される第2の電極を持つ第1のトランジスタと、前記第1の制御信号が入力される制御電極と、前記第2の電源線に接続される第1の電極および前記第2の電力制御用トランジスタが形成される第2導電型基板に接続される第2の電極を持つ第2のトランジスタと、前記第2の制御信号が入力される制御電極と、前記第1のトランジスタの第2の電極に接続される第1の電極および前記第1のトランジスタの第2の電極に接続される第2の電極を持つ第3のトランジスタとから構成されることを特徴とす

40

50

る半導体集積回路。

【請求項 8】

前記第 1、第 2 および第 3 のトランジスタは、同一のしきい値電圧を有することを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】

前記第 2 の制御信号は前記第 1 の制御信号の反転信号であることを特徴とする請求項 7 記載の半導体集積回路。

【請求項 10】

第 1 の電源電位レベルが供給される第 1 の電源線と、仮想電源線と、前記仮想電源線に接続される論理回路と、前記第 1 の電源線と前記仮想電源線間に設けられ、第 1 の制御信号が入力される制御電極を持つ電力制御用トランジスタと、第 2 の電源電位レベルが供給される第 2 の電源線と、第 1 の制御信号が入力される制御電極と、前記電力制御用トランジスタが形成される基板に接続される第 1 の電極および前記第 2 の電源線に接続される第 2 の電極を持つ第 1 のトランジスタと、前記第 2 の制御信号が入力される制御電極と、前記第 1 の電源線に接続される第 1 の電極および前記基板に接続される第 2 の電極を持つ第 2 のトランジスタと、前記第 2 の制御信号が入力される制御電極と、前記基板に接続される第 1 の電極および前記第 2 の電源線に接続される第 2 の電極を持つ第 3 のトランジスタとから構成されることを特徴とする半導体集積回路。

10

【請求項 11】

前記第 1、第 2 および第 3 のトランジスタは、同一のしきい値電圧を有することを特徴とする請求項 10 記載の半導体集積回路。

20

【請求項 12】

前記第 2 の制御信号は前記第 1 の制御信号の反転信号であることを特徴とする請求項 10 記載の半導体集積回路。

【請求項 13】

第 1 の電源電位レベルが供給される第 1 の電源線と、第 2 の電源電位レベルが供給される第 2 の電源線と、第 1 の仮想電源線と、第 2 の仮想電源線と、前記第 1、第 2 の仮想電源線間に接続される論理回路と、前記第 1 の電源線と前記第 1 の仮想電源線間に設けられ、第 1 の制御信号が入力される制御電極を持つ第 1 の電力制御用トランジスタと、前記第 2 の電源線と前記第 2 の仮想電源線間に設けられ、第 2 の制御信号が入力される制御ゲートを持つ第 2 の電力制御用トランジスタと、第 3 の電源電位レベルが供給される第 3 の電源線と、第 4 の電源電位レベルが供給される第 4 の電源線と、第 1 の制御信号が入力される制御電極と、前記第 1 の電力制御用トランジスタが形成される第 1 導電型基板に接続される第 1 の電極および前記第 3 の電源線に接続される第 2 の電極を持つ第 1 のトランジスタと、前記第 2 の制御信号が入力される制御電極と、前記第 1 の電源線に接続される第 1 の電極および前記第 1 導電型基板に接続される第 2 の電極を持つ第 2 のトランジスタと、前記第 2 の制御信号が入力される制御電極と、前記第 1 導電型基板に接続される第 1 の電極および前記第 3 の電源線に接続される第 2 の電極を持つ第 3 のトランジスタと、第 2 の制御信号が入力される制御電極と、前記第 1 の電力制御用トランジスタが形成される第 1 導電型基板に接続される第 1 の電極および前記第 4 の電源線に接続される第 2 の電極を持つ第 4 のトランジスタと、前記第 1 の制御信号が入力される制御電極と、前記第 4 の電源線に接続される第 1 の電極および前記第 2 導電型基板に接続される第 2 の電極を持つ第 5 のトランジスタと、前記第 1 の制御信号が入力される制御電極と、前記第 2 導電型基板に接続される第 1 の電極および前記第 2 の電源線に接続される第 2 の電極を持つ第 6 のトランジスタとから構成されることを特徴とする半導体集積回路。

30

40

【請求項 14】

前記第 1、第 2、第 3、第 4、第 5 および第 6 のトランジスタは、同一のしきい値電圧を有することを特徴とする請求項 13 記載の半導体集積回路。

【請求項 15】

前記第 2 の制御信号は前記第 1 の制御信号の反転信号であることを特徴とする請求項 1

50

3 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に係わり、特にMOSトランジスタを含む半導体集積回路においてアクティブ時には低電源電圧での動作が可能であり、かつ、スタンバイ時にはリーク電流に起因する消費電力を少なくすることを実現する半導体集積回路に関するものである。

【0002】

【従来の技術】

近年、LSIの高集積化あるいは高性能化が進むにつれ、その消費電力をいかに低減するかが重要な課題となってきた。特に、CMOS型LSIでは、消費電力が電源電圧の2乗に正比例するため電源電圧を下げることは低消費電力化に最も有効な方法であるといえる。しかし、電源電圧を下げるということはMOSトランジスタの動作速度を低下させてしまう。これを避けるために、アクティブ時のしきい値電圧を低下させる必要があるが、しきい値電圧の低下はスタンバイ時におけるMOSトランジスタのリーク電流増加につながる。このような課題を解消するLSIとして提案されているのが、MTCMOS (Multithreshold-Voltage CMOS) である。MTCMOSについては、例えば、論文：「1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS (IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL. 30, NO. 8, AUGUST 1995)」等に紹介されている。

【0003】

このようなMTCMOSは一般的に、仮想電源線と仮想グランド線間に接続され、低しきい値電圧を有するMOSトランジスタからなる論理回路と、スタンバイ時におけるMOSトランジスタのリーク電流を低減するために電源線と仮想電源線間およびグランド線と仮想グランド線間に接続される高しきい値電圧を有するスタンバイ電力制御用MOSトランジスタとから構成される。

【0004】

【発明が解決しようとする課題】

しかしながら、上述したMTCMOSのように、スタンバイ時におけるリーク電流を低減するために用いるスタンバイ電力制御用MOSトランジスタのしきい値電圧を十分に高く設定していることから、アクティブ時において、仮想電源線V_{VDD}あるいは仮想グランド線V_{GND}に対して十分な電流供給が行われず、その結果、MTCMOSは、高速な論理動作を実現することができないという不都合が生じていた。

【0005】

【課題を解決するための手段】

上記の課題を解決するために、本発明の半導体集積回路は、第1の電源電位レベルが供給される第1の電源線と、仮想電源線と、前記仮想電源線に接続される論理回路と、前記第1の電源線と前記仮想電源線間に設けられ、第1の制御信号が入力される制御電極を持つ電力制御用トランジスタと、第2の電源電位レベルが供給される第2の電源線と、前記電力制御用トランジスタが形成される基板、前記第1の電源線および前記第2の電源線に接続される基板電位制御回路とを備え、前記基板電位制御回路は、前記第1の電源線に共通接続される制御電極および第1の電極と、前記基板に接続される第2の電極を持つ第1のトランジスタと、第2の制御信号が入力される制御電極と、前記第1の電源線に接続される第1の電極および前記基板に接続される第2の電極を持つ第2のトランジスタと、前記第2の制御信号が入力される制御電極と、前記第2の電源線に接続される第1の電極および前記基板に接続される第2の電極を持つ第3のトランジスタとから構成される。

【0006】

【発明の実施の形態】

第1の実施形態

10

20

30

40

50

図1は、本発明の第1の実施形態を示す回路図であり、図2は、本発明の第1の実施形態の動作を説明する波形図である。

図1に示すMTCMOSは、仮想電源線VVDと仮想グランド線VGN間に接続される論理回路10、11と、電源線VDと仮想電源線VVD間に接続されスタンバイ電力制御信号SPにより制御される高しきい値電圧を有するスタンバイ電力制御用PMOSTランジスタQ1と、仮想グランド線VGNとグランド線GN間に接続されスタンバイ電力制御信号SPの反転信号であるスタンバイ電力制御信号SNにより制御される高しきい値電圧を有するスタンバイ電力制御用NMOSTランジスタQ2とで構成されており、さらに、スタンバイ電力制御用PMOSTランジスタQ1が形成される第1導電型基板BPと電源線VDとグランド線GNとに接続される第1の基板電位制御回路12と、スタンバイ電力制御用NMOSTランジスタQ2が形成される第2導電型基板BNと電源線VDとグランド線GNとに接続される第2の基板電位制御回路13とを備えたものである。

10

【0007】

論理回路10はPMOSTランジスタQ3、Q4、NMOSTランジスタQ5、Q6からなる2入力NAND回路で構成され、論理回路11はPMOSTランジスタQ7、NMOSTランジスタQ8からなるインバータ回路で構成されている。さらに、論理回路10、11を構成するトランジスタQ3～Q8は、スタンバイ電力制御用MOSTランジスタQ1、Q2より低いしきい値電圧を有するMOSTランジスタである。この結果、論理回路10、11は、アクティブ時には1V程度の低い電源電圧での動作が可能となる。

20

【0008】

第1の基板電位制御回路12は、第1導電型基板BPに接続されるソース電極と電源線VDに共通接続されるゲート電極およびドレイン電極を持つNMOSTランジスタQ9と、スタンバイ電力制御信号SNが入力されるゲート電極と電源線VDに接続されるソース電極と第1導電型基板BPに接続されるドレイン電極を持つPMOSTランジスタQ10と、スタンバイ電力制御信号SNが入力されるゲート電極とグランド線GNに接続されるソース電極と第1導電型基板BPに接続されるドレイン電極を持つNMOSTランジスタQ11とから構成されている。第2の基板電位制御回路13は、第2導電型基板BNに接続されるソース電極とグランド線GNに共通接続されるゲート電極およびドレイン電極を持つPMOSTランジスタQ12と、スタンバイ電力制御信号SPが入力されるゲート電極と電源線VDに接続されるソース電極と第2導電型基板BNに接続されるドレイン電極を持つPMOSTランジスタQ13と、スタンバイ電力制御信号SPが入力されるゲート電極とグランド線GNに接続されるソース電極と第2導電型基板BNに接続されるドレイン電極を持つNMOSTランジスタQ14とから構成されている。ここで用いられるMOSTランジスタQ9およびQ12は、MOSTランジスタQ10、Q11、Q13、Q14より低いしきい値電圧を有する。

30

【0009】

次に、第1の実施形態の動作について図2を併用して説明する。

まず、スタンバイ時には、スタンバイ電力制御信号SPがハイレベルに、その反転信号であるスタンバイ電力制御信号SNがローレベルとなりスタンバイ電力制御用PMOSTランジスタQ1、同NMOSTランジスタQ2はともにオフするため論理回路10、11にはVDレベルおよびGNレベルが供給されない。このとき、スタンバイ電力制御信号SNが入力されるPMOSTランジスタQ10はオンし、NMOSTランジスタQ11はオフする。また、スタンバイ電力制御信号SPが入力されるPMOSTランジスタQ13はオフし、NMOSTランジスタQ14はオンする。これにより、スタンバイ電力制御用PMOSTランジスタQ1が形成される第1導電型基板BPにはVDレベルが供給され、スタンバイ電力制御用NMOSTランジスタQ2が形成される第2導電型基板BNにはGNレベルが供給される。この際のスタンバイ電力制御用PMOSTランジスタQ1およびスタンバイ電力制御用NMOSTランジスタQ2の基板電位はともに0〔V〕である。

40

。

50

【0010】

また、アクティブ時には、スタンバイ電力制御信号SPがローレベルに、その反転信号であるスタンバイ電力制御信号SNがハイレベルとなりスタンバイ電力制御用PMOSトランジスタQ1、同NMOSトランジスタQ2はともにオンし、論理回路10、11にはVDDレベルおよびグランドレベルが供給されるため、論理回路10、11が動作する。このとき、スタンバイ電力制御信号SNが入力されるPMOSトランジスタQ10はオフし、NMOSトランジスタQ11はオンする。また、スタンバイ電力制御信号SPが入力されるPMOSトランジスタQ13はオンし、NMOSトランジスタQ14はオフする。これにより、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPとスタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BN

10

【0011】

したがって、スタンバイ時には、高しきい値電圧を有するスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2により、MOSトランジスタのサブスレッショルド電流からなるリーク電流を低減するとともに、アクティブ時には、スタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2の電流駆動能力を向上することができるため、論理回路10、11は高速動作が可能となる。このことは、図2における論理回路11を構成するインバータ回路の出力波形OUTから確認することができる。図2では、本発明の第1の実施形態におけるインバータ回路の出力波形は点線で示されており、実線で示される従来のインバータ回路の出力波形より高速に反転動作が行われていることが理解できる。

20

【0012】

また、スタンバイ電力制御用PMOSトランジスタQ1のソース電極と第1導電型基板BP間、第2導電型基板BNとスタンバイ電力制御用NMOSトランジスタQ2のソース電極間は、PN接合の順バイアスとなる。一方で、その電圧(バイアス電圧)が物理定数である接合電圧(約0.6~0.9[V])以下であれば、PN接合に流れる電流は極めて小さい。そこで、スタンバイ電力制御用PMOSトランジスタQ1のソース電極と第1導電型基板BP間のPN接合と第2導電型基板BNとスタンバイ電力制御用NMOSトランジスタQ2のソース電極間のPN接合にかかる順バイアスが接合電圧以下になるように設定することにより、これらのPN接合を介した基板へのリーク電流は極めて小さく無視することができる。さらに、スタンバイ時におけるNMOSトランジスタQ9およびPMOSトランジスタQ12のリーク電流については、スタンバイ時にNMOSトランジスタQ11およびPMOSトランジスタQ13がともにオフとなるため、当該リーク電流を遮断

30

40

【0013】

第2の実施形態

図3は、本発明の第2の実施形態を示す回路図であり、図4は、本発明の第2の実施形態の動作を説明する波形図である。なお、図1と同一の構成箇所には、同一符号を付与しており、重複する説明は省略する。この第2の実施形態は、基板電位制御回路の具体的構成およびその動作において第1の実施形態と区別される。図3に示すように、基板電位制御回路32は、電源線VDDとグランド線GND、そして、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPとスタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BNに接続されている。

50

【0014】

さらに、基板電位制御回路32は、スタンバイ電力制御信号SNが入力されるゲート電極と電源線VDDに接続されるソース電極と第1導電型基板BPに接続されるドレイン電極を持つPMOSトランジスタQ31と、スタンバイ電力制御信号SNが入力されるゲート電極と第2導電型基板BNに接続されるソース電極と第1導電型基板BPに接続されるドレイン電極を持つNMOSトランジスタQ32と、スタンバイ電力制御信号SPが入力されるゲート電極とグランド線GNDに接続されるソース電極と第2導電型基板BNに接続されるドレイン電極を持つNMOSトランジスタQ33とから構成されている。基板電位制御回路32を構成しているMOSトランジスタQ31～Q33は、同じしきい値電圧を有する。

10

【0015】

次に、第2の実施形態の動作について図4を併用して説明する。

まず、スタンバイ時には、スタンバイ電力制御信号SPがハイレベルに、その反転信号であるスタンバイ電力制御信号SNがローレベルとなる。したがって、スタンバイ電力制御信号SNが入力されるPMOSトランジスタQ31はオンし、NMOSトランジスタQ32はオフする。また、スタンバイ電力制御信号SPが入力されるNMOSトランジスタQ33はオンする。これにより、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPにはVDDレベルの電位が供給され、スタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BNにはGNDレベルの電位が供給される。この際のスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2の基板電位はともに0〔V〕である。

20

【0016】

また、アクティブ時には、スタンバイ電力制御信号SPがローレベルに、その反転信号であるスタンバイ電力制御信号SNがハイレベルとなるため、PMOSトランジスタQ31およびNMOSトランジスタQ33がオフし、NMOSトランジスタQ32がオンする。これにより、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPとスタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BNには、約 $VDD/2$ にあたるイコライズ電位VEが供給される。この際のスタンバイ電力制御用PMOSトランジスタQ1の基板電位は $-(VDD - VE)$ 〔V〕、スタンバイ電力制御用NMOSトランジスタQ2の基板電位はVE〔V〕であるため、基板バイアス効果により、アクティブ時におけるスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2のしきい値電圧はスタンバイ時よりも小さくなる。

30

【0017】

したがって、スタンバイ時には、高しきい値電圧を有するスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2により、MOSトランジスタのサブスレッショルド電流からなるリーク電流を低減するとともに、アクティブ時には、スタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2の電流駆動能力を向上することができるため、論理回路10、11は高速動作が可能となる。このことは、図4における論理回路11を構成するインバータ回路の出力波形OUTから確認することができる。図4では、本発明の第2の実施形態におけるインバータ回路の出力波形は点線で示されており、実線で示される従来のインバータ回路の出力波形より高速に反転動作が行われていることが理解できる。

40

【0018】

また、イコライズ電位VEについては、スタンバイ電力制御用PMOSトランジスタQ1のソース電極と第1導電型基板BP間のPN接合および第2導電型基板BNとスタンバイ電力制御用NMOSトランジスタQ2のソース電極間のPN接合にかかる順バイアスを先に第1の実施形態で説明した接合電圧以下になるように設定することにより、これらのPN接合を介した基板へのリーク電流は極めて小さく無視することができる。

【0019】

50

第2の実施形態では、第1の実施形態と同様、論理動作の高速化が実現できる。加えて、第1の実施形態においては6個であった基板電位制御回路を構成するMOSトランジスタの数を1/2の3個に削減することができるので、回路面積の削減にもつながる。さらに、本実施形態は、第1の実施形態における第1、第2の基板電位制御回路52、53のようなレシオ回路を持たないためDCパスは形成されず、DC電流の消費も行われないので、消費電力の削減につながる。

【0020】

第3の実施形態

図5は、本発明の第3の実施形態を示す回路図であり、図6は、本発明の第3の実施形態の動作を説明する波形図である。なお、図1および図3と同一の構成箇所には、同一符号を付与しており、重複する説明は省略する。この第3の実施形態は、第1、第2の基板電位制御回路の具体的構成およびその動作において第1、第2の実施形態と区別される。図5に示すように、第1の基板電位制御回路52は、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPと電源線VDDと第3の電源線VDD3とに接続され、第2の基板電位制御回路53は、スタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BNと電源線VDDと第4の電源線VDD4とに接続されている。

10

【0021】

第1の基板電位制御回路52は、スタンバイ電力制御信号SPが入力されるゲート電極と第1導電型基板BPに接続されるソース電極と第3の電源線VDD3に接続されるドレイン電極を持つPMOSトランジスタQ51と、スタンバイ電力制御信号SNが入力されるゲート電極と電源線VDDに接続されるソース電極と第1導電型基板BPに接続されるドレイン電極を持つPMOSトランジスタQ52と、スタンバイ電力制御信号SNが入力されるゲート電極と第3の電源線VDD3に接続されるソース電極と第1導電型基板BPに接続されるドレイン電極を持つNMOSトランジスタQ53とから構成されている。第2の基板電位制御回路53は、スタンバイ電力制御信号SNが入力されるゲート電極と第2導電型基板BNに接続されるソース電極と第4の電源線VDD4に接続されるドレイン電極を持つNMOSトランジスタQ54と、スタンバイ電力制御信号SPが入力されるゲート電極と第4の電源線VDD4に接続されるソース電極と第2導電型基板BNに接続されるドレイン電極を持つPMOSトランジスタQ55と、スタンバイ電力制御信号SPが入力されるゲート電極とグランド線GNDに接続されるソース電極と第2導電型基板BNに接続されるドレイン電極を持つNMOSトランジスタQ56とから構成されている。第1、第2の基板電位制御回路52、53を構成するMOSトランジスタQ51～Q56は、同じしきい値電圧を有する。

20

30

【0022】

次に、第3の実施形態の動作について図6を併用して説明する。

まず、スタンバイ時には、スタンバイ電力制御信号SPがハイレベルに、その反転信号であるスタンバイ電力制御信号SNがローレベルとなる。したがって、スタンバイ電力制御信号SNが入力されるPMOSトランジスタQ52はオンし、NMOSトランジスタQ53、Q54はオフする。また、スタンバイ電力制御信号SPが入力されるPMOSトランジスタQ51、Q55はオフし、NMOSトランジスタQ56はオンする。これにより、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPにはVDDレベルの電位が供給され、スタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BNにはGNDレベルの電位が供給される。この際のスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2の基板電位はともに0〔V〕である。

40

【0023】

また、アクティブ時には、スタンバイ電力制御信号SPがローレベルに、その反転信号であるスタンバイ電力制御信号SNがハイレベルとなる。したがって、スタンバイ電力制御信号SPが入力されるPMOSトランジスタQ51、Q55はオンし、NMOSトランジ

50

スタQ56はオフする。また、スタンバイ電力制御信号SNが入力されるPMOSトランジスタQ52はオフし、NMOSトランジスタQ53、Q54はオンする。これにより、スタンバイ電力制御用PMOSトランジスタQ1が形成される第1導電型基板BPとスタンバイ電力制御用NMOSトランジスタQ2が形成される第2導電型基板BNには、それぞれ、VDD3レベルの電位、VDD4レベルの電位が供給される。この際のスタンバイ電力制御用PMOSトランジスタQ1の基板電位は $-(VDD - VDD3)$ 〔V〕、スタンバイ電力制御用NMOSトランジスタQ2の基板電位はVDD4〔V〕であるため、基板バイアス効果により、アクティブ時におけるスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2のしきい値電圧はスタンバイ時よりも小さくなる。

10

【0024】

したがって、スタンバイ時には、高しきい値電圧を有するスタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2により、MOSトランジスタのサブスレッショルド電流からなるリーク電流を低減するとともに、アクティブ時には、スタンバイ電力制御用PMOSトランジスタQ1およびスタンバイ電力制御用NMOSトランジスタQ2の電流駆動能力を向上することができるため、論理回路10、11は高速動作が可能となる。このことは、図6における論理回路11を構成するインバータ回路の出力波形OUTから確認することができる。図6では、本発明の第3の実施形態におけるインバータ回路の出力波形は点線で示されており、実線で示される従来のインバータ回路の出力波形より高速に反転動作が行われていることが理解できる。

20

【0025】

また、VDD3レベルの電位およびVDD4レベルの電位については、スタンバイ電力制御用PMOSトランジスタQ1のソース電極と第1導電型基板BP間のPN接合および第2導電型基板BNとスタンバイ電力制御用NMOSトランジスタQ2のソース電極間のPN接合にかかる順バイアスを先に第1の実施形態で説明した接合電圧以下になるように設定することにより、これらのPN接合を介した基板へのリーク電流は極めて小さく無視することができる。

【0026】

第3の実施形態では、第1の実施形態と同様、論理動作の高速化が実現できる。加えて、第1の実施形態においては、第1、第2導電型基板に供給される電位が各MOSトランジスタの製造ばらつきにより変動するのに対して、第3の実施形態では、トランジスタの製造ばらつきの影響を受けることなく安定した電位を供給することを可能とする。これは、第3の実施形態の場合、第1、第2導電型基板には外部電源に接続される第3の電源線VDD3および第4の電源線VDD4から電位が供給されるためである。この結果、論理回路10、11の遅延時間のばらつきも低減することができる。

30

【0027】

【発明の効果】

以上詳細に説明したように、本発明によれば、スタンバイ電力制御信号によって制御される基板電位制御回路を設けたことにより、スタンバイ時には、MOSトランジスタのサブスレッショルド電流からなるリーク電流を低減するとともに、アクティブ時には、スタンバイ電力制御用MOSトランジスタの駆動能力を向上することにより論理回路の高速動作を実現することができる。

40

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路図である。

【図2】本発明の第1の実施形態の動作を示す波形図である。

【図3】本発明の第2の実施形態を示す回路図である。

【図4】本発明の第2の実施形態の動作を示す波形図である。

【図5】本発明の第3の実施形態を示す回路図である。

【図6】本発明の第3の実施形態の動作を示す波形図である。

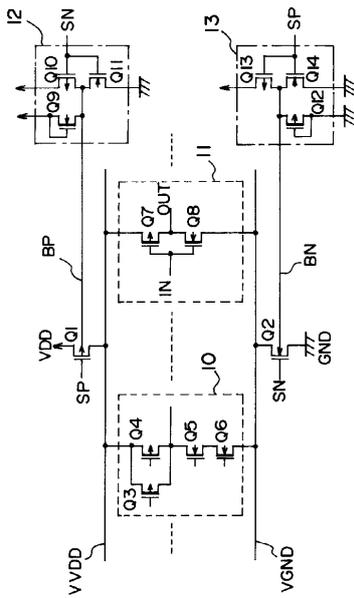
【符号の説明】

50

VDD
 GND
 VVDD
 VGND
 Q1、Q2
 SP、SN
 BP
 BN
 I0、I1
 I2、I3、I32、I52、I53

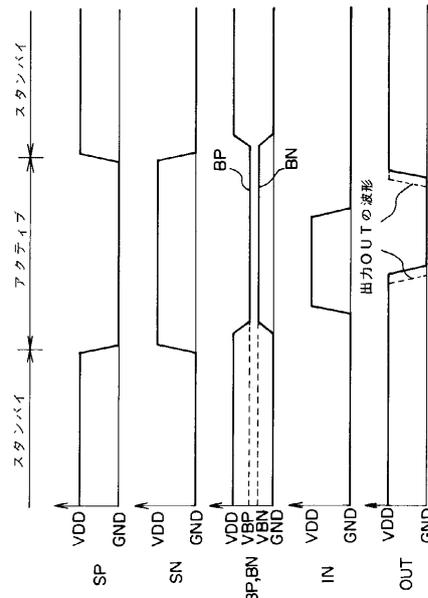
電源線
 グランド線
 仮想電源線
 仮想グランド線
 スタンバイ電力制御用MOSトランジスタ
 スタンバイ電力制御信号
 第1導電型基板
 第2導電型基板
 論理回路
 基板電位制御回路

【図1】



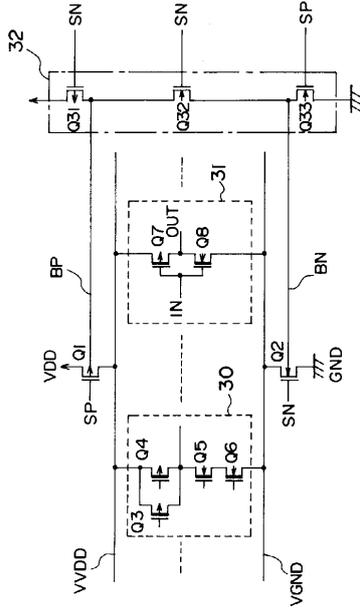
第1の実施形態を示す回路図

【図2】



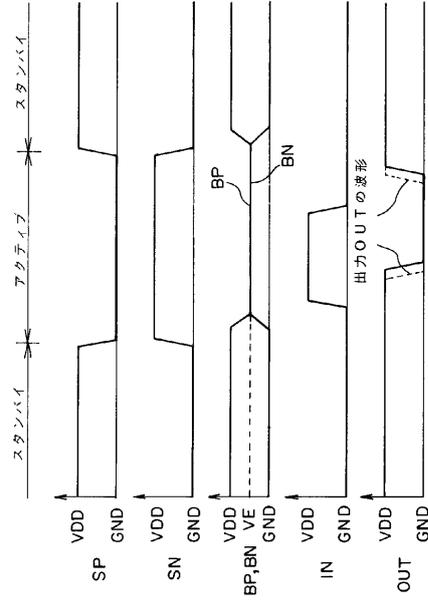
第1の実施形態の動作を示す波形図

【 図 3 】



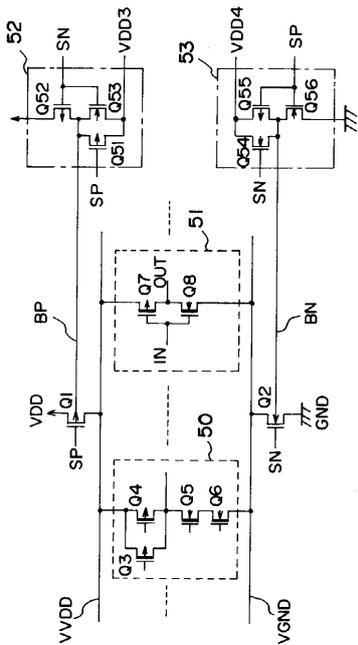
第 2 の実施形態を示す回路図

【 図 4 】



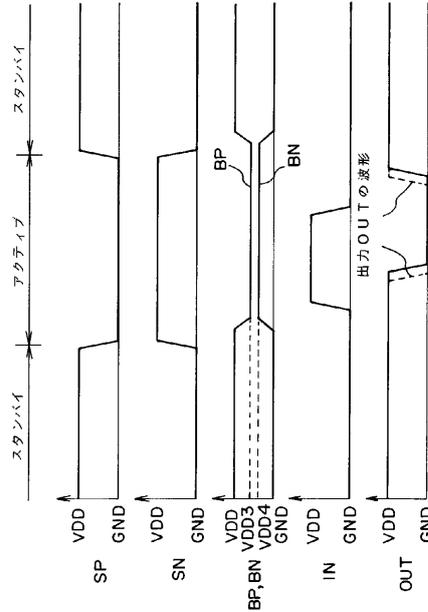
第 2 の実施形態の動作を示す波形図

【 図 5 】



第 3 の実施形態を示す回路図

【 図 6 】



第 3 の実施形態の動作を示す波形図

フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H03K19/00, 19/01-19/082, 19/092-19/096

H01L27/04-27/08