

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-34994
(P2007-34994A)

(43) 公開日 平成19年2月8日(2007.2.8)

(51) Int. Cl.	F I	テーマコード (参考)
G06K 17/00 (2006.01)	G06K 17/00 F	5B058
H04L 29/08 (2006.01)	H04L 13/00 307C	5K034

審査請求 未請求 請求項の数 3 O L (全 22 頁)

(21) 出願番号	特願2005-221645 (P2005-221645)	(71) 出願人	504134520 フェリカネットワークス株式会社 東京都品川区大崎1丁目11番1号
(22) 出願日	平成17年7月29日 (2005.7.29)	(74) 代理人	100082131 弁理士 稲本 義雄
		(72) 発明者	榎本 和義 東京都品川区大崎1丁目11番1号 フェリカネットワークス株式会社内
		(72) 発明者	鈴木 守 東京都品川区大崎1丁目11番1号 フェリカネットワークス株式会社内
		Fターム(参考)	5B058 CA17 KA21 5K034 AA02 DD01 EE03 MM08

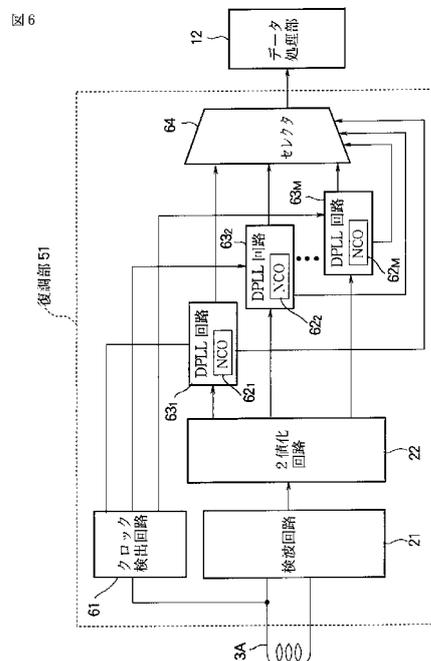
(54) 【発明の名称】 通信装置および通信方法

(57) 【要約】

【課題】 所望の通信速度での近接通信を迅速に行う。

【解決手段】 ICカードの復調部51では、複数のDPPLL回路63₁乃至63_Mにおいて、リーダ/ライタから送信されてくるデータから、複数の通信速度それぞれに対応するデータが抽出されて出力される。そして、セレクタ64では、DPPLL回路63₁乃至63_Mが出力するデータのうちの、リーダ/ライタから送信されてくるデータの通信速度に対応するデータが選択され、リーダ/ライタから送信されてくるデータを処理するデータ処理部12に供給される。本発明は、例えば、ICカードシステムなどに適用できる。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

複数の通信速度のうちのいずれかの通信速度で、近接通信を行う通信装置において、通信相手から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段と、

前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータを選択し、前記通信相手から送信されてくるデータを処理するデータ処理手段に供給する選択手段とを備える通信装置。

【請求項 2】

前記複数のデータ抽出手段それぞれは、さらに、前記通信相手から送信されてくるデータから、所定の同期コードを検知し、前記複数のデータ抽出手段のうちの前記所定の同期コードを検知したデータ抽出手段は、前記所定の同期コードを検知した旨の検知信号を出力し、

前記選択手段は、前記複数のデータ抽出手段のうちの、前記検知信号を出力したデータ抽出手段が出力するデータを選択する

請求項 1 に記載の通信装置。

【請求項 3】

複数の通信速度のうちのいずれかの通信速度で、近接通信を行う通信装置の通信方法において、

通信相手から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段それぞれにおいて前記複数の通信速度それぞれに対応するデータを抽出して出力し、

前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータを選択し、前記通信相手から送信されてくるデータを処理するデータ処理手段に供給する

ステップを含む通信方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、通信装置および通信方法に関し、特に、所望の通信速度での近接通信を迅速に行うことができるようにする通信装置および通信方法に関する。

【背景技術】**【0002】**

近接通信を行うシステムとしては、例えば、IC(Integrated Circuit)カードシステムが広く知られている。ICカードシステムにおいては、リーダ/ライタ(Reader/Writer)が電磁波を発生することにより、いわゆるRF(Radio Frequency)フィールド(磁界)を形成する。そして、リーダ/ライタに、ICカードが近づくと、ICカードは、電磁誘導によって、電源の供給を受けるとともに、リーダ/ライタとの間でデータ伝送を行う。

【0003】

図 1 は、従来の IC カードシステム(システムとは、複数の装置が論理的に集合した物であり、各構成の装置が同一筐体中にあるか否かは、問わない)の一例の構成を示している。

【0004】

図 1 において、IC カードシステムは、ホストコンピュータ 1、リーダ/ライタ 2、および(非接触)IC カード 3 から構成されている。

【0005】

ホストコンピュータ 1 は、リーダ/ライタ 2 を制御する。リーダ/ライタ 2 は、アンテナ 2 A を有し、ホストコンピュータ 1 の制御にしたがい、アンテナ 2 A から電磁波を出力することで、リーダ/ライタ 2 に近接する位置にある IC カード 3 と近接通信を行う。

10

20

30

40

50

【0006】

ICカード3は、アンテナ3A、復調部11、データ処理部12、およびメモリ13から構成されている。

【0007】

アンテナ3Aは、閉ループのコイルを構成しており、リーダ/ライタ2から送信されてくる信号を受信する。即ち、アンテナ3Aが、リーダ/ライタ2に近づくと、リーダ/ライタ2のアンテナ2Aが出力する電磁波による電磁誘導によって、アンテナ2Aに電流が流れる。

【0008】

復調部11は、アンテナ3Aで受信された信号(アンテナ3Aに流れる電流)を、例えば、ASK(Amplitude Shift Keying)復調し、その結果得られる復調データとしての、例えばマンチェスタ符号を、データ処理部12に供給する。即ち、リーダ/ライタ2は、例えば、データをマンチェスタ符号に符号化し、そのマンチェスタ符号によってキャリアをASK変調した信号を送信するようになっており、復調部11は、そのようにしてリーダ/ライタ2から送信されてくる信号をASK復調することで、マンチェスタ符号を得て、データ処理部12に供給する。 10

【0009】

データ処理部12は、復調部11からのマンチェスタ符号を復号し、その結果得られるデータ(コマンドを含む)に基づき、データをメモリ13に記憶させ、あるいは、メモリ13からデータを読み出す等の所定の処理を行う。 20

【0010】

メモリ13は、例えば、不揮発性のメモリで、データ処理部12の制御にしたがい、データを記憶する。

【0011】

以上のように構成されるICカードシステムでは、リーダ/ライタ2は、ホストコンピュータ1の制御にしたがい、アンテナ2Aから電磁波を出力することで、ポーリングのためのポーリングコマンドを送信している。

【0012】

そして、ICカード3が、リーダ/ライタ2と近接した状態となると、リーダ/ライタ2のアンテナ2Aから出力されている電磁波による電磁誘導によって、ICカード3のアンテナ3Aに電流が流れる。アンテナ3Aに電流が流れると、ICカード3では、図示せぬ電源回路が、アンテナ3Aに流れる電流から電源を得て、ICカード3を構成する必要なブロックに供給する。これにより、ICカード3は、動作することが可能な状態となる。 30

【0013】

そして、アンテナ3Aに流れる電流としての信号は、復調部11においてASK復調され、その結果得られるマンチェスタ符号が、データ処理部12に供給される。データ処理部12は、復調部11からのマンチェスタ符号を復号し、その結果得られるデータを処理する。

【0014】

なお、データ処理部12は、例えば、データをメモリ13に記憶させる処理、メモリ13からデータを読み出す処理、マンチェスタ符号の符号化処理と復号処理、その他の各種の処理を行う。 40

【0015】

また、ICカード3からリーダ/ライタ2にデータが送信される場合には、ICカードにおいて、リーダ/ライタ2に送信するデータ(を符号化したマンチェスタ符号)にしたがい、リーダ/ライタ2側から、ICカード3のアンテナ3Aを見たときのインピーダンスを変化させる負荷変調が行われる。

【0016】

次に、図2は、図1の復調部11の構成例を示している。

【0017】

復調部 1 1 は、検波回路 2 1、2 値化回路 2 2、および DPLL(Digital Phase Lock Loop)回路 2 3 から構成されている。

【 0 0 1 8 】

検波回路 2 1 は、アンテナ 3 A に流れる電流を検波、即ち、ASK復調し、その結果得られる信号を、2 値化回路 2 2 に供給する。

【 0 0 1 9 】

2 値化回路 2 2 は、検波回路 2 1 からの信号を 2 値化することにより、2 値化データとしての、例えばマンチェスタ符号を得て、DPLL回路 2 3 に供給する。

【 0 0 2 0 】

DPLL回路 2 3 は、リーダ/ライタ 2 から送信されてくるデータの通信速度(伝送レート)に対応したクロックを生成し、そのクロックに同期して、2 値化回路 2 2 からのマンチェスタ符号を抽出(捕捉)して、その結果得られる、リーダ/ライタ 2 から送信されてきたデータの通信速度に対応するデータを、クロックとともに、データ処理部 1 2 (図 1) に供給する。

10

【 0 0 2 1 】

ここで、データ処理部 1 2 は、DPLL回路 2 3 から供給されるクロックに同期して動作し、DPLL回路 2 3 から供給されるデータの処理等を行う。

【 0 0 2 2 】

以上のような IC カードシステムにおいて、リーダ/ライタ 2 と IC カード 3 とは、以前は、ある固定の通信速度で通信を行うようになっていたが、最近では、通信速度を変更することが可能となっている。

20

【 0 0 2 3 】

図 3 および図 4 を参照して、リーダ/ライタ 2 と IC カード 3 とが通信速度を変更して行う通信の処理について説明する。

【 0 0 2 4 】

リーダ/ライタ 2 は、図 3 のステップ S 1 において、ポーリングのためのポーリングコマンドを、あらかじめ定められた通信速度である X[bps(bit per seconds)]で送信している。

【 0 0 2 5 】

IC カード 3 は、X[bps]の通信速度で通信を開始するように設定されており、リーダ/ライタ 2 に近接すると、ステップ S 1 1 において、リーダ/ライタ 2 が X[bps]の通信速度で送信しているポーリングコマンドを受信する。

30

【 0 0 2 6 】

IC カード 3 は、X[bps]の通信速度で送信されたポーリングコマンドを受信すると、ステップ S 1 2 において、X[bps]の通信速度での通信が可能であることを表すメッセージ ACK(acknowledge)を、X[bps]の通信速度で送信し、リーダ/ライタ 2 は、ステップ S 2 において、IC カード 3 からのメッセージ ACKを受信する。

【 0 0 2 7 】

メッセージ ACKを受信したリーダ/ライタ 2 は、ステップ S 3 において、通信速度を X[bps]から、その X[bps]とは異なる Y[bps]に変更することを指示するメッセージを、X[bps]の通信速度で送信し、IC カード 3 は、ステップ S 1 3 において、リーダ/ライタ 2 からの、通信速度を変更することを指示するメッセージを受信する。

40

【 0 0 2 8 】

IC カード 3 は、Y[bps]の通信速度での通信が可能であれば、ステップ S 1 4 において、通信速度の変更が可能であることを表すメッセージ ACKを、X[bps]の通信速度で送信し、リーダ/ライタ 2 は、ステップ S 4 において、IC カード 3 からのメッセージ ACKを受信する。

【 0 0 2 9 】

その後、リーダ/ライタ 2 と IC カード 3 は、通信速度を X[bps]から Y[bps]に変更する処理を行い、リーダ/ライタ 2 は、ステップ S 5 において、ポーリングコマンドを、変更後

50

の通信速度である Y [bps]で送信する。ICカード3は、ステップS15において、リーダー/ライター2が Y [bps]の通信速度で送信したポーリングコマンドを受信し、ステップS16において、 Y [bps]の通信速度での通信が可能であることを表すメッセージACKを、 Y [bps]の通信速度で送信する。

【0030】

リーダー/ライター2は、ステップS6において、ICカード3からのメッセージACKを受信し、その後、リーダー/ライター2とICカード3とは、 Y [bps]の通信速度で通信（必要なデータの変換）を行う。

【0031】

以上のように、リーダー/ライター2において、ステップS1乃至S6の処理が行われるとともに、ICカード3において、ステップS11乃至S16の処理が行われ、その後、リーダー/ライター2とICカード3とは、 Y [bps]の通信速度でのデータのやりとりを行うことが可能となる。

10

【0032】

従って、リーダー/ライター2とICカード3とにおいては、通信を開始するときの通信速度 X [bps]をあらかじめ定めおく必要がある。さらに、リーダー/ライター2とICカード3とにおいて、あらかじめ定められた通信速度 X [bps]以外の通信速度 Y [bps]で通信を行うには、あらかじめ定められた通信速度 X [bps]で通信を開始してから、通信速度を Y [bps]に変更する必要がある、通信速度 Y [bps]での通信が可能となるまでに、ある程度の時間を要する。

【0033】

そして、リーダー/ライター2とICカード3とにおいて、あらかじめ定められた通信速度 X [bps]以外の通信速度 Y [bps]で通信を行う場合、通信速度を X [bps]から Y [bps]に変更する手続中に通信エラー（通信不良）が生じると、図4に示すように、通信速度 X [bps]で通信を開始してから、通信速度 Y [bps]での通信が可能となるまでに、さらに時間を要することになる。

20

【0034】

即ち、図4においては、リーダー/ライター2は、ステップS21において、図3のステップS1と同様に、ポーリングコマンドを、あらかじめ定められた X [bps]の通信速度で送信し、ICカード3は、ステップS31において、リーダー/ライター2が X [bps]の通信速度で送信しているポーリングコマンドを受信する。

30

【0035】

ICカード3は、 X [bps]の通信速度で送信されたポーリングコマンドを受信すると、ステップS32において、 X [bps]の通信速度での通信が可能であることを表すメッセージACKを、 X [bps]の通信速度で送信し、リーダー/ライター2は、ステップS22において、ICカード3からのメッセージACKを受信する。

【0036】

メッセージACKを受信したリーダー/ライター2は、ステップS23において、通信速度を X [bps]から、その X [bps]とは異なる Y [bps]に変更することを指示するメッセージを、 X [bps]の通信速度で送信し、ICカード3は、ステップS33において、リーダー/ライター2からの、通信速度を変更することを指示するメッセージを受信する。

40

【0037】

ICカード3は、 Y [bps]の通信速度での通信が可能であれば、ステップS34において、通信速度の変更が可能であることを表すメッセージACKを、 X [bps]の通信速度で送信し、リーダー/ライター2は、ステップS24において、ICカード3からのメッセージACKを受信する。

【0038】

ここで、例えば、リーダー/ライター2による、ステップS23の、通信速度を変更することを指示するメッセージの送信中に通信エラーが生じた場合、ICカード3は、ステップS33において、リーダー/ライター2からのメッセージを正常に受信することができない。

【0039】

50

また、例えば、ICカード3による、ステップS34のメッセージACKの送信中に通信エラーが生じた場合、リーダ/ライタ2は、ステップS24において、ICカード3からのメッセージACKを正常に受信することができない。

【0040】

いずれにしても、リーダ/ライタ2は、通信速度の変更が可能であることを表すメッセージACKを得ることができなため、ステップS25において、再び、ポーリングコマンドを、あらかじめ定められたX[bps]の通信速度で送信し、ICカード3は、ステップS35において、リーダ/ライタ2がX[bps]の通信速度で送信したポーリングコマンドを受信する。

【0041】

ICカード3は、X[bps]の通信速度で送信されたポーリングコマンドを受信すると、ステップS36において、X[bps]の通信速度での通信が可能であることを表すメッセージACKを、X[bps]の通信速度で送信し、リーダ/ライタ2は、ステップS26において、ICカード3からのメッセージACKを受信する。

【0042】

メッセージACKを受信したリーダ/ライタ2は、ステップS27において、通信速度をX[bps]から、そのX[bps]とは異なるY[bps]に変更することを指示するメッセージを、X[bps]の通信速度で送信し、ICカード3は、ステップS37において、リーダ/ライタ2からの、通信速度を変更することを指示するメッセージを受信する。

【0043】

ICカード3は、Y[bps]の通信速度での通信が可能であれば、ステップS38において、通信速度の変更が可能であることを表すメッセージACKを、X[bps]の通信速度で送信し、リーダ/ライタ2は、ステップS28において、ICカード3からのメッセージACKを受信する。

【0044】

その後、リーダ/ライタ2とICカード3は、通信速度をX[bps]からY[bps]に変更する処理を行い、リーダ/ライタ2は、ステップS29において、ポーリングコマンドを、変更後の通信速度であるY[bps]で送信する。ICカード3は、ステップS39において、リーダ/ライタ2がY[bps]の通信速度で送信したポーリングコマンドを受信し、ステップS40において、Y[bps]の通信速度での通信が可能であることを表すメッセージACKを、Y[bps]の通信速度で送信する。

【0045】

リーダ/ライタ2は、ステップS30において、ICカード3からのメッセージACKを受信し、その後、リーダ/ライタ2とICカード3とは、Y[bps]の通信速度で通信を行う。

【0046】

以上のように、通信エラーが生じると、リーダ/ライタ2は、ポーリングコマンドを、あらかじめ定められたX[bps]の通信速度で送信することから処理をやり直すため、通信速度X[bps]で通信を開始してから、通信速度Y[bps]での通信が可能となるまでに、さらに時間を要することになる。

【0047】

なお、特許文献1には、データ伝送の物理層特性を規定する伝送制御パラメータと、端末装置からの活性化要求に応答するための応答データとを記憶手段に記憶させておき、活性化要求に対して、記憶手段に記憶された応答データを、同じく記憶手段に記憶された伝送制御パラメータに基づく伝送速度で送信するICカードが開示されている。

【0048】

【特許文献1】特許第3009075号

【発明の開示】

【発明が解決しようとする課題】

【0049】

近年、ICカードシステムの普及が進んでおり、これに伴い、様々な通信速度での通信が

10

20

30

40

50

可能なICカードやリーダー/ライターが登場することが予想される。また、今後は、通信時間の短縮等のために、通信速度がより高速のICカードやリーダー/ライターが登場することが予想される。

【0050】

しかしながら、図3や図4で説明したように、高速な通信速度での通信を行うのに、まず最初に、あらかじめ定められた通信速度X[bps]で通信を開始し、その後、通信速度を変更するのでは、高速な通信速度での通信を開始するのに時間を要することになり、ある短い時間内にすべての処理が終了することが重要なアプリケーション、即ち、例えば、駅の自動改札機などに、ICカードシステムを適用することが困難となる。

【0051】

本発明は、このような状況に鑑みてなされたものであり、所望の通信速度での近接通信を迅速に行うことができるようにするものである。

【課題を解決するための手段】

【0052】

本発明の一側面の通信装置は、複数の通信速度のうちいずれかの通信速度で、近接通信を行う通信装置において、通信相手から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段と、前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータを選択し、前記通信相手から送信されてくるデータを処理するデータ処理手段に供給する選択手段とを備える。

【0053】

本発明の一側面の通信方法は、複数の通信速度のうちいずれかの通信速度で、近接通信を行う通信装置の通信方法において、通信相手から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段それぞれにおいて前記複数の通信速度それぞれに対応するデータを抽出して出力し、前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータを選択し、前記通信相手から送信されてくるデータを処理するデータ処理手段に供給するステップを含む。

【0054】

上記一側面の通信装置または通信方法においては、通信相手から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段それぞれにおいて前記複数の通信速度それぞれに対応するデータが抽出されて出力される。そして、前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータが選択され、前記通信相手から送信されてくるデータを処理するデータ処理手段に供給される。

【発明の効果】

【0055】

本発明によれば、近接通信を行うことができ、特に、所望の通信速度での近接通信を迅速に行うことができる。

【発明を実施するための最良の形態】

【0056】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、発明の詳細な説明に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、発明の詳細な説明に記載されていることを確認するためのものである。従って、発明の詳細な説明中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

10

20

30

40

50

【0057】

本発明の一側面の通信装置は、

複数の通信速度のうちいずれかの通信速度で、近接通信を行う通信装置（例えば、図5のICカード3）において、

通信相手（例えば、図5のリーダー/ライター2）から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段（例えば、図6のDPLL回路63₁、63₂、・・・、63_M）と、

前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータを選択し、前記通信相手から送信されてくるデータを処理するデータ処理手段（例えば、図5のデータ処理部12）に供給する選択手段（例えば、図6のセレクタ64）と

を備える。

10

【0058】

本発明の一側面の通信方法は、

複数の通信速度のうちいずれかの通信速度で、近接通信を行う通信装置（例えば、図5のICカード3）の通信方法において、

通信相手（例えば、図5のリーダー/ライター2）から送信されてくるデータから、前記複数の通信速度それぞれに対応するデータを抽出して出力する複数のデータ抽出手段（例えば、図6のDPLL回路63₁、63₂、・・・、63_M）それぞれにおいて前記複数の通信速度それぞれに対応するデータを抽出して出力し（例えば、図9のステップS41）、

20

前記複数のデータ抽出手段が出力するデータのうちの、前記通信相手から送信されてくるデータの通信速度に対応するデータを選択し、前記通信相手から送信されてくるデータを処理するデータ処理手段（例えば、図5のデータ処理部12）に供給する（例えば、図10のステップS52₁、S52₂、・・・、S52_M）

ステップを含む。

【0059】

以下、図面を参照して、本発明の実施の形態について説明する。

【0060】

図5は、本発明を適用したICカードシステムの一実施の形態の構成例を示している。なお、図中、図1のICカードシステムと対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

30

【0061】

図5のICカードシステムは、ホストコンピュータ1、リーダー/ライター2、およびICカード3を備える点で、図1のICカードシステムと共通する。さらに、図5のICカードシステムでは、ICカード3が、データ処理部12とメモリ13を備える点で、図1のICカード3と共通する。但し、図5のICカードシステムでは、ICカード3が、復調部11に代えて、復調部51を備える点で、図1のICカード3と相違する。

【0062】

図6は、図5の復調部51の構成例を示している。なお、図中、図2の復調部11と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

40

【0063】

図6の復調部51は、検波回路21および2値化回路22を備える点で、図2の復調部11と共通するが、DPLL回路23に代えて、複数であるM個のDPLL回路63₁、63₂、・・・、63_Mが設けられ、かつ、クロック検出回路61およびセレクタ64が新たに設けられている点で、図2の復調部11と相違する。なお、図6において、M個のDPLL回路63₁、63₂、・・・、63_Mは、それぞれ、NCO(Number Control Oscillator)62₁、62₂、・・・、62_Mを内蔵している。

【0064】

クロック検出回路61は、リーダー/ライター2から信号（電磁波）が送信されてくること

50

によりアンテナ 3 A に流れる電流（信号）から、リーダ/ライタ 2 からの信号のキャリアの周波数のクロックを生成し、DPLL回路 6 3₁乃至 6 3_Mそれぞれが内蔵するNC0 6 2₁乃至 6 2_Mに供給する。例えば、ソニー株式会社が開発したFeLiCa（ソニー株式会社の登録商標）と呼ばれる技術方式では、リーダ/ライタ 2 からの信号のキャリアの周波数は、13.56MHzである。

【0065】

ここで、以下、適宜、クロック検出回路 6 1 が生成するクロックを、システムクロックという。

【0066】

DPLL回路 6 3_mが内蔵するNC0 6 2_m（ $m=1, 2, \dots, M$ ）は、クロック検出回路 6 1 から供給されるシステムクロックを m/N の分周比で分周し、その結果得られるクロックを、DPLL回路 6 3_m 内部に出力する。ここで、分周比 m/N の分母 N は整数である。また、以下、適宜、NC0 6 2_m が出力するクロックを、基準クロックという。

10

【0067】

DPLL回路 6 3_mには、2 値化回路 2 2 から 2 値化データ（例えば、マンチェスタ符号）が供給される。DPLL回路 6 3_mは、2 値化回路 2 2 からの 2 値化データと、NC0 6 2_m が出力する基準クロックとに基づき、2 値化回路 2 2 の出力から 2 値化データを抽出する（捕捉する）ためのクロックとしてのデータクロックを生成し、2 値化データとともに、セクタ 6 4 に出力する。

【0068】

即ち、DPLL回路 6 3_mは、2 値化回路 2 2 からの 2 値化データと、DPLL回路 6 3_m自身が出力するデータクロックとの位相差を検出し、その位相差に応じて、NC0 6 2_mで基準クロックの位相を調整する。さらに、DPLL回路 6 3_mは、その位相の調整後の基準クロックを、データクロックとして、そのデータクロックに同期して、2 値化回路 2 2 からの 2 値化データを捕捉することにより、データクロックに対応するデータ（2 値化データ）を抽出する。

20

【0069】

ここで、ICカードシステムでは、ほとんどの場合、データの通信速度の通倍（整数倍）がキャリアの周波数となる値が、データの通信速度として採用される。そこで、図 5 の IC カードシステムにおいても、データの通信速度の通倍がキャリアの周波数となる値が、データの通信速度として採用されていることとして、図 6 の実施の形態では、NC0 6 2_mにおいて、キャリアの周波数のシステムクロックを分周することにより、データの通信速度に対応する基準クロックを得て、さらに、DPLL回路 6 3_mにおいて、NC0 6 2_mで得られた基準クロックを用いて、データの通信速度に対応するデータクロックを生成するようになっている。

30

【0070】

例えば、いま、キャリアの周波数が、上述したように13.56MHzであり、NC0 6 2_mの分周比 m/N の分母が 6 4 であるとすると、DPLL回路 6 3₁は、約211kbps（212kbps）13.56MHz/64の通信速度のデータにロックするDPLL回路となる。また、DPLL回路 6 3₂は、約424kbps 13.56MHz × 2/64の通信速度のデータにロックするDPLL回路となる。以下、同様に、DPLL回路 6 3_mは、13.56MHz × $m/64$ の通信速度のデータにロックするDPLL回路となる。

40

【0071】

DPLL回路 6 3_mは、上述したように、NC0 6 2_mが出力する基準クロックから得られるデータクロックに同期して抽出された 2 値化データ（データクロック（に対応する通信速度）に対応する 2 値化データ）を出力する他、さらに、その 2 値化データから、所定の同期コードを検知して、検知信号を出力する。即ち、リーダ/ライタ 2 から送信されてくるデータには、SYNCコードと呼ばれる、同期をとるのに用いられる同期コードが含まれている。DPLL回路 6 3_mは、自身が生成（出力）するデータクロックに同期して抽出した 2 値化データを参照してSYNCコードを検知し、SYNCコードを検知することができた場合には、その旨を表す検知信号を、セクタ 6 4 に供給する。

50

【 0 0 7 2 】

セクタ 6 4 は、DPLL回路 6 3₁乃至DPLL回路 6 3_Mのうちの、ICカード 3 の通信相手であるリーダ/ライタ 2 から送信されてくるデータの通信速度に対応するDPLL回路 6 3_mが出力するデータクロックと、そのDPLL回路 6 3_mが出力する 2 値化データとを選択し、データ処理部 1 2 に供給する。

【 0 0 7 3 】

即ち、セクタ 6 4 は、DPLL回路 6 3₁乃至DPLL回路 6 3_Mのうちの、検知信号をセクタ 6 4 に供給したDPLL回路 6 3_mが出力するデータクロックおよび 2 値化データを選択し、データ処理部 1 2 に供給する。

【 0 0 7 4 】

次に、リーダ/ライタ 2 とICカード 3 との間では、フレームと呼ばれる単位で、データがやりとりされる。

【 0 0 7 5 】

図 7 は、フレームのフォーマットの例を示している。

【 0 0 7 6 】

フレームは、その先頭から、プリアンブルフィールド、同期フィールド、ペイロードフィールド、CRC(Cyclic Redundancy Checking)フィールドが順次配置されて構成される。

【 0 0 7 7 】

プリアンブルフィールドは、例えば、6 バイトの0x00がプリアンブルとして配置される。なお、0xは、その後続く値が 1 6 進数であることを表す。

【 0 0 7 8 】

同期フィールドには、例えば、2 バイトの0xB24Dまたは0x4DB2がSYNCコードとして配置される。

【 0 0 7 9 】

ペイロードフィールドには、ペイロードとしての実データ(コマンドを含む)が配置される(含まれる)。

【 0 0 8 0 】

CRCフィールドには、例えば、ペイロードフィールドに配置されたペイロードに対して計算されたCRCコードが配置される。

【 0 0 8 1 】

次に、図 8 を参照して、図 5 のICカードシステムの動作について説明する。

【 0 0 8 2 】

図 5 のICカードシステムにおいては、例えば、ホストコンピュータ 1 に、リーダ/ライタ 2 とICカード 3 との間の通信の通信速度が設定されており、ホストコンピュータ 1 は、その通信速度で、ポーリングコマンドを送信するように、リーダ/ライタ 2 を制御する。

【 0 0 8 3 】

従って、例えば、ホストコンピュータ 1 に、X[bps]の通信速度が設定されている場合、ホストコンピュータ 1 は、ポーリングコマンドを、通信速度X[bps]で送信するように、リーダ/ライタ 2 を制御し、これにより、リーダ/ライタ 2 は、図 8 のステップ S 6 1 において、ポーリングコマンドを図 7 のペイロードフィールドに含めたフレームを、通信速度 X[bps]で送信する。

【 0 0 8 4 】

ポーリングコマンドを含むフレームを送信しているリーダ/ライタ 2 に対して、ICカード 3 が近接すると、ICカード 3 は、ステップ S 7 1 において、リーダ/ライタ 2 がX[bps]の通信速度で送信しているポーリングコマンドを含むフレームを受信する。

【 0 0 8 5 】

ICカード 3 は、X[bps]の通信速度で送信されたポーリングコマンドを含むフレームを受信すると、ステップ S 7 2 において、X[bps]の通信速度での通信が可能であることを表すメッセージACKを図 7 のペイロードに含むフレームを、X[bps]の通信速度で送信する。

【 0 0 8 6 】

10

20

30

40

50

リーダ/ライタ 2 は、ステップ S 6 2 において、ICカード 3 からのメッセージ ACK を含むフレームを受信し、その後、リーダ/ライタ 2 と ICカード 3 とは、 $X[\text{bps}]$ の通信速度で通信を行う。

【 0 0 8 7 】

次に、図 9 および図 10 を参照して、図 5 の ICカード 3 の動作について説明する。

【 0 0 8 8 】

ICカード 3 がリーダ/ライタ 2 と近接した状態となると、リーダ/ライタ 2 のアンテナ 2 A から出力されている電磁波による電磁誘導によって、ICカード 3 のアンテナ 3 A に電流が流れる。アンテナ 3 A に電流が流れると、ICカード 3 では、図示せぬ電源回路が、アンテナ 3 A に流れる電流から電源を得て、ICカード 3 を構成する必要なブロックに供給する。これにより、ICカード 3 は、動作することが可能な状態となる。

10

【 0 0 8 9 】

ICカード 3 が動作することが可能な状態となると、復調部 5 1 (図 6) において、クロック検出回路 6 1 は、アンテナ 3 A に流れる電流 (信号) から、リーダ/ライタ 2 からの信号のキャリアの周波数のシステムクロックを生成し、 M 個の DPLL 6 3₁ 乃至 6 3_M に供給する。

【 0 0 9 0 】

DPLL 6 3_m 内の NC0 6 2_m は、クロック検出回路 6 1 から供給されるシステムクロックを m/N の分周比で分周し、その結果得られる基準クロック (システムクロックを m/N の分周比で分周したクロック) を、DPLL 回路 6 3_m 内部に出力する。

20

【 0 0 9 1 】

一方、復調部 5 1 (図 6) において、検波回路 2 1 は、アンテナ 3 A に流れる電流 (信号) を検波し、その結果得られる信号を、2 値化回路 2 2 に供給する。2 値化回路 2 2 は、検波回路 2 1 からの信号を 2 値化することにより、2 値化データとしての、例えばマンチェスタ符号を得て、DPLL 回路 6 3₁ 乃至 6 3_M に供給する。

【 0 0 9 2 】

DPLL 回路 6 3_m は、以上のように、NC0 6 2_m による基準クロックの出力と、2 値化回路 2 2 からの 2 値化データの供給とが開始されると、動作を開始する。

【 0 0 9 3 】

即ち、DPLL 回路 6 3_m は、図 9 のフローチャートに示すように、まず最初に、ステップ S 4 1 において、2 値化回路 2 2 からの 2 値化データと、NC0 6 2_m からの基準クロックとに基づくデータクロックの生成と、そのデータクロックに同期した 2 値化データの抽出を開始する。

30

【 0 0 9 4 】

即ち、DPLL 回路 6 3_m は、2 値化回路 2 2 からの 2 値化データと、DPLL 回路 6 3_m 自身が出力するデータクロックとの位相差を検出し、その位相差が 0 になるように、NC0 6 2_m からの基準クロックの位相を調整する。さらに、DPLL 回路 6 3_m は、その位相の調整後の基準クロックを、データクロックとして、そのデータクロックに同期して、2 値化回路 2 2 の出力からデータクロックに同期した 2 値化データを抽出し、データクロックとともにセレクタ 6 4 に出力する。

40

【 0 0 9 5 】

そして、ステップ S 4 1 からステップ S 4 2 に進み、DPLL 回路 6 3_m は、2 値化回路 2 2 の出力から抽出した 2 値化データから、SYNC コードを検知 (捕捉) したかどうかを判定する。即ち、ステップ S 4 1 でデータクロックの生成と 2 値化データの抽出 (捕捉) を開始した DPLL 回路 6 3_m は、ステップ S 4 2 において、その 2 値化データに、SYNC コードが存在するかどうかを判定する。

【 0 0 9 6 】

ステップ S 4 2 において、SYNC コードが検知されていないと判定された場合、ステップ S 4 3 をスキップして、ステップ S 4 2 に戻る。

【 0 0 9 7 】

50

また、ステップ S 4 2 において、SYNCコードが検知されたと判定された場合、即ち、DPLL回路 6 3_m が生成しているデータクロックが、リーダー/ライター 2 から送信されてきたデータの通信速度に対応し（一致し）、これにより、そのデータクロックに同期して抽出（サンプリング）された 2 値化データから、SYNCコードを捕捉することができた場合、ステップ S 4 3 に進み、DPLL回路 6 3_m は、SYNCコードが検知されたことを表す検知信号を、セレクタ 6 4 に出力して、ステップ S 4 2 に戻る。

【0098】

次に、図 10 のフローチャートを参照して、ICカード 3 の復調部 5 1（図 6）を構成するセレクタ 6 4 の動作と、データ処理部 1 2 の動作とについて説明する。

【0099】

なお、以下、適宜、DPLL回路 6 3_m が出力するデータクロックを、データクロック R_m と記載する。

【0100】

セレクタ 6 4 は、ステップ S 5 1₁ において、DPLL回路 6 3₁ から検知信号の供給を受けたかどうか、即ち、DPLL回路 6 3₁ において SYNCコードが検知されたかどうかを判定する。ステップ S 5 1₁ において、DPLL回路 6 3₁ から検知信号の供給を受けたと判定された場合、ステップ S 5 2₁ に進み、セレクタ 4 は、DPLL回路 6 3₁ が出力するデータクロック R₁ と 2 値化データとを選択し、データ処理部 1 2 に供給して、ステップ S 5 3 に進む。

【0101】

また、ステップ S 5 1₁ において、DPLL回路 6 3₁ から検知信号の供給を受けていないと判定された場合、ステップ S 5 1₂ に進み、セレクタ 6 4 は、DPLL回路 6 3₂ から検知信号の供給を受けたかどうか、即ち、DPLL回路 6 3₂ において SYNCコードが検知されたかどうかを判定する。ステップ S 5 1₂ において、DPLL回路 6 3₂ から検知信号の供給を受けたと判定された場合、ステップ S 5 2₂ に進み、セレクタ 4 は、DPLL回路 6 3₂ が出力するデータクロック R₂ と 2 値化データとを選択し、データ処理部 1 2 に供給して、ステップ S 5 3 に進む。

【0102】

以下、同様にして、セレクタ 6 4 は、ステップ S 5 1_m において、DPLL回路 6 3_m から検知信号の供給を受けたかどうかを判定し、DPLL回路 6 3_m から検知信号の供給を受けていないと判定した場合、ステップ S 5 1_{m+1} に進み、DPLL回路 6 3_{m+1} から検知信号の供給を受けたかどうかを判定することを繰り返す。そして、ステップ S 5 1_m において、DPLL回路 6 3_m から検知信号の供給を受けていないと判定された場合、ステップ S 5 1₁ に戻り、以下、同様の処理が繰り返される。

【0103】

一方、ステップ S 5 1_m において、DPLL回路 6 3_m から検知信号の供給を受けたと判定された場合、ステップ S 5 2_m に進み、セレクタ 6 4 は、DPLL回路 6 3_m が出力するデータクロック R_m と 2 値化データとを選択し、データ処理部 1 2 に供給して、ステップ S 5 3 に進む。

【0104】

ステップ S 5 3 では、データ処理部 1 2 は、セレクタ 6 4 から供給されるデータクロック R_m、即ち、リーダー/ライター 2 の通信速度に対応するデータクロックに同期して動作し、セレクタ 6 4 から供給される 2 値化データの復号（例えば、マンチェスタ符号の復号）等の処理を行って、ステップ S 5 1₁ に戻る。

【0105】

以上のように、ICカード 3 の復調部 5 1 では、複数の DPLL回路 6 3₁ 乃至 6 3_m において、リーダー/ライター 2 から送信されてくるデータから、複数の通信速度それぞれに対応する 2 値化データ（データクロック R₁ 乃至 R_m それぞれに同期した 2 値化データ）を抽出して出力し、セレクタ 6 4 において、DPLL回路 6 3₁ 乃至 6 3_m が出力する 2 値化データのうちの、リーダー/ライター 2 から送信されてくるデータの通信速度に対応する 2 値化データ（リーダー/ライター 2 から送信されてくるデータの通信速度に対応するデータクロックに同期して

10

20

30

40

50

抽出された2値化データ)を選択し、リーダ/ライタ2から送信されてくるデータを処理するデータ処理部12に供給するので、あらかじめ設定された通信速度で通信を開始し、その後、通信速度を、所望の通信速度に変更するといった手順を経ずに、所望の通信速度での近接通信を迅速に行う(即座に開始する)ことができる。

【0106】

即ち、例えば、図8の実施の形態では、ホストコンピュータ1に、X[bps]の通信速度が設定されており、ホストコンピュータ1が、リーダ/ライタ2を制御することにより、リーダ/ライタ2とICカード3との間で、通信速度がX[bps]での通信を開始することとしたが、リーダ/ライタ2とICカード3との間では、X[bps]の他、X[bps]と異なるY[bps]の通信速度で通信を開始することが可能である。

10

【0107】

具体的には、例えば、ホストコンピュータ1に、X[bps]と異なるY[bps]の通信速度が設定されている場合、ホストコンピュータ1は、ポーリングコマンドを、通信速度Y[bps]で送信するように、リーダ/ライタ2を制御する。

【0108】

この場合、リーダ/ライタ2とICカード3の間では、図11に示すように、通信が行われる。

【0109】

即ち、リーダ/ライタ2は、ステップS81において、ポーリングコマンドを図7のペイロードフィールドに含めたフレームを、通信速度Y[bps]で送信する。

20

【0110】

ポーリングコマンドを含むフレームを送信しているリーダ/ライタ2に対して、ICカード3が近接すると、ICカード3は、ステップS91において、リーダ/ライタ2がY[bps]の通信速度で送信しているポーリングコマンドを含むフレームを受信する。即ち、ICカード3の復調部51(図6)では、セクタ64が、通信速度Y[bps]に対応するデータクロック R_m に同期して2値化データを抽出しているDPLL回路63_mが出力する2値化データを選択して、データ処理部12に供給するので、ICカード3では、リーダ/ライタ2がY[bps]の通信速度で送信してくるポーリングコマンドを正常に処理することができる。

【0111】

ICカード3は、Y[bps]の通信速度で送信されたポーリングコマンドを含むフレームを受信すると、ステップS92において、Y[bps]の通信速度での通信が可能であることを表すメッセージACKを図7のペイロードに含むフレームを、Y[bps]の通信速度で送信する。

30

【0112】

リーダ/ライタ2は、ステップS82において、ICカード3からのメッセージACKを含むフレームを受信し、その後、リーダ/ライタ2とICカード3とは、Y[bps]の通信速度で通信を行う。

【0113】

以上のように、図5のICカードシステムによれば、所望の通信速度での近接通信を即座に開始することができるので、例えば、ある短い時間内にすべての処理が終了することが重要な、駅の自動改札機などのアプリケーションに容易に適用することができる。

40

【0114】

次に、図12は、図5のICカード3を構成する復調部51の他の構成例を示している。なお、図中、図6の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0115】

図12の復調部51は、基本的には、図6の復調部51と同様に構成されている。但し、図12の復調部51には、検知信号出力端子71₁および71₂、データ出力端子72₁および72₂、検知信号入力端子73₁、73₂、73₃、および73₄、並びに、データ入力端子74₁、74₂、74₃、および74₄が、外部に露出する形で、新たに設けられている。

50

【0116】

なお、図12では、図が煩雑になるのを避けるために、 $M=2$ としてある。

【0117】

検知信号出力端子 71_m には、DPLL回路 63_m が出力する検知信号が供給されるようになっている。データ出力端子 72_m には、DPLL回路 63_m が出力するデータクロック R_m と2値化データが供給されるようになっている。

【0118】

検知信号入力端子 73_1 乃至 73_4 と、データ入力端子 74_1 乃至 74_4 とは、セレクタ64に接続されている。検知信号入力端子 73_1 乃至 73_4 には、外部から検知信号を入力することができ、データ入力端子 74_1 乃至 74_4 には、外部からデータクロックと2値化データを入力することができるようになっている。

10

【0119】

そして、図12では、セレクタ64は、復調部51が内蔵するDPLL回路 63_1 と 63_2 それぞれが出力する2値化データ等の他、さらに、外部からデータ入力端子 74_1 乃至 74_4 それぞれを介して入力される2値化データ等を選択の対象として、それらの2値化データ等の中から、1つの2値化データ等を選択して、データ処理部12に供給するようになっている。

【0120】

即ち、セレクタ64は、復調部51が内蔵するDPLL回路 63_m から検知信号の供給を受けた場合、そのDPLL回路 63_m が出力するデータクロック R_m と2値化データを選択して、データ処理部12に供給する。

20

【0121】

また、セレクタ64は、外部から検知信号入力端子 73_i ($i=1,2,3,4$)を介して検知信号の供給を受けた場合、外部からデータ入力端子 74_i を介して入力されるデータクロックと2値化データを選択して、データ処理部12に供給する。

【0122】

従って、図12の復調部51によれば、復調部51自身で得られたデータクロックと2値化データのみならず、他の復調部で得られたデータクロックと2値化データを、データ処理部12に供給して処理させることができる。

【0123】

即ち、図12において、他の復調部である復調部91は、復調部51と同様に構成されており、アンテナ3Aに対応するアンテナ90、検知信号出力端子 71_1 と 71_2 に対応する検知信号出力端子 81_1 と 81_2 、データ出力端子 72_1 と 72_2 に対応するデータ出力端子 82_1 と 82_2 、検知信号入力端子 73_1 、 73_2 、 73_3 、 73_4 に対応する検知信号入力端子 83_1 、 83_2 、 83_3 、 83_4 、データ入力端子 74_1 、 74_2 、 74_3 、 74_4 に対応するデータ入力端子 84_1 、 84_2 、 84_3 、 84_4 を有している。

30

【0124】

いま、図12において点線で示すように、復調部91の検知信号出力端子 81_1 を、復調部51の検知信号入力端子 73_1 に、復調部91の検知信号出力端子 81_2 を、復調部51の検知信号入力端子 73_2 に、それぞれ接続するとともに、復調部91のデータ出力端子 82_1 を、復調部51のデータ入力端子 74_1 に、復調部91のデータ出力端子 82_2 を、復調部51のデータ入力端子 74_2 に、それぞれ接続した場合、セレクタ64には、復調部51が内蔵するDPLL回路 63_1 が出力するデータクロック R_1 および2値化データと、復調部51が内蔵するDPLL回路 63_2 が出力するデータクロック R_2 および2値化データとが供給されるとともに、復調部91からも、DPLL回路 63_1 と同様に構成されるDPLL回路(図示せず)が出力するデータクロック R_1 および2値化データと、DPLL回路 63_2 と同様に構成されるDPLL回路(図示せず)が出力するデータクロック R_2 および2値化データとが供給される。

40

【0125】

即ち、セレクタ64には、4セットのデータクロックおよび2値化データが供給される

50

。

【0126】

そして、セレクタ64は、4セットのデータクロックおよび2値化データのうちの、検知信号の供給があったデータクロックおよび2値化データを選択して、データ処理部12に供給する。

【0127】

即ち、セレクタ64は、復調部51が内蔵するDPLL回路63₁から検知信号の供給があった場合、そのDPLL回路63₁が出力するデータクロックR₁および2値化データを選択し、また、復調部51が内蔵するDPLL回路63₂から検知信号の供給があった場合、そのDPLL回路63₂が出力するデータクロックR₂および2値化データを選択する。さらに、セレクタ64は、復調部91の、DPLL回路63₁と同様に構成されるDPLL回路から検知信号の供給があった場合、そのDPLL回路が出力するデータクロックR₁および2値化データを選択し、また、復調部91の、DPLL回路63₂と同様に構成されるDPLL回路から検知信号の供給があった場合、そのDPLL回路が出力するデータクロックR₂および2値化データを選択する

10

。

【0128】

ここで、復調部91は、上述したように、復調部51と同様に構成されるので、アンテナ3Aと90とで同一の電磁波を受信したとしたならば、復調部51と91とでは、同一のデータクロックと2値化データを得ることができる。従って、復調部51のセレクタ64において、復調部51自身で得られたデータクロックおよび2値化データと、復調部91で得られたデータクロックおよび2値化データを対象として、データ処理部12に供給するデータクロックと2値化データを選択することにより、いわゆるダイバシティ受信を実現することができる。

20

【0129】

即ち、近年においては、携帯電話機の高機能化が進み、ICカードの機能を内蔵する携帯電話機が普及しつつある。携帯電話機は、大雑把には、略平板形状をしているが、そのような平板形状の携帯電話機に、ICカードの機能を内蔵させる場合、一般に、平板形状の広い面内に、アンテナが設けられる。

【0130】

例えば、復調部51（ひいては、データ処理部12およびメモリ13も）を1チップのICチップで構成し、携帯電話機に内蔵させた場合、携帯電話機の、アンテナ3Aが設けられた面をリーダ/ライタ2に向けて、携帯電話機がリーダ/ライタ2に近づけられたときには、リーダ/ライタ2が出力する電磁波による電磁誘導によってアンテナ3Aに電流が流れるので、ICチップは、リーダ/ライタ2との間で通信を行うことができる。

30

【0131】

一方、携帯電話機の、アンテナ3Aが設けられた面と対向する面をリーダ/ライタ2に向けて、携帯電話機がリーダ/ライタ2に近づけられたときには、携帯電話機が有する多数の金属部品等の導電性がある部品によって、リーダ/ライタ2が出力する電磁波がシールドされ、その結果、アンテナ3Aに電磁誘導による電流が（ほとんど）流れず、ICチップは、リーダ/ライタ2との間で通信を行うことができなくなることが生じうる。

40

【0132】

そこで、携帯電話機に、さらに、復調部91としてのICチップを内蔵させ、そのアンテナ90を、アンテナ3Aが設けられた面に対向する面に設けるようにする。この場合、携帯電話機の、アンテナ3Aが設けられた面と対向する面をリーダ/ライタ2に向けて、携帯電話機がリーダ/ライタ2に近づけられたときには、その面に設けられたアンテナ90に、リーダ/ライタ2が出力する電磁波による電磁誘導によって電流が流れ、その結果、ICチップは、リーダ/ライタ2との間で通信を行うことができる。

【0133】

即ち、携帯電話機の、アンテナ3Aが設けられた面をリーダ/ライタ2に向けて、携帯電話機がリーダ/ライタ2に近づけられたときには、復調部51においてデータクロック

50

と2値化データを得ることができ、データ処理部12は、復調部51において得られた2値化データの処理を行うことができる。一方、携帯電話機の、アンテナ3Aが設けられた面と対向する面、つまり、アンテナ90が設けられた面をリーダ/ライタ2に向けて、携帯電話機がリーダ/ライタ2に近づけられたときには、復調部91においてデータクロックと2値化データを得ることができ、データ処理部12は、復調部91において得られた2値化データの処理を行うことができる。

【0134】

なお、図12の実施の形態では、復調部51には(復調部91も同様)、復調部91の他、復調部51と同様に構成されるもう1つの他の復調部で得られるデータクロックと2値化データを入力することができるようになっており、即ち、最大で、2つの復調部を接続し、その2つの復調部のそれぞれで得られるデータクロックと2値化データを入力することができるようになっており、その中から、データ処理部12に供給するデータクロックと2値化データを選択することができるようになっている。

10

【0135】

但し、復調部51に接続する復調部の数は、2つに限定されるものではなく、3以上にすることが可能である。

【0136】

また、携帯電話機には、復調部51と91の両方ではなく、復調部51のみを内蔵させ、復調部51のアンテナ3Aを、平板形状の携帯電話機の、広い第1の面と、その第1の面に対向する第2の面とに引き回すようにすることで、第1の面と第2の面のいずれの面がリーダ/ライタ2に向けられても、リーダ/ライタ2と携帯電話機との間で近接通信を行うことが可能とすることができる。しかしながら、アンテナ3Aを流れる信号(電流)はアナログ信号であるから、アンテナ3Aを第1と第2の2つの面に引き回すにあたっては、いわばシビアな設計が要求される。

20

【0137】

これに対して、携帯電話機に、復調部51と91の両方を設け、復調部51と復調部91とを接続して、復調部91で得られるデータクロックと2値化データを、復調部51に供給する場合には、復調部51のアンテナ3Aを第1の面に設けるとともに、復調部91のアンテナ90を第2の面に設ければ良いので、上述の、アンテナ3Aを第1の面と第2の面の両方に引き回す場合に比較して、それほどシビアな設計は要求されない。さらに、復調部91から復調部51に供給されるデータクロックと2値化データは、デジタル信号であるから、復調部91から復調部51に対してデータクロックと2値化データを供給するための配線の引き回しにも、それほどシビアな設計は要求されない。

30

【0138】

次に、図13は、図5のICカード3を構成する復調部51のさらに他の構成例を示している。なお、図中、図6の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0139】

図13の復調部51は、検波回路21、2値化回路22、およびクロック検出回路61を備える点で、図6の復調部51と共通するが、M個のDPLL回路63₁乃至63_Mとセレクタ64に代えて、1つのDPLL回路101が設けられている点で、図6の復調部51と相違する。

40

【0140】

DPLL回路101は、M個のNC062₁乃至62_Mとセレクタ102を内蔵しており、NC062₁乃至62_Mそれぞれが出力する基準クロックの中からセレクタ102で選択された基準クロックと、2値化回路22が出力する2値化データとに基づき、データクロックを生成するとともに、そのデータクロックに同期して、2値化回路22の出力から2値化データを抽出して、データクロックとともに、データ処理部12に供給する

【0141】

即ち、セレクタ102には、NC062₁乃至62_Mそれぞれから基準クロックが供給され

50

るようになっている。セレクタ 102 は、 $NC062_1$ 乃至 62_M の中から 1 つの $NC062_m$ を選択し、その $NC062_m$ が出力する、データクロックとなる基準クロックを出力する。そして、DPLL回路 101 は、2 値化回路 22 からの 2 値化データと、DPLL回路 101 自身が出力するデータクロックとの位相差を検出し、その位相差に応じて、セレクタ 102 で選択された $NC062_m$ が出力する基準クロックの位相を調整する。さらに、DPLL回路 101 は、その位相の調整後の基準クロックを、データクロックとして、そのデータクロックに同期して、2 値化回路 22 の出力から 2 値化データを抽出し、データクロックとともに、データ処理部 12 に出力する。

【0142】

図 13 の復調部 51 が、図 5 の ICカード 3 に採用される場合、リーダー/ライター 2 では、ポーリングコマンドをペイロードに含むフレームだけについては、図 7 のフォーマットのフレームに代えて、図 14 のフォーマットのフレームが採用される。

10

【0143】

ここで、図 7 のフレームでは、1 セットのプリアンブルフィールドと同期フィールドが設けられているのに対して、図 14 のフレームでは、 $NC062_1$ 乃至 62_M の数に等しい M セットのプリアンブルフィールドと同期フィールドが設けられている。

【0144】

図 13 の復調部 51 において、セレクタ 102 は、2 値化回路 22 が出力する 2 値化データとしての図 14 のフレームにおける M セットのプリアンブルフィールドと同期フィールドのうちの、 m セット目のプリアンブルフィールドと同期フィールドが DPLL回路 102

20

に供給されるタイミングで、 $NC062_m$ が出力する基準クロックを選択する。

【0145】

そして、DPLL回路 101 は、セレクタ 102 が選択した $NC062_m$ からの基準クロックの位相を調整して得られるデータクロック R_m に同期して、2 値化回路 22 の出力から 2 値化データを抽出し、その 2 値化データを対象として、同期フィールドの SYNC コードの検知を行う。

【0146】

DPLL回路 101 において、 $NC062_m$ からの基準クロックを用いて得たデータクロック R_m に同期して抽出された 2 値化データから、SYNC コードを検知することができなかった場合、セレクタ 102 は、2 値化回路 22 が出力する 2 値化データとしての図 14 のフレーム

30

における M セットのプリアンブルフィールドと同期フィールドのうちの、 $m+1$ セット目のプリアンブルフィールドと同期フィールドが DPLL回路 102 に供給されるのを待って、 $NC062_{m+1}$ が出力する基準クロックを選択し、以下、同様の処理を行う。

【0147】

一方、DPLL回路 101 において、 $NC062_m$ からの基準クロックを用いて得たデータクロック R_m に同期して抽出された 2 値化データから、SYNC コードを検知（捕捉）することができた場合、即ち、 $NC062_m$ からの基準クロックを用いて得たデータクロック R_m が、リーダー/ライター 2 からのデータの通信速度に対応したデータクロックである場合、DPLL回路 101 は、 $NC062_m$ からの基準クロックを用いて得たデータクロック R_m と、そのデータクロック R_m に同期して抽出された 2 値化データとの、データ処理部 12 への出力を開始する。

40

【0148】

この場合、データ処理部 12 は、DPLL回路 101 から供給されるデータクロック R_m 、即ち、リーダー/ライター 2 の通信速度に対応するデータクロック R_m に同期して動作し、DPLL回路 101 から供給される 2 値化データの復号（例えば、マンチェスタ符号の復号）等の処理を行う。

【0149】

従って、図 14 の復調部 51 を有する ICカード 3 であっても、リーダー/ライター 2 から送信されてくるデータの通信速度での近接通信を迅速に行う（即座に開始する）ことができる。

【0150】

50

ここで、本明細書においてフローチャートを参照して説明した処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、必要に応じて、並列的あるいは個別に実行することが可能である。

【0151】

また、本実施の形態では、本発明をICカードシステムに適用した場合について説明したが、本発明は、その他、例えば、ICカードの機能を有するICチップその他の近接通信を行う装置に適用可能である。

【0152】

さらに、本実施の形態では、変調方式として、ASKを採用したが、変調方式は、ASKに限定されるものではなく、例えば、PSK(Phase Shift Keying)変調やQAM(Quadrature Amplitude Modulation)変調その他であっても良い。

【0153】

また、データを符号化する符号も、マンチェスタ符号に限定されるものではなく、その他、例えば、モディファイドミラーや、NRZ(Non Return to Zero)等であっても良い。

【0154】

さらに、キャリアの周波数も、13.56MHzに限定されるものではない。

【0155】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0156】

【図1】従来のICカードシステムの一例の構成を示す図である。

【図2】変調部11の構成例を示すブロック図である。

【図3】従来のICカードシステムの動作を説明する図である。

【図4】従来のICカードシステムの動作を説明する図である。

【図5】本発明を適用したICカードシステムの一実施の形態の構成例を示す図である。

【図6】復調部51の構成例を示すブロック図である。

【図7】フレームのフォーマットの例を示す図である。

【図8】ICカードシステムの動作を説明する図である。

【図9】DPLL回路63_mの動作を説明するフローチャートである。

【図10】セクタ64とデータ処理装置12の動作を説明するフローチャートである。

【図11】ICカードシステムの動作を説明する図である。

【図12】復調部51の他の構成例を示すブロック図である。

【図13】復調部51のさらに他の構成例を示すブロック図である。

【図14】フレームのフォーマットの例を示す図である。

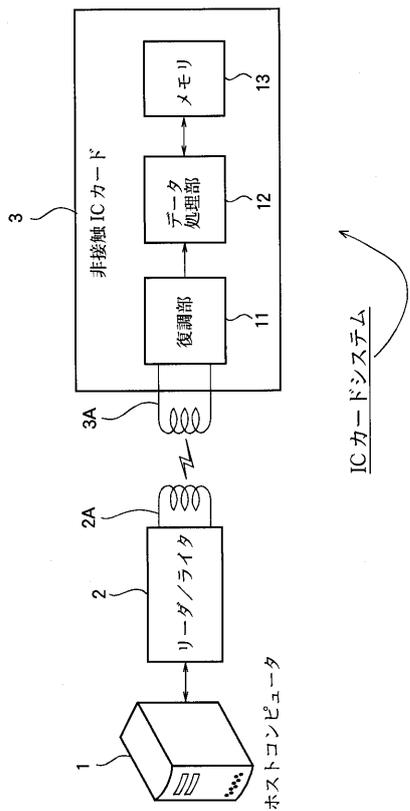
【符号の説明】

【0157】

1 ホストコンピュータ, 2 リーダ/ライター, 2A アンテナ, 3 ICカード, 3A アンテナ, 12 データ処理部, 13 メモリ, 21 検波回路, 22 値化回路, 61 クロック検出回路, 62₁乃至62_m NCO, 63₁乃至63_m DPLL回路, 64 セクタ

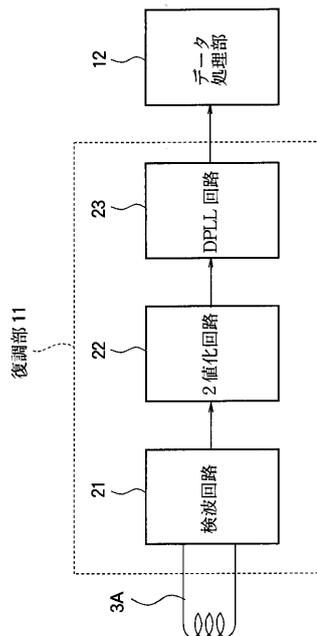
【 図 1 】

図 1



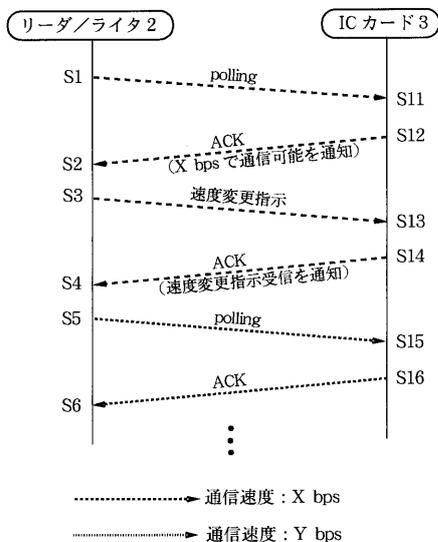
【 図 2 】

図 2



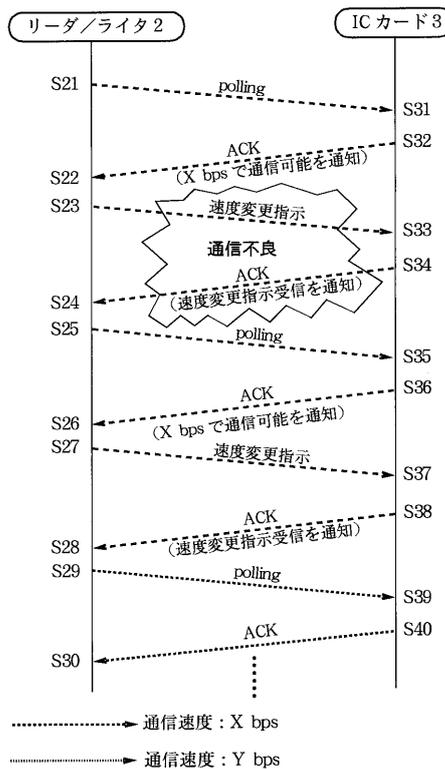
【 図 3 】

図 3



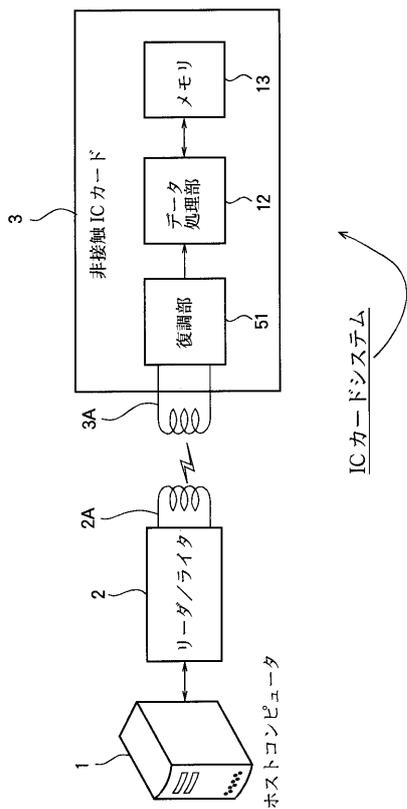
【 図 4 】

図 4



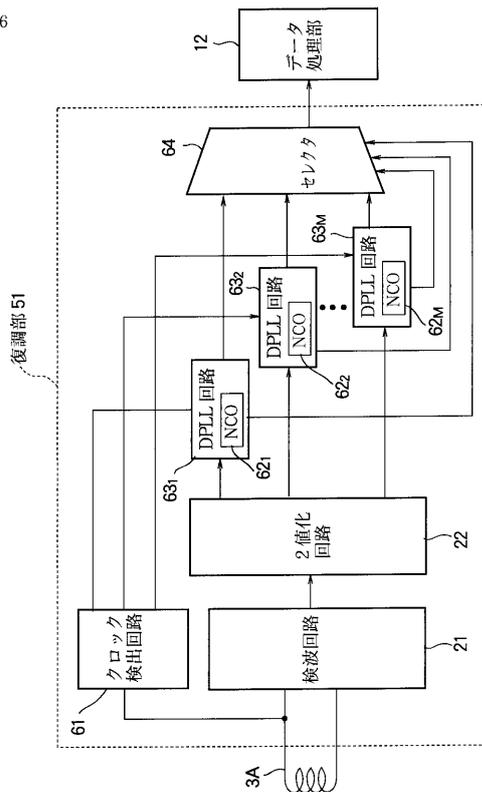
【 図 5 】

図 5



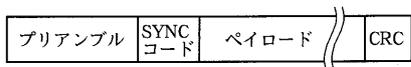
【 図 6 】

図 6



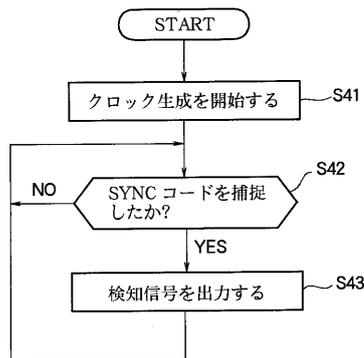
【 図 7 】

図 7



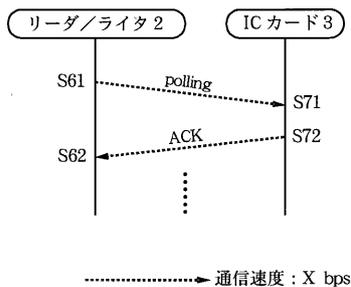
【 図 9 】

図 9



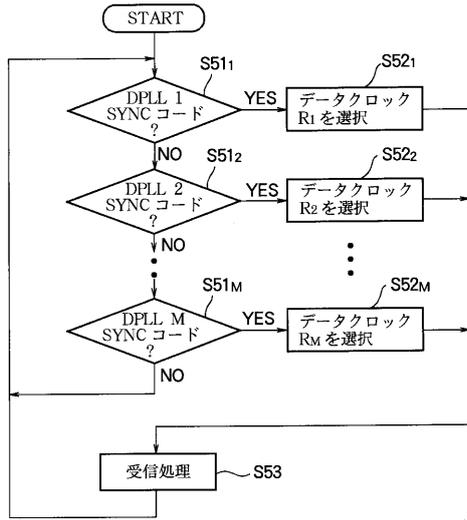
【 図 8 】

図 8



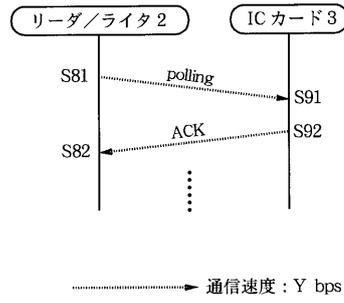
【 図 1 0 】

図 10



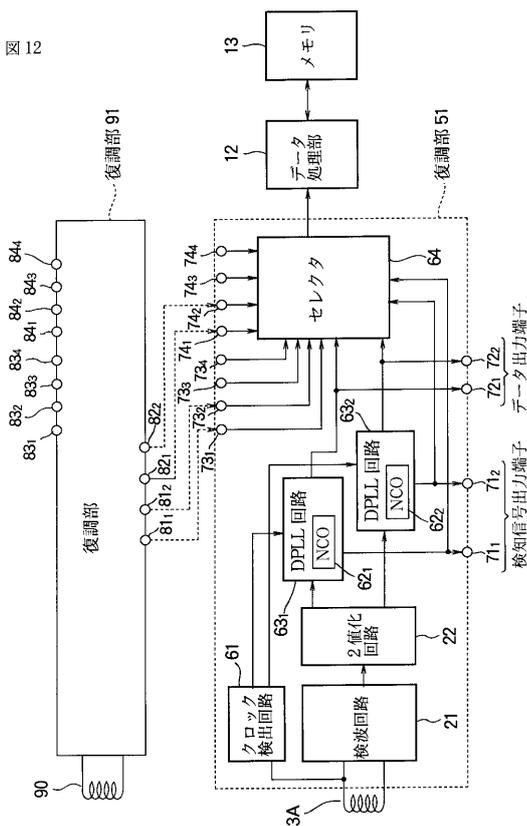
【 図 1 1 】

図 11



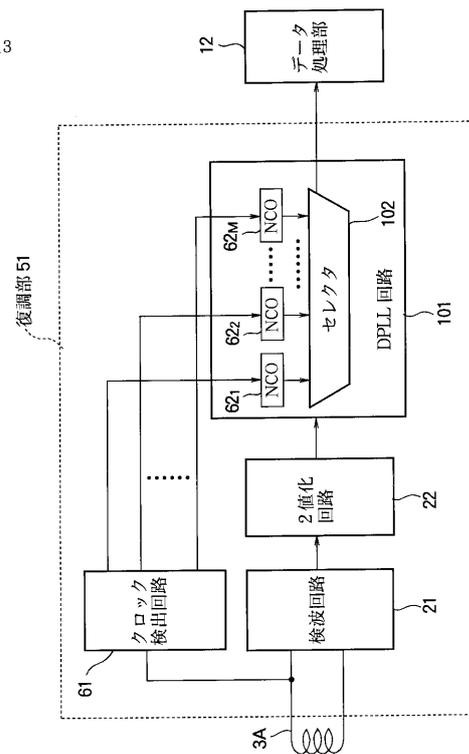
【 図 1 2 】

図 12



【 図 1 3 】

図 13



【 図 1 4 】

図 14

