



(12)发明专利申请

(10)申请公布号 CN 108511346 A
(43)申请公布日 2018.09.07

(21)申请号 201810178625.5

(22)申请日 2018.03.05

(71)申请人 上海华虹宏力半导体制造有限公司
地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 许昭昭 钱文生

(74)专利代理机构 上海浦一知识产权代理有限
公司 31211
代理人 郭四华

(51) Int. Cl.
H01L 21/336(2006.01)

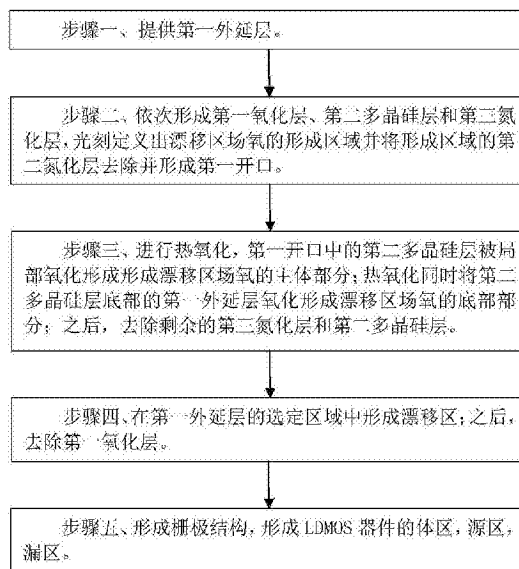
权利要求书2页 说明书6页 附图5页

(54)发明名称

LDMOS器件的制造方法

(57)摘要

本发明公开了一种LDMOS器件的制造方法，包括步骤：步骤一、提供第一外延层；步骤二、依次形成第一氧化层、第二多晶硅层和第三氮化层，光刻定义出漂移区场氧的形成区域并将形成区域的第二氮化层去除并形成第一开口；步骤三、进行热氧化，第一开口中的第二多晶硅层被局部氧化形成形成漂移区场氧的主体部分；热氧化同时将第二多晶硅层底部的第一外延层氧化形成漂移区场氧的底部部分；之后，去除剩余的第三氮化层和第二多晶硅层；步骤四、在第一外延层的选定区域中形成漂移区；之后，去除第一氧化层；步骤五、形成栅极结构，形成LDMOS器件的体区，源区，漏区。本发明能提高器件的击穿电压，降低器件的导通电阻和关态漏电流。



1. 一种LDMOS器件的制造方法,其特征在于,包括如下步骤:

步骤一、提供第二导电类型的第一外延层;

步骤二、在所述第一外延层的表面依次形成第一氧化层、第二多晶硅层和第三氮化层,光刻定义出漂移区场氧的形成区域,将所述漂移区场氧的形成区域的所述第二氮化层去除并形成将所述第二多晶硅层表面暴露的第一开口;

步骤三、进行热氧化,所述第一开口中的所述第二多晶硅层被局部氧化形成形成所述漂移区场氧的主体部分;所述热氧化同时将所述第二多晶硅层底部的所述第一外延层氧化形成所述漂移区场氧的底部部分;所述漂移区场氧由所述主体部分和所述底部部分叠加而成;

之后,去除剩余的所述第三氮化层和所述第二多晶硅层;

步骤四、采用第一导电类型离子注入工艺在所述第一外延层的选定区域中形成漂移区,所述漂移区场氧位于所述漂移区的部分区域中;之后,去除所述第一氧化层;

步骤五、形成栅极结构,所述栅极结构包括叠加而成的栅介质层和多晶硅栅;形成LDMOS器件的体区,源区,漏区;

所述底部部分在所述漂移区场氧的第一侧形成一个鸟嘴使得所述栅介质层和所述漂移区场氧的第一侧的鸟嘴接触,降低所述栅介质层和所述漂移区场氧接触处的电场强度,提高关态击穿电压;

所述主体部分用于在保证所述漂移区场氧的总厚度保持不变的条件下减少所述底部部分的厚度,从而减少所述漂移区场氧的底部和所述第一外延层表面之间的距离,用以降低器件的导通电阻。

2. 如权利要求1所述的LDMOS器件的制造方法,其特征在于:步骤一中在所述第一外延层的底部形成有第一导电类型重掺杂的第一埋层;所述第一埋层形成于半导体衬底表面。

3. 如权利要求2所述的LDMOS器件的制造方法,其特征在于:所述半导体衬底为硅衬底,所述第一外延层为硅外延层。

4. 如权利要求9所述的LDMOS器件的制造方法,其特征在于:步骤三中所述底部部分对应的热氧化工艺对所述第一外延层的消耗量为 $100\text{\AA}\sim 1000\text{\AA}$ 。

5. 如权利要求1所述的LDMOS器件的制造方法,其特征在于:所述主体部分的厚度为 $100\text{\AA}\sim 2000\text{\AA}$ 。

6. 如权利要求1所述的LDMOS器件的制造方法,其特征在于:步骤五中形成所述栅极结构的步骤包括:

依次形成栅介质层和第一多晶硅层;

进行第一次光刻定义出多晶硅栅的第一侧的侧面位置,依次对所述第一多晶硅层和所述栅介质层进行刻蚀形成所述多晶硅栅的第一侧的侧面并将所述多晶硅栅的第一侧的侧面外的所述第一外延层表面露出;

进行第二次光刻定义出多晶硅栅的第二侧的侧面位置,对所述第一多晶硅层进行刻蚀形成所述多晶硅栅的第二侧的侧面并形成所述多晶硅栅,由所述栅介质层和所述多晶硅栅叠加形成栅极结构;所述栅介质层的第二侧和所述漂移区场氧的第一侧相接触,所述多晶硅栅的第二侧延伸到所述漂移区场氧的表面上。

7. 如权利要求6所述的LDMOS器件的制造方法,其特征在于:所述体区的形成步骤放置

在所述栅极结构的所述多晶硅栅的第一侧的侧面形成之后以及所述多晶硅栅的第二侧的侧面形成之前进行。

8. 如权利要求7所述的LDMOS器件的制造方法,其特征在于:采用第二导电类型离子注入工艺进行形成所述体区,所述体区位于所述多晶硅栅的第一侧的侧面外的所述第一外延层中,所述体区在退火后延伸到所述多晶硅栅的第一侧的底部,被所述多晶硅栅覆盖的所述体区表面用于形成沟道。

9. 如权利要求6所述的LDMOS器件的制造方法,其特征在于:所述源区和所述漏区的形成步骤放置在所述栅极结构的所述多晶硅栅的第二侧的侧面形成之后进行。

10. 如权利要求9所述的LDMOS器件的制造方法,其特征在于:进行第一导电类型重掺杂离子注入同时形成所述源区和所述漏区,所述源区形成于所述体区表面且所述源区的第二侧和所述多晶硅栅的第一侧自对准;所述漏区形成于所述漂移区中且所述漏区的第一侧和所述漂移区场氧的第二侧自对准。

11. 如权利要求1所述的LDMOS器件的制造方法,其特征在于:所述源区和所述漏区形成之后还包括步骤:

进行第二导电类型重掺杂离子注入在所述体区的表面形成体引出区,所述体引出区和所述源区的第一侧的侧面相接触。

12. 如权利要求1所述的LDMOS器件的制造方法,其特征在于:步骤三中采用湿法刻蚀工艺去除所述第三氮化硅层。

13. 如权利要求1所述的LDMOS器件的制造方法,其特征在于:步骤三中采用干法刻蚀工艺去除所述第二多晶硅层。

14. 如权利要求1或6所述的LDMOS器件的制造方法,其特征在于:所述栅介质层为栅氧化层,采用热氧化工艺形成。

15. 如权利要求14所述的LDMOS器件的制造方法,其特征在于:当步骤三中所述第二多晶硅层有残留时,残留的所述第二多晶硅层在所述栅介质层的热氧化工艺中去除。

LDMOS器件的制造方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造方法,特别是涉及一种LDMOS器件的制造方法。

背景技术

[0002] 双扩散金属氧化物半导体场效应管(Double-diffused MOS)由于具有耐压高,大电流驱动能力和极低功耗等特点,目前在电源管理电路中被广泛采用。DMOS包括垂直双扩散金属氧化物半导体场效应管(VDMOS)和LDMOS(LDMOS),在LDMOS器件中,导通电阻是一个重要的指标。BCD工艺中,LDMOS虽然与CMOS集成在同一块芯片中,但由于高耐压和低特征电阻和导通电阻的要求,LDMOS在本底器区和漂移区的条件与CMOS现有的工艺条件共享的前提下,其导通电阻与击穿电压(BV)存在矛盾和折中,往往无法满足开关管应用的要求,导通电阻通常采用特征电阻(R_{sp})表示。因此在获得相同的关态击穿电压(offBV),应尽量降低 R_{sp} 以提高产品的竞争力。

[0003] 如图1所示,是现有第一种LDMOS器件的结构示意图;以N型器件为例,现有第一种LDMOS器件包括:

[0004] N型的第一外延层2,在所述第一外延层2的选定区域中形成有P型的漂移区4和N型的体区5;所述漂移区4和所述体区5横向隔离有距离。

[0005] 在所述第一外延层2的底部形成有P型重掺杂的第一埋层1;所述第一埋层1形成于半导体衬底表面。通常,所述半导体衬底为硅衬底,所述第一外延层2为硅外延层。

[0006] 在所述漂移区4的选定区域中形成由漂移区场氧3。

[0007] 在所述体区5的表面形成有由栅介质层如栅氧化层6和多晶硅栅7叠加而成的栅极结构,被所述多晶硅栅7覆盖的所述体区5表面用于形成沟道。

[0008] 所述栅介质层6的第二侧和所述漂移区场氧3的第一侧相接触,所述多晶硅栅7的第二侧延伸到所述漂移区场氧3的表面上。

[0009] 源区8a形成于所述体区5表面且所述源区8a的第二侧和所述多晶硅栅7的第一侧自对准。

[0010] 漏区8b形成于所述漂移区4中且所述漏区8b的第一侧和所述漂移区场氧3的第二侧自对准。

[0011] 在所述体区5的表面还形成有N型重掺杂的体引出区9,所述体引出区9和所述源区8a的第一侧的侧面相接触。所述体引出区9和所述源区8a会通过相同的接触孔连接到由正面金属层组成的源极。

[0012] 漏区8b则会通过接触孔连接到由正面金属层组成的漏极,多晶硅栅7则会通过接触孔连接到由正面金属层组成的栅极。

[0013] 图1中,所述漂移区场氧3为凹陷到第一外延层2的一定深度的结构,通常,所述漂移区场氧3采用浅沟槽隔离工艺(STI)或采用局部氧化工艺(LOCOS)形成。其中,采用STI工艺形成所述漂移区场氧3的步骤包括:a)对硅进行刻蚀形成浅沟槽, b)进行热氧化在浅沟

槽表面形成氧化层,c)对沟槽进行氧化层填充,d)经化学机械研磨形成所述漂移区场氧3。而LOCOS工艺是通过局部的硅进行氧化形成所述漂移区场氧3。在STI和LOCOS工艺中,所述漂移区场氧3越厚,越有利于提高器件的 $OffBV$ 和降低关态漏电流(I_{off}),但是越不利于器件的 R_{sp} 的降低。相反,所述漂移区场氧3越薄,越有利于降低 R_{sp} ,但是会导致 $OffBV$ 减小且漏电 I_{off} 增大。

[0014] 图2是现有第二种LDMOS器件的结构示意图;和图1所示的现有第一种结构的区别之处为,现有第二种LDMOS器件中具有如下特征:

[0015] 图2中,漂移区场氧3a形成于第一外延层2的表面上方的结构,所述漂移区场氧3a采用氧化层淀积加光刻刻蚀工艺形成。现有第二种LDMOS的缺点在于高耐压时,容易在栅介质层6和漂移区场氧3a交接处形成高电场,因此击穿往往发生在该交接处。为了避免这种现象,不得不拉大器件的横向尺寸。但是,拉大横向尺寸会导致器件的 R_{sp} 迅速增大。

发明内容

[0016] 本发明所要解决的技术问题是提供一种LDMOS器件的方法,能提高器件的击穿电压,降低器件的导通电阻和关态漏电流。

[0017] 为解决上述技术问题,本发明提供的LDMOS器件的制造方法包括如下步骤:

[0018] 步骤一、提供第二导电类型的第一外延层。

[0019] 步骤二、在所述第一外延层的表面依次形成第一氧化层、第二多晶硅层和第三氮化层,光刻定义出漂移区场氧的形成区域,将所述漂移区场氧的形成区域的所述第二氮化层去除并形成将所述第二多晶硅层表面暴露的第一开口。

[0020] 步骤三、进行热氧化,所述第一开口中的所述第二多晶硅层被局部氧化形成形成所述漂移区场氧的主体部分;所述热氧化同时将所述第二多晶硅层底部的所述第一外延层氧化形成所述漂移区场氧的底部部分;所述漂移区场氧由所述主体部分和所述底部部分叠加而成。

[0021] 之后,去除剩余的所述第三氮化层和所述第二多晶硅层。

[0022] 步骤四、采用第一导电类型离子注入工艺在所述第一外延层的选定区域中形成漂移区,所述漂移区场氧位于所述漂移区的部分区域中;之后,去除所述第一氧化层。

[0023] 步骤五、形成栅极结构,所述栅极结构包括叠加而成的栅介质层和多晶硅栅;形成LDMOS器件的体区,源区,漏区。

[0024] 所述底部部分在所述漂移区场氧的第一侧形成一个鸟嘴使得所述栅介质层和所述漂移区场氧的第一侧的鸟嘴接触,降低所述栅介质层和所述漂移区场氧接触处的电场强度,提高关态击穿电压。

[0025] 所述主体部分用于在保证所述漂移区场氧的总厚度保持不变的条件下减少所述底部部分的厚度,从而减少所述漂移区场氧的底部和所述第一外延层表面之间的距离,用以降低器件的导通电阻。

[0026] 进一步的改进是,步骤一中在所述第一外延层的底部形成有第一导电类型重掺杂的第一埋层;所述第一埋层形成于半导体衬底表面。

[0027] 进一步的改进是,所述半导体衬底为硅衬底,所述第一外延层为硅外延层。

[0028] 进一步的改进是,步骤三中所述底部部分对应的热氧化工艺对所述第一外延层的

消耗量为100Å~1000Å。

[0029] 进一步的改进是,所述主体部分的厚度为100Å~2000Å。

[0030] 进一步的改进是,步骤五中形成所述栅极结构的步骤包括:

[0031] 依次形成栅介质层和第一多晶硅层。

[0032] 进行第一次光刻定义出多晶硅栅的第一侧的侧面位置,依次对所述第一多晶硅层和所述栅介质层进行刻蚀形成所述多晶硅栅的第一侧的侧面并将所述多晶硅栅的第一侧的侧面外的所述第一外延层表面露出。

[0033] 进行第二次光刻定义出多晶硅栅的第二侧的侧面位置,对所述第一多晶硅层进行刻蚀形成所述多晶硅栅的第二侧的侧面并形成所述多晶硅栅,由所述栅介质层和所述多晶硅栅叠加形成栅极结构;所述栅介质层的第二侧和所述漂移区场氧的第一侧相接触,所述多晶硅栅的第二侧延伸到所述漂移区场氧的表面上。

[0034] 进一步的改进是,所述体区的形成步骤放置在所述栅极结构的所述多晶硅栅的第一侧的侧面形成之后以及所述多晶硅栅的第二侧的侧面形成之前进行。

[0035] 进一步的改进是,采用第二导电类型离子注入工艺进行形成所述体区,所述体区位于所述多晶硅栅的第一侧的侧面外的所述第一外延层中,所述体区在退火后延伸到所述多晶硅栅的第一侧的底部,被所述多晶硅栅覆盖的所述体区表面用于形成沟道。

[0036] 进一步的改进是,所述源区和所述漏区的形成步骤放置在所述栅极结构的所述多晶硅栅的第二侧的侧面形成之后进行。

[0037] 进一步的改进是,进行第一导电类型重掺杂离子注入同时形成所述源区和所述漏区,所述源区形成于所述体区表面且所述源区的第二侧和所述多晶硅栅的第一侧自对准;所述漏区形成于所述漂移区中且所述漏区的第一侧和所述漂移区场氧的第二侧自对准。

[0038] 进一步的改进是,所述源区和所述漏区形成之后还包括步骤:

[0039] 进行第二导电类型重掺杂离子注入在所述体区的表面形成体引出区,所述体引出区和所述源区的第一侧的侧面相接触。

[0040] 进一步的改进是,步骤三中采用湿法刻蚀工艺去除所述第三氮化硅层。

[0041] 进一步的改进是,步骤三中采用干法刻蚀工艺去除所述第二多晶硅层。

[0042] 进一步的改进是,所述栅介质层为栅氧化层,采用热氧化工艺形成。

[0043] 进一步的改进是,当步骤三中所述第二多晶硅层有残留时,残留的所述第二多晶硅层在所述栅介质层的热氧化工艺中去除。

[0044] 本发明对漂移区场氧的形成方法做了有针对性的设计,在现有局部场氧化工艺的基础上,本发明在局部场氧化工艺中的氮化层和氧化层之间增加了多晶硅层,即第三氮化层和第一氧化层之间增加了第二多晶硅层,在打开选定的局部区域时仅将第三氮化层打开即可,之后再在打开的局部区域中进行热氧化,热氧化会同时对第二多晶硅层和底部第一外延层进行氧化,但是由于第二多晶硅层位于顶部且直接和热氧化环境接触,故打开第一开口中的第二多晶硅层会被全部氧化而形成较厚的漂移区场氧的主体部分;而位于第二多晶硅层底部的第一外延层的氧化速率则较慢并会形成较薄的底部部分,由底部部分和主体部分叠加形成一个有机的漂移区场氧的整体结构:

[0045] 其中,底部部分的具有鸟嘴结构,在具有底部部分的情形下,栅介质层会和漂移区场氧的第一侧的鸟嘴接触,通过鸟嘴,能降低栅介质层和漂移区场氧的接触处的电场强度,

从而能提高器件的击穿电压,也即相对于图2所示的现有结构,本发明多了一个具有鸟嘴的底部部分,能提高器件的击穿电压。

[0046] 另外,本发明的漂移区场氧的厚度主要是由主体部分决定,较厚的漂移区场氧能降低器件的关态漏电流,同时还能保证器件具有较高的击穿电压。

[0047] 另外,本发明的底部部分的氧化速率较慢而具有较薄的厚度,也即漂移区场氧凹入到第一外延层中的部分的厚度较小,相对于图1所示的现有结构,本发明能使得漂移区电流经过的路径变短,能够降低器件的导通电阻。

[0048] 另外,本发明的漂移区场氧的主体部分和底部部分是采用局部场氧化工艺同时形成,仅需在现有局部场氧化工艺的基础上增加形成一层第二多晶硅层即可,故本发明的工艺简单,成本较低。

[0049] 所以,本发明能提高器件的击穿电压,能在击穿电压得到保证的条件下降低器件的导通电阻和关态漏电流,还具有工艺简单的优点。

附图说明

[0050] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0051] 图1是现有第一种LDMOS器件的结构示意图;

[0052] 图2是现有第二种LDMOS器件的结构示意图;

[0053] 图3是本发明实施例LDMOS器件的制造方法的流程图;

[0054] 图4A-图4F是本发明实施例LDMOS器件的制造方法的各步骤中的器件结构示意图。

具体实施方式

[0055] 如图3所示,是本发明实施例LDMOS器件的制造方法的流程图;如图4A至图4F所示,是本发明实施例LDMOS器件的制造方法的各步骤中的器件结构示意图,本发明实施例LDMOS器件的制造方法包括如下步骤:

[0056] 步骤一、如图4A所示,提供第二导电类型的第一外延层102。

[0057] 本发明实施例方法中,在所述第一外延层102的底部形成有第一导电类型重掺杂的第一埋层101;所述第一埋层101形成于半导体衬底表面。

[0058] 较佳为,所述半导体衬底为硅衬底,所述第一外延层102为硅外延层。

[0059] 步骤二、如图4A所示,在所述第一外延层102的表面依次形成第一氧化层110、第二多晶硅层112和第三氮化层113。

[0060] 如图4B所示,光刻定义出漂移区场氧103的形成区域,将所述漂移区场氧103的形成区域的所述第二氮化层去除并形成将所述第二多晶硅层112表面暴露的第一开口。

[0061] 步骤三、如图4C所示,进行热氧化,所述第一开口中的所述第二多晶硅层112被局部氧化形成形成所述漂移区场氧103的主体部分1031;所述热氧化同时将所述第二多晶硅层112底部的所述第一外延层102氧化形成所述漂移区场氧103的底部部分1302;所述漂移区场氧103由所述主体部分1031和所述底部部分1302叠加而成。

[0062] 本发明实施例方法中,所述底部部分1302对应的热氧化工艺对所述第一外延层102的消耗量为 $100\text{\AA}\sim 1000\text{\AA}$ 。所述主体部分1031的厚度为 $100\text{\AA}\sim 2000\text{\AA}$ 。

[0063] 之后,如图4D所示,去除剩余的所述第三氮化层113和所述第二多晶硅层112。较佳

为,采用湿法刻蚀工艺去除所述第三氮化硅层。采用干法刻蚀工艺去除所述第二多晶硅层112。

[0064] 步骤四、如图4D所示,采用第一导电类型离子注入工艺在所述第一外延层102的选定区域中形成漂移区104,所述漂移区场氧103位于所述漂移区104的部分区域中。所述漂移区104的离子注入工艺中所述第一氧化层110保留,注入完成之后去除所述第一氧化层110。

[0065] 步骤五、形成栅极结构,所述栅极结构包括叠加而成的栅介质层106和多晶硅栅107;形成LDMOS器件的体区105,源区108,漏区109。

[0066] 所述底部部分1302在所述漂移区场氧103的第一侧形成一个鸟嘴使得所述栅介质层106和所述漂移区场氧103的第一侧的鸟嘴接触,降低所述栅介质层106和所述漂移区场氧103接触处的电场强度。

[0067] 所述主体部分1031用于在保证所述漂移区场氧103的总厚度保持不变的条件下减少所述底部部分1302的厚度,从而减少所述漂移区场氧103的底部和所述第一外延层102表面之间的距离,用以降低器件的导通电阻。

[0068] 本发明实施例方法中,步骤五包括如下分步骤:

[0069] 如图4E所示,依次形成栅介质层106和第一多晶硅层。较佳为,所述栅介质层106为栅氧化层,采用热氧化工艺形成。当步骤三中所述第二多晶硅层112有残留时,残留的所述第二多晶硅层112在所述栅介质层106的热氧化工艺中去除。

[0070] 如图4E所示,进行第一次光刻定义出多晶硅栅107的第一侧的侧面位置,依次对所述第一多晶硅层和所述栅介质层106进行刻蚀形成所述多晶硅栅107的第一侧的侧面并将所述多晶硅栅107的第一侧的侧面外的所述第一外延层102表面露出。

[0071] 如图4E所示,在所述栅极结构的所述多晶硅栅107的第一侧的侧面形成之后,采用第二导电类型离子注入工艺进行形成所述体区105,所述体区105位于所述多晶硅栅107的第一侧的侧面外的所述第一外延层102中,所述体区105在退火后延伸到所述多晶硅栅107的第一侧的底部,被所述多晶硅栅107覆盖的所述体区105表面用于形成沟道。

[0072] 如图4F所示,进行第二次光刻定义出多晶硅栅107的第二侧的侧面位置,对所述第一多晶硅层进行刻蚀形成所述多晶硅栅107的第二侧的侧面并形成所述多晶硅栅107,由所述栅介质层106和所述多晶硅栅107叠加形成栅极结构;所述栅介质层106的第二侧和所述漂移区场氧103的第一侧相接触,所述多晶硅栅107的第二侧延伸到所述漂移区场氧103的表面上。

[0073] 如图4F所示,在所述栅极结构的所述多晶硅栅107的第二侧的侧面形成之后进行,进行第一导电类型重掺杂离子注入同时形成所述源区108和所述漏区109,所述源区108形成于所述体区105表面且所述源区108的第二侧和所述多晶硅栅107的第一侧自对准;所述漏区109形成于所述漂移区104中且所述漏区109的第一侧和所述漂移区场氧103的第二侧自对准。

[0074] 如图4F所示,所述源区108和所述漏区109形成之后还包括步骤:

[0075] 进行第二导电类型重掺杂离子注入在所述体区105的表面形成体引出区,所述体引出区和所述源区108的第一侧的侧面相接触。

[0076] 本发明实施例对漂移区场氧103的形成方法做了有针对性的设计,在现有局部场

氧化工艺的基础上,本发明实施例在局部场氧化工艺中的氮化层和氧化层之间增加了多晶硅层,即第三氮化层113和第一氧化层110之间增加了第二多晶硅层112,在打开选定的局部区域时仅将第三氮化层113打开即可,之后再在打开的局部区域中进行热氧化,热氧化会同时对第二多晶硅层112和底部第一外延层102进行氧化,但是由于第二多晶硅层112位于顶部且直接和热氧化环境接触,故打开第一开口中的第二多晶硅层112会被全部氧化而形成较厚的漂移区场氧103的主体部分1031;而位于第二多晶硅层112底部的第一外延层102的氧化速率则较慢并会形成较薄的底部部分1302,由底部部分1302和主体部分1031叠加形成一个有机的漂移区场氧103的整体结构:

[0077] 其中,底部部分1302的具有鸟嘴结构,在具有底部部分1302的情形下,栅介质层106会和漂移区场氧103的第一侧的鸟嘴接触,通过鸟嘴,能降低栅介质层106和漂移区场氧103的接触处的电场强度,从而能提高器件的击穿电压,也即相对于图2所示的现有结构,本发明实施例多了一个具有鸟嘴的底部部分1302,能提高器件的击穿电压。

[0078] 另外,本发明实施例的漂移区场氧103的厚度主要是由主体部分1031决定,较厚的漂移区场氧103能降低器件的关态漏电流,同时还能保证器件具有较高的击穿电压。

[0079] 另外,本发明实施例的底部部分1302的氧化速率较慢而具有较薄的厚度,也即漂移区场氧103凹入到第一外延层102中的部分的厚度较小,相对于图1所示的现有结构,本发明实施例能使得漂移区104电流经过的路径变短,能够降低器件的导通电阻。

[0080] 另外,本发明实施例的漂移区场氧103的主体部分1031和底部部分1302是采用局部场氧化工艺同时形成,仅需在现有局部场氧化工艺的基础上增加形成一层第二多晶硅层112即可,故本发明的工艺简单,成本较低。

[0081] 所以,本发明实施例能提高器件的击穿电压,能在击穿电压得到保证的条件下降低器件的导通电阻和关态漏电流,还具有工艺简单的优点。

[0082] 当LDMOS器件为N型器件时即为NLDMOS器件时,第一导电类型为N型,第二导电类型为P型;反之,当LDMOS器件为P型器件时即为PLDMOS器件时,第一导电类型为P型,第二导电类型为N型。器件仿真发现,相比于现有的标准,本发明实施例制造方法形成的NLDMOS器件的特征电阻即 R_{sp} 与现有方法形成的NLDMOS器件的特征电阻在25V~30V区间基本一致,在32V~40V区间已优于现有方法形成的NLDMOS器件。

[0083] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

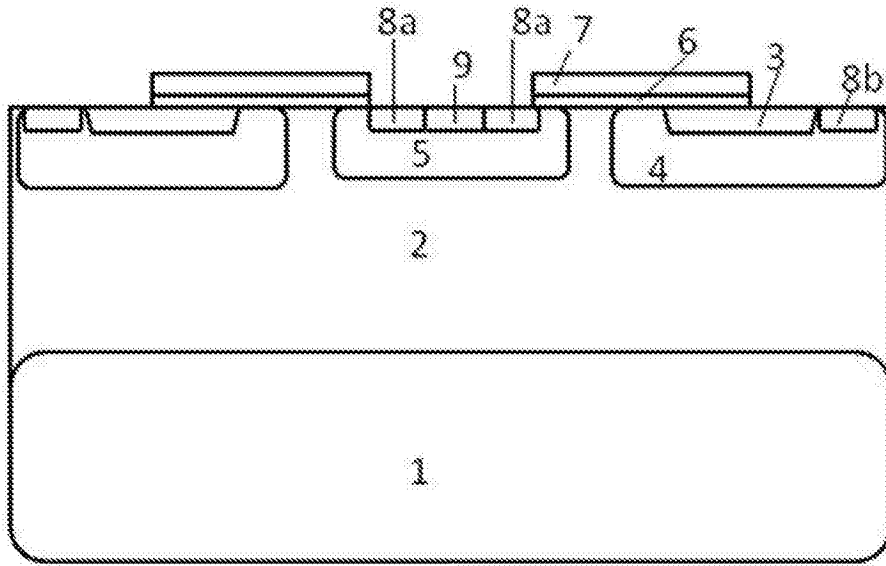


图1

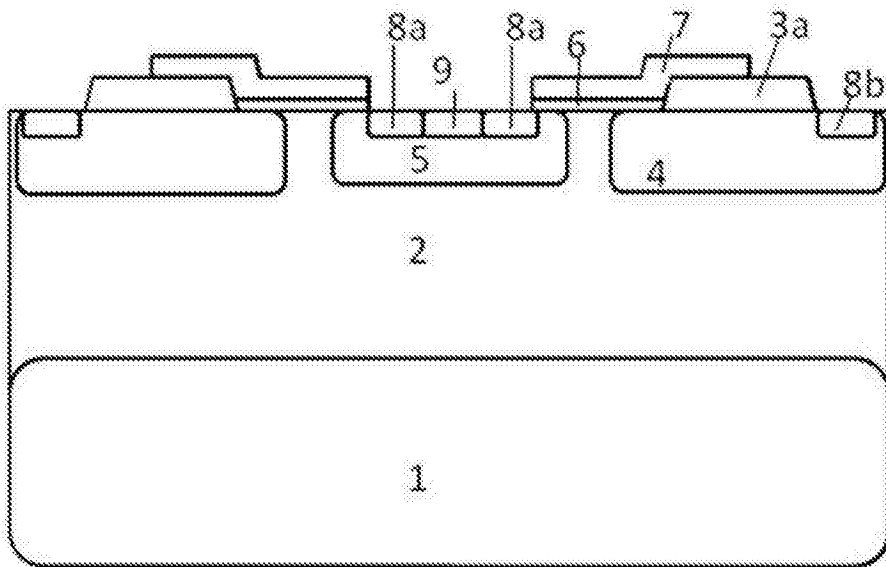


图2

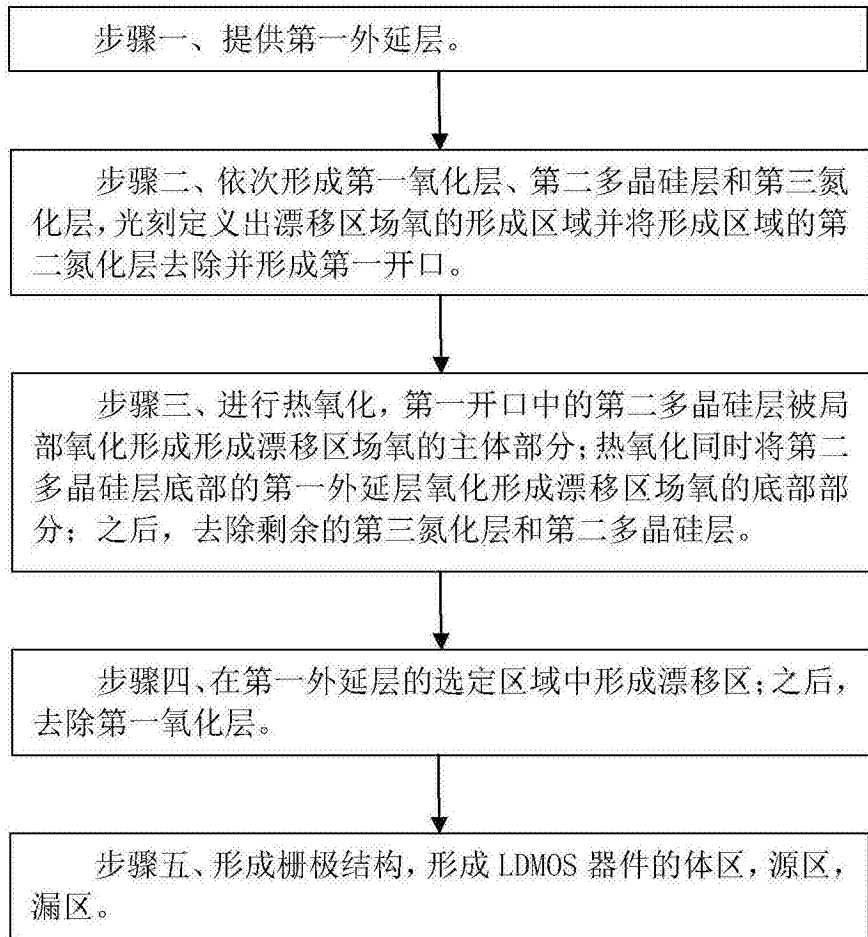


图3

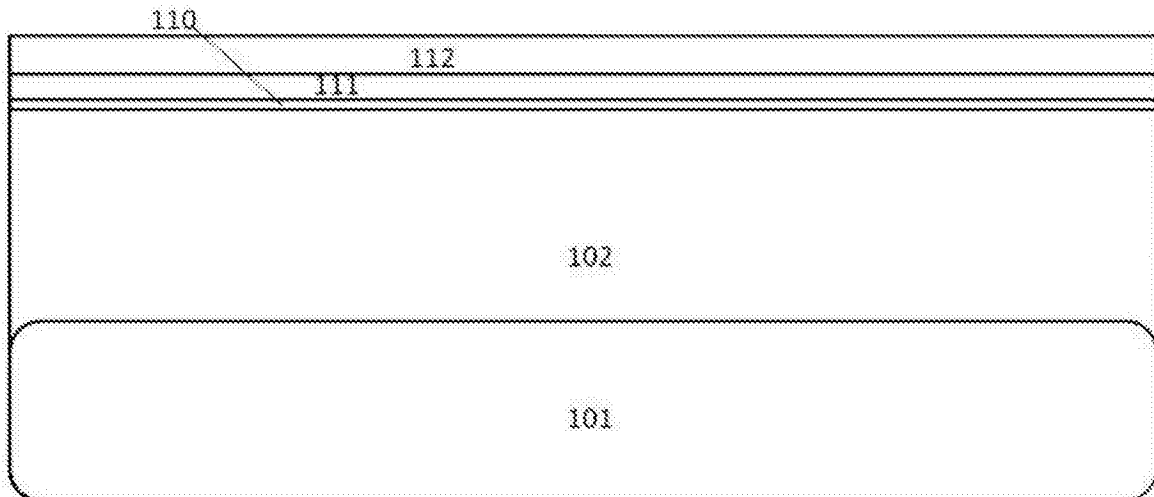


图4A

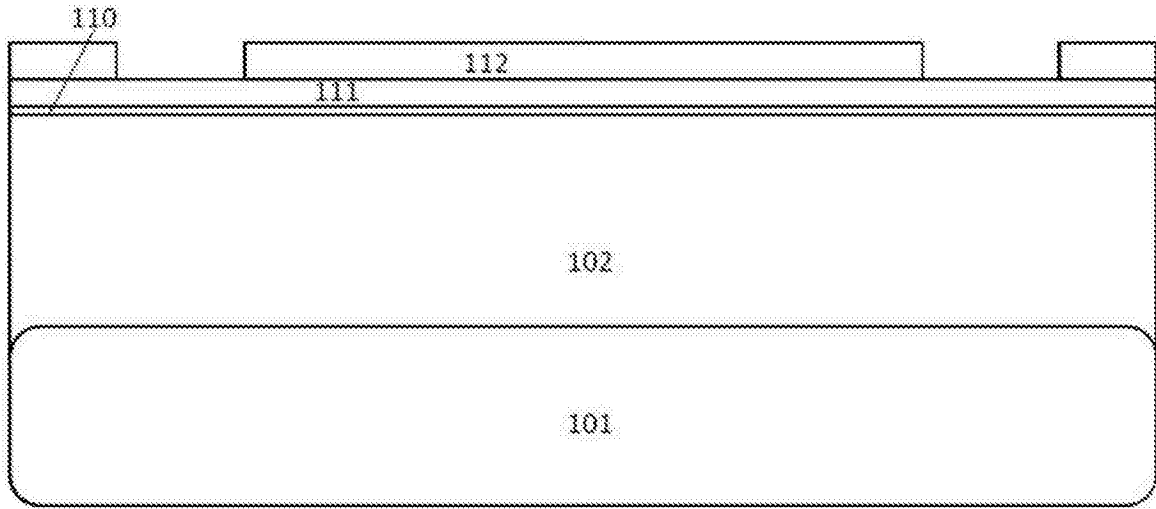


图4B

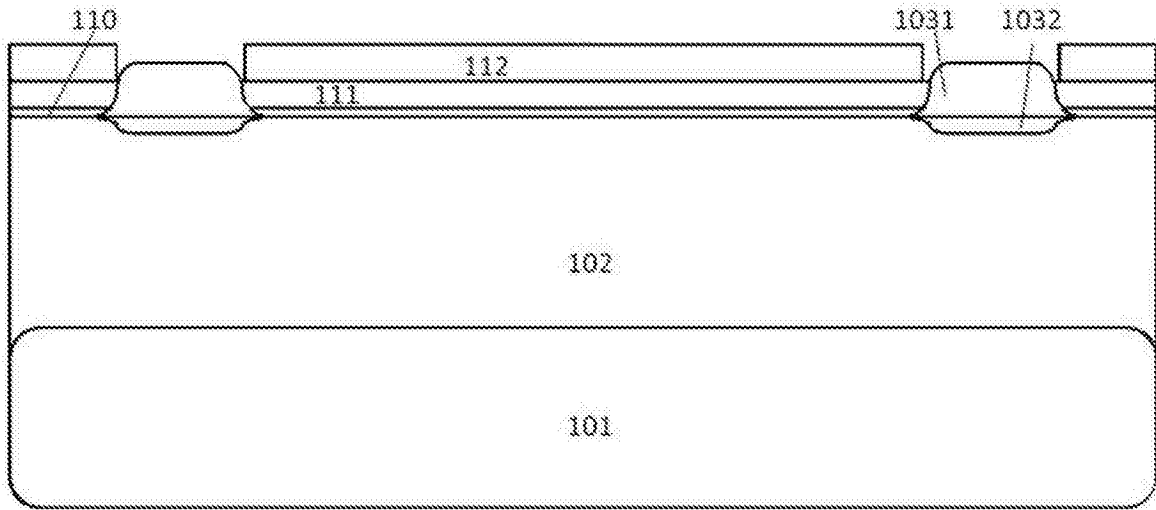


图4C

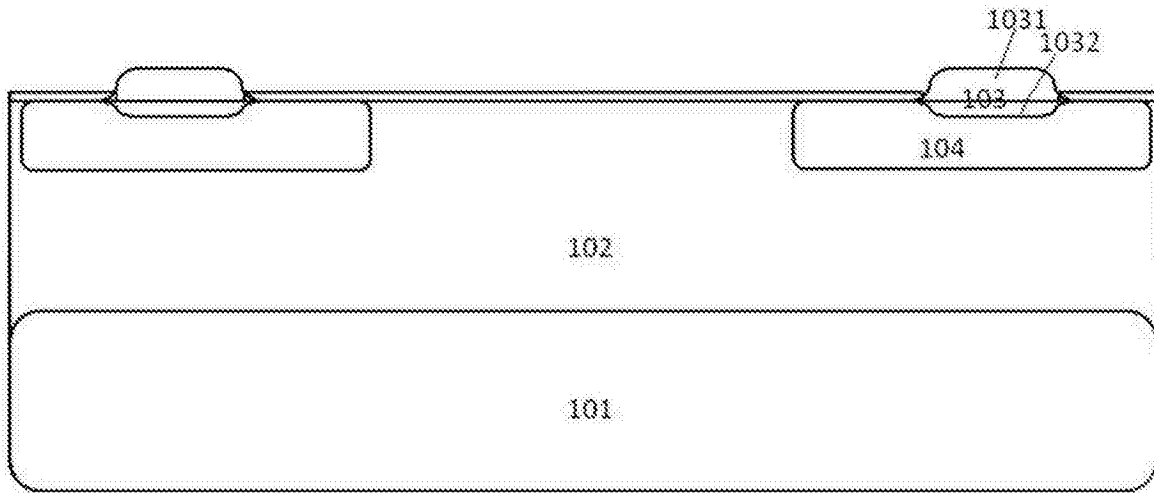


图4D

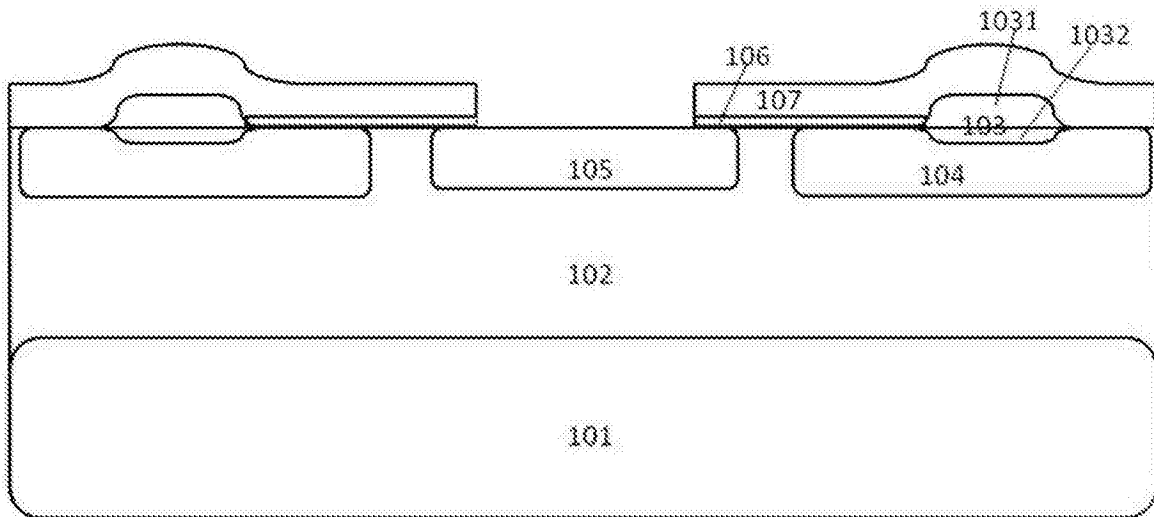


图4E

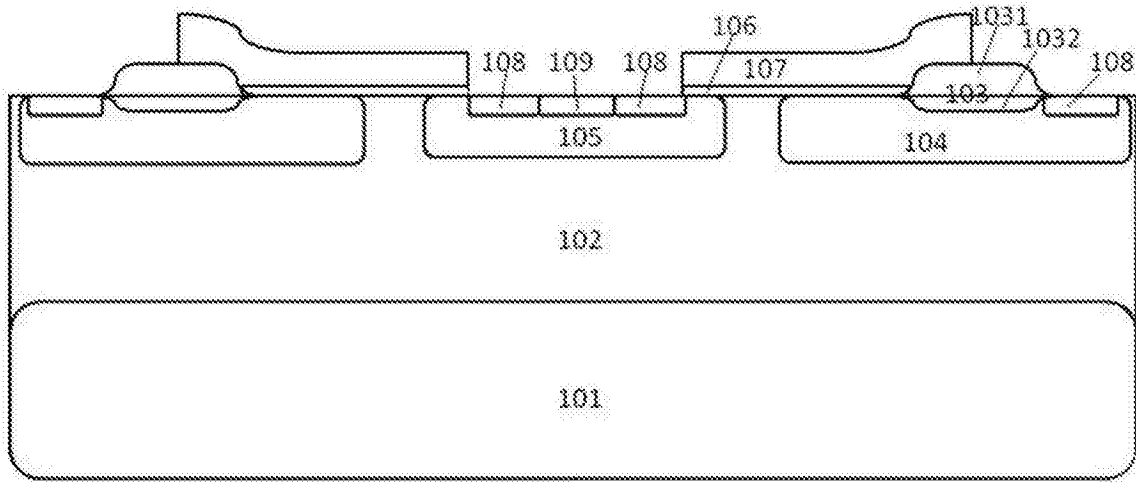


图4F