

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810095236.2

[51] Int. Cl.

- H01L 25/00 (2006.01)
- H01L 23/48 (2006.01)
- H01L 23/52 (2006.01)
- H01L 21/50 (2006.01)
- H01L 21/60 (2006.01)
- H01L 21/768 (2006.01)

[43] 公开日 2008年11月19日

[11] 公开号 CN 101308840A

[22] 申请日 2008.5.5

[21] 申请号 200810095236.2

[30] 优先权

[32] 2007.5.18 [33] US [31] 11/750,676

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 J·S·阿特瓦尔 J·S·巴恩斯

K·伯恩斯坦 R·J·布茨基

J·A·考科斯

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 杨晓光

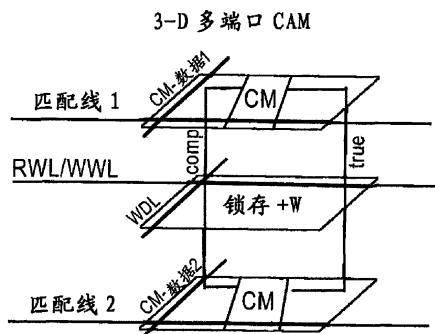
权利要求书3页 说明书14页 附图9页

[54] 发明名称

多晶片 3D CAM 单元及其制造方法

[57] 摘要

本发明涉及多晶片 3D CAM 单元及其制造方法。提供了一种多晶片 CAM 单元，其中基本上减小了增加传输距离的不利影响。利用三维集成获得本发明的多晶片 CAM 单元，其中多个有源电路层被垂直堆叠并采用垂直对准的互连以将叠层中的一个叠层中的器件连接到另一叠层中的另一器件。通过垂直对准的互连垂直堆叠多个有源电路层，可以在主数据存储单元之上或之下的独立的层上实现所述多晶片 CAM 的每个比较端口。这允许在与标准随机存储器 (RAM) 相同的面积足印内实现所述多晶片 CAM 结构，从而最小化数据存取和匹配比较延迟。



1. 一种多晶片 CAM 单元, 包括:

位于第一结构中的至少一个比较基元, 垂直堆叠在位于第二结构中的至少一个存储基元的顶上或之下, 所述至少一个比较基元和所述至少一个存储基元位于独立的晶片中并通过至少一个垂直导电填充的过孔互连。

2. 根据权利要求 1 的多晶片 CAM 单元, 其中所述至少一个比较基元位于所述至少一个存储基元之上。

3. 根据权利要求 1 的多晶片 CAM 单元, 其中所述至少一个比较基元包括具有 9T 配置的多个第一晶体管, 以及所述至少一个存储基元包括具有 6T 配置的多个第二晶体管。

4. 根据权利要求 3 的多晶片 CAM 单元, 其中所述多个第一晶体管位于第一绝缘体上半导体衬底的顶部有源半导体层上和内, 以及所述多个所述第二晶体管位于第二绝缘体上半导体衬底的顶部有源半导体层上和内。

5. 根据权利要求 4 的多晶片 CAM 单元, 其中所述第一和第二绝缘体上半导体衬底每一个都包括直接位于所述顶部有源半导体层之下的掩埋绝缘层。

6. 根据权利要求 1 的多晶片 CAM 单元, 其中所述至少一个垂直导电填充的过孔位于至少一种介质材料内。

7. 根据权利要求 1 的多晶片 CAM 单元, 其中所述第一结构还包括具有导电填充的开口的介质材料, 其中所述导电填充的开口接触至少一个第一晶体管的表面, 以及所述第二结构还包括具有导电填充的开口的介质材料, 其中所述导电填充的开口接触至少一个第二晶体管的表面。

8. 一种多晶片 CAM 单元, 包括:

位于第一结构中的至少一个比较基元, 其包括以 9T 配置设置的多个第一晶体管, 垂直堆叠在位于第二结构中的至少一个存储基元的顶上, 所述至少一个存储基元包括以 6T 配置设置的多个第二晶体管, 所述至少一个比较基元和所述至少一个存储基元位于独立的晶片中并通过至少一个垂

直导电填充的过孔互连。

9. 根据权利要求8的多晶片CAM单元,其中所述多个第一晶体管位于第一绝缘体上半导体衬底的顶部有源半导体层上和内,以及所述多个第二晶体管位于第二绝缘体上半导体衬底的顶部有源半导体层上和内。

10. 根据权利要求9的多晶片CAM单元,其中所述第一和第二绝缘体上半导体衬底中的每一个包括直接位于所述顶部有源半导体层之下的掩埋绝缘层。

11. 根据权利要求8的多晶片CAM单元,其中所述至少一个垂直导电填充的过孔位于至少一种介质材料内。

12. 根据权利要求8的多晶片CAM单元,其中所述第一结构还包括具有导电填充的开口的介质材料,其中所述导电填充的开口接触至少一个所述第一晶体管的表面,以及所述第二结构还包括具有导电填充的开口的介质材料,其中所述导电填充的开口接触至少一个第二晶体管的表面。

13. 一种形成多晶片CAM单元的方法,包括以下步骤:

提供第一结构,所述第一结构包括位于第一有源半导体层的表面上和内的多个第一晶体管;

提供第二结构,所述第二结构包括位于第二有源半导体层的表面上和内的多个第二晶体管;

将所述第二结构的表面接合到所述第一结构的表面以提供接合的结构,在所述接合的结构中所述多个第一晶体管位于所述多个第二晶体管之上;以及

形成至少一个垂直导电填充的过孔以连接所述多个第一晶体管到所述多个第二晶体管。

14. 根据权利要求13的方法,其中所述第一和第二结构中的每一个包括具有导电填充的开口的介质材料,所述导电填充的开口接触所述多个第一和第二晶体管的表面。

15. 根据权利要求13的方法,其中提供所述第一结构包括这样的步骤:所述步骤为将处理衬底附着到密封所述多个第一晶体管的介质材料的表

面。

16. 根据权利要求 13 的方法, 其中接合包括使所述第一和第二结构彼此紧密接触并在约 20°C 或更高的温度下接合。

17. 根据权利要求 13 的方法, 其中首先通过光刻和蚀刻形成过孔, 然后使用导电材料填充所述过孔, 来形成所述至少一个垂直填充的导电过孔。

18. 根据权利要求 13 的方法, 其中所述多个第一晶体管具有 9T 配置, 以及所述多个第二晶体管具有 6T 配置。

19. 根据权利要求 18 的方法, 其中具有所述 9T 配置的所述多个第一晶体管位于具有所述 6T 配置的所述多个第二晶体管之上。

20. 根据权利要求 13 的方法, 其中所述至少一个垂直导电填充的过孔对准位于所述第一和第二结构的介质材料内的导电填充的开口。

多晶片 3D CAM 单元及其制造方法

技术领域

本发明涉及半导体结构及其制造方法。更具体而言，本发明涉及内容可寻址存储器（CAM）单元，其中 CAM 单元的比较端口位于独立的晶片上，该独立的晶片垂直邻近包括 CAM 单元的核心锁存的另一晶片。本发明还提供了一种制造这样的 CAM 单元的方法，其中在形成该 CAM 单元时采用了三维（3D）集成。

背景技术

几乎每一个现代微处理器都应用高速缓冲存储器，由此将一些指令和/或数据存储在这样的存储器中，该存储器比主存储器的位置更近并可以被更快速度地访问。该类存储器通常称为高速缓冲存储器。当高速缓冲存储器紧密集成到处理器的执行流水线中时，其被称为 L1（例如，1 级）高速缓冲存储器。

图 1 示出了现有技术微处理器 108（例如 CPU）及其与存储器子系统的连接的系统级表示。在该实例中，微处理器包括 L1 指令高速缓冲存储器 100 以及 L1 数据高速缓冲存储器 102。系统还包括保存指令和数据的 L2 高速缓冲存储器 104，以及作为 L2 高速缓冲存储器 104 的后备的 L3 高速缓冲存储器 106。

微处理器的性能与 L1 数据高速缓冲存储器的存取时间关系密切。事实上，这很重要，L1 数据高速缓冲存储器 102 的存取时间是决定微处理器频率指标的核心因素。为了改善 L1 数据高速缓冲存储器 102 的存取时间，逻辑设计师有时会采用的“窍门”之一是使用基于 CAM 的方法取代更为常规的基于目录的方法，其典型地被用在 L2 高速缓冲存储器 104 的设计中。

图 2 是基于 CAM 的 L1 数据高速缓冲存储器的框图表示。与常规基

于目录的方法中具有分开的目录加数据阵列不同，在基于 CAM 的 L1 数据高速缓冲存储器中，设计目录和数据阵列作为单一的结构而工作。CAM（内容可寻址存储器）具有标签区域 206 和数据区域 208，标签区域 206 保存高速缓冲存储器中的所有线的地址，数据区域 208 保存高速缓冲存储器中的所有线的的数据。

在基于目录的高速缓冲存储器中，微处理器这样搜索高速缓冲存储器，通过在目录中选择一些线（典型为 1-8 条线）来读，之后发送它们通过比较器以确定是否有“命中”。在一些实施方式中，比较器结果形成了部分地址以用于从单独的数据阵列读。在其他实施方式中，数据阵列读所有可能的“命中”位置并同时进行目录读-比较操作，然后使用“命中”结果来选择哪些数据是微处理器所实际请求的。

在基于 CAM 的高速缓冲存储器中，微处理器这样搜索高速缓冲存储器，立刻比较搜索标签 226 与所有高速缓冲存储器的有效标签，然后使用比较结果（匹配线 204）作为解码地址到数据区域 208 中来读。仅仅读出需要的数据 224，并且在数据区域读之后没有等待目录命中结果的多路复用器。匹配线 204 还经过约化（reduction）OR 来生成表示搜索是命中还是失败（miss）的查找结果 222。

在微处理器中存在几种操作需要对 L1 数据高速缓冲存储器进行标签搜索。装入操作希望从存储器读数据并将数据放入寄存器。当执行装入时，首先发送装入请求 216 到高速缓冲存储器控制仲裁器 202 以进行 L1 数据高速缓冲存储器查找。如果找到标签匹配，那么查找被定义为标签搜索加数据读。装入请求 216 具有相关的装入地址 210，使用该装入地址 210 形成用于装入的搜索标签 226。存储操作需要写数据到存储器。当执行存储时，首先发送存储请求 218 到高速缓冲存储器控制仲裁器 202 以进行 L1 数据高速缓冲存储器搜索。存储请求 218 具有相关的存储地址 212，使用该存储地址 212 形成用于存储的搜索标签 226。如果命中，将命中的位置通知存储请求程序（requestor），以便使其了解在高速缓冲存储器的哪里写存储的数据或者是否发送存储请求到 L2 高速缓冲存储器 104 或存储器。

探查 (snoop) 操作希望知道线是否在高速缓冲存储器中, 有时是为了使来自高速缓冲存储器的线无效。当执行探查时, 首先发送探查请求 220 到高速缓冲存储器控制仲裁器 202 以进行 L1 数据高速缓冲存储器搜索。探查请求 220 具有相关的探查地址 214, 使用该探查地址 214 形成用于探查的搜索标签 226。如果命中, 将命中的位置通知探查请求程序, 以使其知道, 如果需要进行无效操作, 应使哪个标签无效。

创建多层 CAM 结构是有益的, 在该多层 CAM 结构中将更快地获得比较结果。选择数据的 CAM 搜索和查找操作倾向于是微处理器中的频率限制路径。改善这些路径就可以改善处理器的总体频率预期。此外, 这些路径中的任何改善都能够使其他的高速缓冲存储器功能在相同的周期中被处理。例如, 如果可以更快速地处理用于探查请求 220 的高速缓冲存储器搜索, 那么便可以较早地释放服务于探查请求程序 (requestor) 的资源。像这样较快地释放资源, 便在相同数量的资源下增加了带宽, 或者在较少数量的资源下具有相同的带宽。这提供了额外的面积和电力的节省。

常规的 CAM 设计需要在每次访问 CAM 时都进行比较和标签存储。然而, 如果比较逻辑被设置在独立的层上, 那么并可以独立于数据部分单独使比较逻辑掉电。在睡眠模式下, 将希望维持 CAM 结构中的数据而停用比较部分以节省电力。还有, 如果警告指示项 (indicator) 在访问 CAM 的操作之前到达, 当知道在一段时间内将不再需要比较时, 可以禁止比较。

CAM 设计还用于除高速缓冲存储器之外的其他结构。任何广义的可搜索结构都可以采用 CAM 结构。例如, 需要用于为高速缓冲存储器保持存储界的缓冲器是可搜索的。如果需要定位存储用于无效化 (探查) 或风险比较 (装入命中存储, 存储到装入的推进), 那么 CAM 结构将是有利的。

许多处理器采用接近指令或数据高速缓冲存储器的小的类高速缓冲存储器结构来进行地址转换。这些结构通常称为 μ TLB (微转换旁视缓冲器) 或者 ERAT (有效到真实地址转换器)。 μ TLB (参见图 3) 包含较大页转换表的子集。典型地, 使用有效地址 300 (EA) 并将其与有效页码 302 (EPN)

相比较来访问这些结构。使用 CAM 结构用于该功能，使用 EA300 作为搜索值，以及 EPN302 是在 CAM 结构中内部保持并比较的值。转换页所需要的数据将被包含在该结构的数据部分 304 中，并通过 CAM 的匹配线 306 索引。CAM 提供查找 308 以及匹配线 306 的结果。然后，数据结构将提供需要的数据 310 以转换地址。

鉴于上述，需要提供新的和改善的 CAM 单元，其中可以较快地获得比较结果而不会增加信号需要传输的距离。

发明内容

本发明提供了一种多晶片 CAM 单元，其中基本上降低了增加传输距离的不利影响。在本发明中通过利用三维集成来实现这一点，其中多个有源电路层被垂直堆叠并采用垂直对准的互连以将来自叠层中的一个叠层的器件连接到另一叠层中的另一器件。

通过使用垂直对准的互连垂直堆叠多个有源电路层，可以在主数据存储单元之上或之下的独立的层上实现所述 CAM 单元的每一个比较基元。这允许在与标准随机存储器 (RAM) 相同面积的足印内实现所述 CAM 结构，从而最小化数据存储和匹配比较延迟。每一个比较匹配线和数据位线具有与简单二维静态随机存储器 (SRAM) 单元阵列相关的长度。

本发明的三维方法使得多晶片 CAM 的匹配线和位线的互连延迟和与常规二维 RAM 阵列的位线相关的互连延迟是可比较的。改善了用于单或多晶片 CAM 阵列的标准 2D 方法的匹配线访问。基础 RAM 层可以与标准 SRAM 相同，不需要开发用于 CAM 单元的额外的分划板 (reticle) 增强技术。

一般而言，本发明提供了一种多晶片 CAM，其包括：

位于第一结构中的至少一个比较基元（或者电路），其被垂直堆叠在位于第二结构中的至少一个存储基元（电路）的顶上或之下，优选在顶上，所述至少一个比较基元和所述至少一个存储基元位于独立的晶片内并通过至少一个垂直导电填充的过孔互连。

在本发明优选的实施例中，所述至少一个比较基元位于所述至少一个存储基元之上。

所述至少一个比较基元包括多个第一场效应晶体管，所述多个第一场效应晶体管典型地具有 9T 配置，以及所述至少一个存储基元包括多个第二晶体管，所述多个第二晶体管典型地具有 6T 配置。所述多个第一晶体管位于第一绝缘体上半导体衬底的顶部有源半导体层上和内，所述多个第二晶体管位于第二绝缘体上半导体衬底的顶部有源半导体层上和内。每个所述第一和第二绝缘体上半导体衬底包括直接在所述顶部有源半导体层下的掩埋的绝缘层。

在一个优选的实施例中，提供了一种多晶片 CAM 单元，包括：

位于第一结构中的至少一个比较基元，其包括以 9T 配置设置的多个第一晶体管，垂直堆叠在位于第二结构中的至少一个存储基元的顶上，所述至少一个存储基元包括以 6T 配置设置的多个第二晶体管，所述至少一个比较基元和所述至少一个存储基元位于独立的晶片内，并通过至少一个垂直导电填充的过孔互连。

除了上述内容之外，本发明还提供了一种制造本发明的多晶片 CAM 单元的方法。包括 3D 集成和晶片接合的本发明的方法包括以下步骤：

提供第一结构，所述第一结构包括位于第一有源半导体层的表面上和内的多个第一晶体管；

提供第二结构，所述第二结构包括位于第二有源半导体层的表面上和内的多个第二晶体管；

将所述第二结构的表面接合到所述第一结构的表面以提供接合的结构，在所述接合的结构中所述多个第一晶体管位于所述多个第二晶体管之上；以及

形成至少一个垂直填充的导电过孔以连接所述多个第一晶体管到所述多个第二晶体管。

附图说明

图 1 是现有技术微处理器 108 (例如 CPU) 及其与存储器子系统的连接的系统级表示;

图 2 是现有技术基于 CAM 的 L1 数据高速缓冲存储器的框图表示;

图 3 是现有技术 CAM μ TLB 存取单元的图示表示 (通过截面视图);

图 4 是图示表示 (通过截面视图), 示例了构成 CAM 单元的两片;

图 5A-5B 是图示表示, 分别示例了现有技术 2D CAM 单元设计和本发明的 CAM 单元设计;

图 6 是示意图, 示例了在本发明的多晶片 CAM 单元上的功率分布, 其中具有 9T (匹配电路) 的晶片还包括用于匹配线的控制逻辑、匹配数据驱动器以及所有时钟, 并且其中其他晶片包括 6T (存储节点)、读和写控制逻辑、写数据驱动器以及读方案 (scheme);

图 7A 示出了 2 读、1 写以及 CAM (9T) 单元的现有技术设计版图;

图 7B 示出了本发明的多晶片 CAM 单元的设计版图, 左边示出了 2 读、1 写入以及存储节点, 而右边是 9T (比较) 电路;

图 8A-8D 是图示表示, 示例了制造紧凑多晶片 CAM 单元时本发明所采用的基本处理步骤。

具体实施方式

本发明提供了一种紧凑多晶片 CAM 单元及其制造方法, 将通过参考下列附属于本申请的讨论和附图更为详细地描述本发明。应当注意, 提供附图仅仅出于示例的目的。因此, 本申请包括的附图没有按比例绘制。

在下列描述中, 为利于全面理解本发明, 阐述了多个具体细节, 例如特定的结构、部件、材料、尺寸、处理步骤以及技术。然而, 本领域的普通技术人员将理解, 可以实践本发明而没有这些具体的细节。在其他的实例中, 为了避免模糊本发明, 未详细描述公知的结构或处理步骤。

应当理解, 当将基元例如层、区域或衬底描述为“在另一基元上”或“在另一基元之上”时, 该基元可以直接在其他基元上或者还可能存在中间基元。相反, 当基元被描述为“直接在另一基元上”或者“直接在另一基元之上”

时，则不存在中间基元。还应当理解，当基元被描述为“在另一基元下”或者“在另一基元之下”时，该基元可以直接在其他基元下或者还可能存在于中间基元。相反，当基元被描述为“直接在另一基元下”或者“直接在另一基元之下”时，不存在中间基元。

首先参考图 4，示出了构成单端口 CAM 单元的两片。顶部的六个晶体管 501 示出了标准 6T 单元，其中存储节点（补（comp）503 & 真（true）502）包括两个反相器，并使用 NFET 传输门来控制存取。底部的九个晶体管（例如 9T）504 示出了比较电路以及用于驱动匹配线的 NFET。

在使用 2D 集成制造的单晶片设计上，这些基元将被全部设置到一起。因此面积足印（footprint）为 6T 的面积加 9T（比较电路）的面积。在本发明中，这两个基元是分开的，在一个晶片上设置 6T 存储单元，在另一个晶片上设置 9T（比较电路）。在包括比较基元的晶片上实施逻辑、比较数据输入以及匹配线输出。通过过孔将存储节点（例如标注为真和补）垂直连接至比较电路。存储节点上的过多的负载会削弱写能力。可以在存储单元之上的层中插入真/补产生器缓冲，从而隔离存储节点与多个比较器件的负载。

产生的足印包括两个基元中的较大者，即 9T 电路加上增加的垂直集成节点（真 & 补）的面积。图 5A 与 5B 分别以图示的形式中示出了上述不同。图 5A 是现有技术的设计，而图 5B 是本发明的设计。在图 5A 中，示出了具有标准金属互连的 2D 单元的基础单元部分和连接。“锁存+W”块代表单元的存储器锁存和至该存储器锁存的单元的写端口电路。两个“CM”块代表两个 CAM 端口电路。左边的线代表到 CAM 的锁存单元的补节点，而右边的线是真节点。图 5A 还示出了两个可选的反相器电路“.opt INV”，用于驱动补和真节点到“CM”电路。图 5B 示出了处于 3D 互连环境中的本发明设计的 CAM 单元的基础部分。标注与图 4A 相同。锁存的来自存储器单元的“补”和“真”信号由垂直互连传导，而不是水平金属互连。“RWL/WWL”标示了用于读端口的读字线选择和用于写端口的写字线选择，以控制到单元的写入。“匹配线 1”和“匹配线 2”分别标示了“CM-

数据 1”和“CM-数据 2”上的“CM”CAM 电路的输出，以便指示单元的“锁存”部分中的锁存数据何时匹配被提供到该单位的比较数据。

可以观察到，图 5B 中的总体足印面积（鸟瞰视图）远小于图 5A。产生的 CAM 单元的较小的面积具有很多有益效果，例如，较短的位线（写和读数据）、较短的匹配数据线、以及较短的匹配线、较短的字线（写和读）。

所有这些有益效果导致了更易于（更快）写的 CAM 结构以及显著改善的 CAM 搜索，这归因于较短的匹配数据线和匹配线。现在进一步详细地描述本发明的该方面。

在单个晶片上，CAM（6T+9T）电路被布置得如此紧密，以至于几乎不可以为这些基元设置单独的电压域（domain）而不会显著地增加面积足印，并且还导致了功率分布的复杂度以及功率线的访问面积的增加。图 6 示出了本发明的多晶片 CAM 单元的功率分布，其中具有 9T（匹配电路）的晶片还包括用于匹配线的控制逻辑、匹配数据线驱动器以及所有时钟；同样地在另一晶片上包括 6T（存储节点）、读和写控制逻辑、写数据驱动器和读方案。

在本发明的多晶片 CAM 单元中，6T 和 9T 物理上位于独立的晶片上，其中可以逐晶片地（wafer to wafer）控制功率分布；即可以使匹配电路和存储电路具有相对于彼此而言较低或较高的电压。可以简单地为时序关键路径提供较高的电压，或者反之亦然，可以为非关键路径（较高幅度）提供较低的电压。由于真和补线是从存储单元到比较电路的，因此如果存储单元与比较电路相比处于较低的电压，就需要电压转换器。将 6T（单元）与 9T（比较）分离到不同的晶片上还允许更多的粒（granular）功率选通。

本发明的 CAM 单元的另一优点为，当结构上没有利用匹配电路时，其可以完全关断匹配电路，并使用存储节点核心作为标准寄存器。本发明的 CAM 单元为更多的创新结构解决方案提供了灵活性。

现在将讨论单晶片 CAM（现有技术）与多晶片 CAM 设计（本发明）之间的实际面积和时序差异。

图 7A 示出了 2 读、1 写以及 CAM (9T) 单元的现有技术版图。这里该单元还称为 2r1w1c 单元。这里该 2r1w1c 单元代表以 45nm 工艺绘制出的寄存器堆 CAM 单元。在该版图中, 所有基元(读、写、存储节点、CAM) 密集地集成在一起。该密集版图的尺寸为 $2.736\mu\text{m}$ (宽度)以及 $2.28\mu\text{m}$ (h)。图 7A 示出了现有技术的 2D CAM 2r1w1c 寄存器堆单元。2 读端口、1 写端口以及存储器单元锁存电路位于单元的左半部分并被标注于图中以示出实际位置。CAM 端口电路占据单元的右半部分并被标注为“CAM 端口”。还标注出了重要信号。“RWL”-读字线, “WWL”-写字线, “GbI”-全局位线, VDD/GND, “CMP”-到 CAM 的真比较数据, “CMP_B”-到 CAM 的补比较数据。重点注意的是内部单元节点的连接性, 即水平金属层 1 互连上的单元的“TRUE”和“COMP”布线到 CAM 端口的连接性。在图 7B 中, 通过被标注为“晶片至晶片过孔”的垂直互连过孔, “TRUE”和“COMP”信号将层连接起来。图 7B 是本发明的版图。图 7B 中的 CAM 端口位于分开的层上, 该层在包括单元的两个读端口、写端口以及锁存的晶片层之下。通过在下方, 下晶片的顶金属是到上晶片层的衬底的最近的层。

图 7B 示出了版图的两片; 左边是 2 读、1 写以及存储节点 801; 右边是 9T (比较) 电路 802。锁存核心被构建在顶晶片上, CAM 位于底晶片上, 并且这两个基元使用垂直互连通过真 (true) 和补 (comp) 节点连接到一起。在 M1 金属层处制造到锁存核心的连接, 并在底部晶片上在 C1 (M4) 金属处制造到 CAM 的连接。M1 是数据可以离开存储单元的最底层金属, 以及 C1 是 CAM 中所使用的最顶层金属。采用该种方式, 垂直互连的距离最小, 由此减小总的电容和电阻。存储单元的尺寸为 $1.368\mu\text{m}$ (宽度) 和 $2.66\mu\text{m}$ (高度); 以及 CAM 电路的尺寸为 $1.368\mu\text{m}$ (宽度) 和 $1.52\mu\text{m}$ (高度)。可以看到, 锁存核心 (存储单元) 电路相比于 CAM 具有较大的足印, 因此锁存核心的面积将限定阵列的总体尺寸。然而, 可以垂直增加另外的 CAM 端口来 3D 堆叠而不会增加 2D 足印。实际上, 为了容纳用于附加的比较端口的布线, 单晶片多层 CAM 实施方式的面积将大于锁存核心与比较电路的面积之和。

在该模块 2r1w1c 中，密集 CAM 单元的高度 ($2.52\mu\text{m}$) 以及锁存节点的高度 ($2.66\mu\text{m}$) 是相似的，因此将不能实现垂直时序路径的任何改善。这些垂直时序路径中的一些为：1. 读：局部位线读出、局部接收器、全局位线读出；2. 写数据到达时间；3. 匹配数据到达时间。对于 3D 集成单元，由于高度没有减小，所以通过这些路径的延迟是相同的。

然而，现在比较密集阵列的宽度 $2.736\mu\text{m}$ 与 3D 集成阵列的宽度 $1.368\mu\text{m}$ (每位单元列)，可以看到宽度只是其最初尺寸的一半。宽度的减小具有很多时序有益效果，例如包括：

减小了读字线传输延迟

- a. 对在 45nm 工艺的 32 位阵列，其具有线 1.5X 间距以及 1.5 宽度，将可以看到读字线传输延迟的约 2-3 皮秒 (ps) 的改善。

减小了写字线传输延迟

- a. 单元写能力的较大裕度，如果写数据在字线之前到达；
- b. 对于 45nm 工艺的 32 位阵列，其具有线 1.5X 间距以及 1.5 宽度，将可以看到写字线传输延迟的约 2-3 皮秒 (ps) 的改善。

匹配线延迟改善

- a. 对于单晶片的 32 位阵列，CAM 搜索耗时 129ps，这其中的 48ps 用于比较 (真 & 补) 数据发布 (launch)，而另外 81ps 用于通过局部和全局方案的匹配线传输和锁存到交叉耦合的与非中。该延迟劣化了每一个附加的单晶片比较端口。对于单晶片 3 端口 CAM 实施方式，匹配线传输为 108ps，CAM 搜索时间是 156ps。
- b. 对于多晶片的 32 位阵列，CAM 搜索耗时 118ps，这其中的 48ps 用于比较 (真 & 补) 数据发布，而其另外 70ps 用于通过局部和全局方案的匹配线传输和锁存到交叉耦合与非中。

由于高度近似相同 ($2.66\mu\text{m}$ 对 $2.28\mu\text{m}$)，在 2D 与 3D CAM 阵列中，匹配数据的延迟是相同的。然而，可以看到 3-D CAM 阵列在 CAM 搜索

中具有 11ps 的改善，这在处理器的时序关键路径中的一条路径中实现了 8.5% 的改善。3 端口 CAM 阵列得到 38ps 的改善，或者 24% 的改善。

为了获得本发明的多晶片 CAM 单元，应用三维（3D）集成和封装技术（也称为垂直集成）。在这样的技术中，使用层之间的垂直互连堆叠有源器件的多个层，以形成 3D 集成电路（IC）。由于 3D IC 中的每个晶体管可以访问大量的最近的近邻（neighbor）并且每一个电路功能块具有较高的带宽，因此即使缺少持续的器件缩放，3D IC 也提供了潜在的性能提升。由于减小了线长度并由此的较低的负载电容，潜在的性能有益效果、以及实现增加的功能度（混合技术），所以 3D IC 的其他有益效果为改善了封装密度、抗噪性、改善了总功率。

通过接合绝缘体上半导体衬底的单独制造的层实现了用于制造晶片规模 3D 集成的优选实施例。设计并检查作为独立芯片的具有其自身的金属化层的每一层，而且具有附加的空闲的垂直过孔通道以用于随后设置垂直过孔。加工所有的上层至最终的金属，并将临时清洁玻璃处理物（handle）粘合到顶部。然后抛光晶片的底部，去除背面的硅和大部分的 SOI 掩埋氧化物。然后对准该晶片，接着使用低温度和高压力接合将该晶片硅接合到基础层的顶部。然后通过激光烧蚀或者溶解粘合剂来去除处理物衬底。向下蚀刻垂直过孔，通过上层到达下面的基础层布线；然后使用与常规金属过孔大体相同的方法为过孔加衬里并填充这些过孔。然后，在完成的垂直过孔的顶部上施加最终的布线层，并在顶部设置终端金属或另一硅层。

现在参考图 8A-8D，其是图示表示，示例了本发明所采用的用于制造本发明的多层、多晶片 CAM 的基本处理步骤。在这些附图中，通过实例示出了两个晶片。虽然在这些图中使用了两个晶片，但是本发明典型应用了至少三个晶片。事实上，本发明构思了多个实例，其中利用 3D 集成以一个在另一个顶上的方式堆叠多个晶片。

首先参考图 8A，其示例了本发明可以采用的第一结构（即，加工的晶片）10。第一结构（或第一晶片）10 包括加工的 SOI 衬底 12，其包括底部半导体层 12A、掩埋绝缘层 12B 以及顶部有源半导体层 12C。如图所示，

顶部有源半导体层 12C 包括多个半导体器件，例如位于顶部有源半导体层 12C 上和内的场效应晶体管 14。注意，如图 8A 所示，顶部有源半导体层已被构图。

分别地，顶部和底部半导体层 12C 和 12A 包括任何半导体材料，例如其包括：Si、SiGe、SiC、SiGeC、GaAs、InP、InAs 及其多层。优选地，顶和底半导体层 12C 和 12A 分别地包括硅。掩埋绝缘层 12B 包括晶体或者非晶体介质，其包括氧化物、氮化物、氧氮化物及其多层。优选地，掩埋绝缘层 12B 包括氧化物。

每个晶体管 14 包括至少栅极介质（例如氧化物）和栅极导体（例如掺杂的多晶硅或者金属栅极）。多个晶体管还包括至少一个侧壁间隔物（未示出）以及位于顶部有源半导体层 12C 内的源极/漏极区域 20。SOI 衬底和晶体管的组件对于本领域的技术人员而言是公知的。此外，制造 SOI 衬底以及场效应晶体管的方法对于本领域的技术人员而言也是公知的。为了不模糊本发明，略去了有关上述基元的细节。

图 8A 示出的结构还包括至少一种介质材料 24，其包括导电填充的开口 26（以过孔和过孔/线的形式），开口 26 延伸到栅极导体和源极/漏极区域 20 的顶部。至少一种介质材料 24 和导电填充的开口 26 代表使用本领域公知的常规技术制造的互连结构（或者布线结构）。至少一种介质材料 24 包括任何公知的介质，例如包括二氧化硅 (SiO_2)、倍半硅氧烷 (silsesquioxane) 以及 C 掺杂的氧化物。可以使用多孔和非多孔的介质材料。导电填充的开口 26 包括导电材料，例如包括 W、Al、Cu 以及例如 AlCu 的合金。在导电填充的开口 26 中可以存在衬里材料例如 TiN 或者 TaN。

在提供图 8A 示出的结构之后，在互连结构的暴露的上表面上形成可选的粘合或接合辅助层 28，由此提供图 8B 的下部所示出的结构。例如，可选的粘合或接合辅助层 28 包括氧化物或硅烷。例如，利用包括化学气相淀积 (CVD)、等离子体增强化学气相淀积 (PECVD)、或旋涂的常规淀积工艺，形成可选的粘合或接合辅助层 28。图 8B 还示出了存在的处理

(handling) 衬底 30, 使其接触结构 10 的最上表面, 即可选的粘合或接合辅助层 28 (如果存在), 或者直接接触介质材料 24 的表面。箭头 32 指示了到结构 10 的最上表面的施加。

接下来, 并同样如图 8C 所示, 利用平坦化方法例如化学机械抛光 (CMP) 去除 SOI 衬底的底部半导体层 12A。在该平坦化工艺期间, 典型地将掩埋绝缘层 12B 从初始厚度减薄到第一厚度。现在该结构称为第一结构 10'。

在减薄之前、在减薄期间或者在减薄之后, 利用本领域技术人员公知的标准处理技术形成第二结构 (即加工的晶片) 34。第二结构 34 包括 SOI 衬底 36, 该 SOI 衬底 36 包括底部半导体层 36A、掩埋绝缘层 36B 以及顶部有源半导体层 36C。注意, 底部半导体层 36A、掩埋绝缘层 36B 以及顶部有源半导体层 36C 包括与上述用于 SOI 衬底 12 的相同或者不同的材料。

第二结构 34 还包括位于顶部有源半导体层 36C 上和内部的多个场效应晶体管 38。第二结构 34 的多个场效应晶体管 38 包括栅极介质、栅极导体、以及源极/漏极区域 44。第二结构 34 还包括至少一种介质材料 46, 该介质材料 46 包括导电填充的开口 48, 该开口 48 形成在至少一种介质材料 46 中。至少一种介质材料 46 和导电填充的开口 48 可以包括与上述在第一结构中所描述的对应基元相同或者不同的材料。可选地, 在第二结构的介质材料 46 的顶上形成氧化物层 50。

接下来, 如图 8C 所示, 使第二结构 34 的希望的表面紧密接触第一结构 10' 的希望的表面, 如图 8B 中的处理情形。典型地, 使第一结构 10' 的减薄的掩埋氧化物层 12B 紧密接触第二结构的氧化物层 50。然后, 利用本领域技术人员所公知的任何常规接合技术进行接合。例如, 可能利用标称室温接合方法 (温度从约 20°C 到约 40°C) 实施接合, 或者在较高的温度下实施接合。可以使用各种接合后退火方法来提高接合强度。

在接合第一 10' 与第二结构 36 到一起之后, 通过常规技术, 例如包括激光烧蚀、平坦化、或者蚀刻, 去除处理衬底 30。典型地, 还通过本发明的该步骤去除粘合或接合辅助层 28。

然后,通过光刻并从介质材料 24 的现在暴露的上表面层向下蚀刻到达第二结构 36 的导电填充的开口 48, 来形成垂直过孔。然后, 使用衬里材料(例如 TiN、TaN 或 WN) 为过孔加衬里, 并使用导电材料填充垂直过孔的剩余部分。图 8D 示例了最终的结构, 其包括导电填充的垂直过孔 52。然后, 可以根据需要进行常规的互连工艺。

在本发明的一个实施例中, 第一结构 10' 内的多个晶体管 14 具有 6T 配置, 而第二结构 34 内的多个晶体管 38 具有 9T 配置。6T 配置典型地形成了本发明的 CAM 单元的存储基元, 而 9T 配置典型地形成了本发明的 CAM 单元的比较基元。在另一实施例中, 第一结构 10' 内的多个晶体管 14 具有 9T 配置, 而第二结构 34 内的多个晶体管 38 具有 6T 配置。

这样, 上述方法提供了一种多晶片 CAM 单元, 其包括位于垂直堆叠在至少一个存储基元(或者电路)的顶部或之下的第一结构中的至少一个比较基元(或电路), 该至少一个存储基元(或者电路)位于第二结构中, 该至少一个比较基元和该至少一个存储基元通过至少一个垂直导电填充的过孔互连。优选地, 至少一个比较基元位于至少一个存储基元之上。

在进一步的实施例中, 包括例如其他比较基元和/或存储基元的其他结构可以垂直堆叠在如图 8D 所示的结构的上部。

虽然通过优选的实施例已经具体示出并描述了本发明, 但本领域的技术人员应当理解, 可以进行形式和细节上的前述或其他改变而不背离本发明的精神和范围。因此, 应当注意, 本发明并不局限于所描述和示例的精确的形式和细节, 而是落入所附的权利要求的范围内。

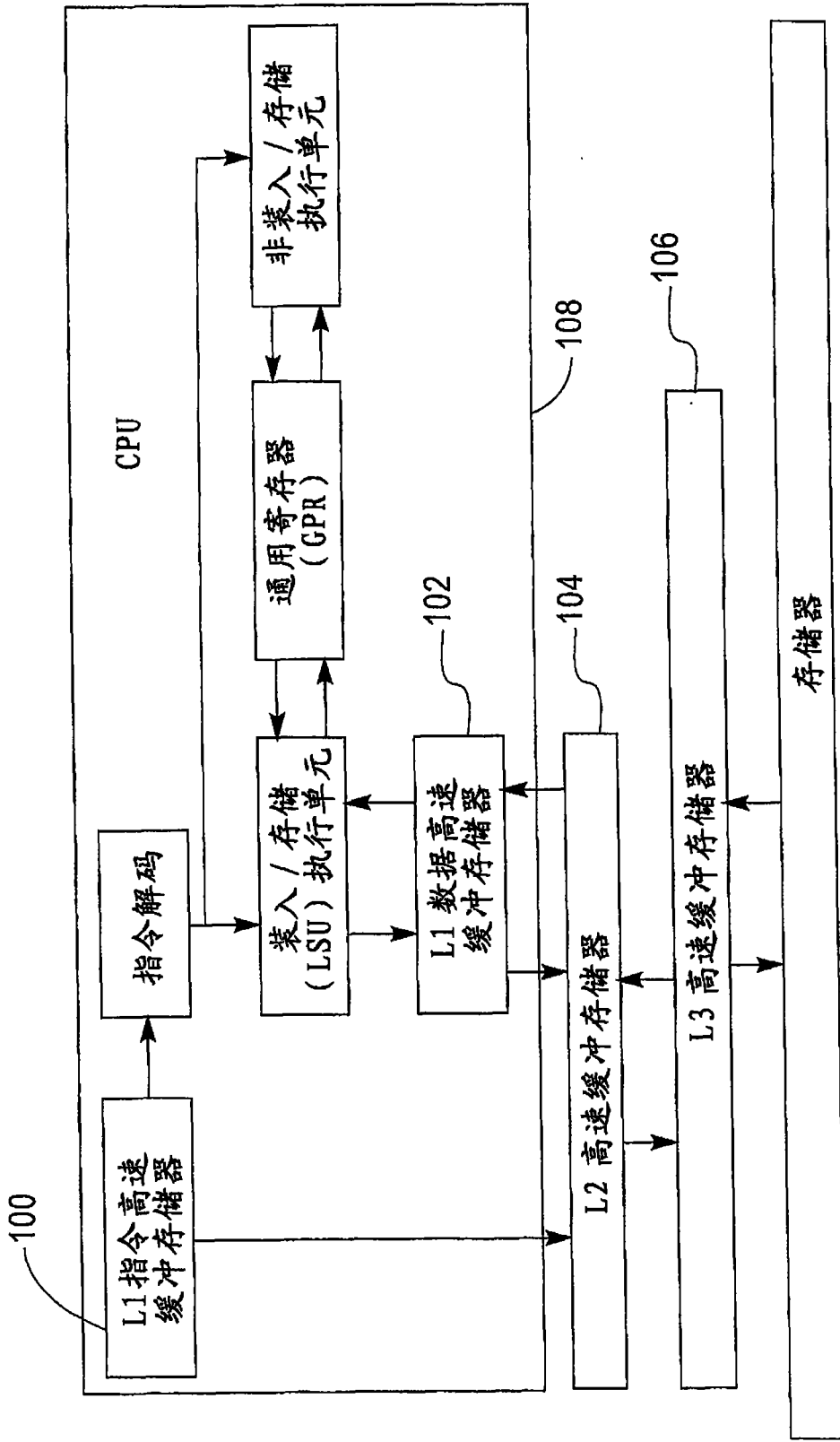


图 1

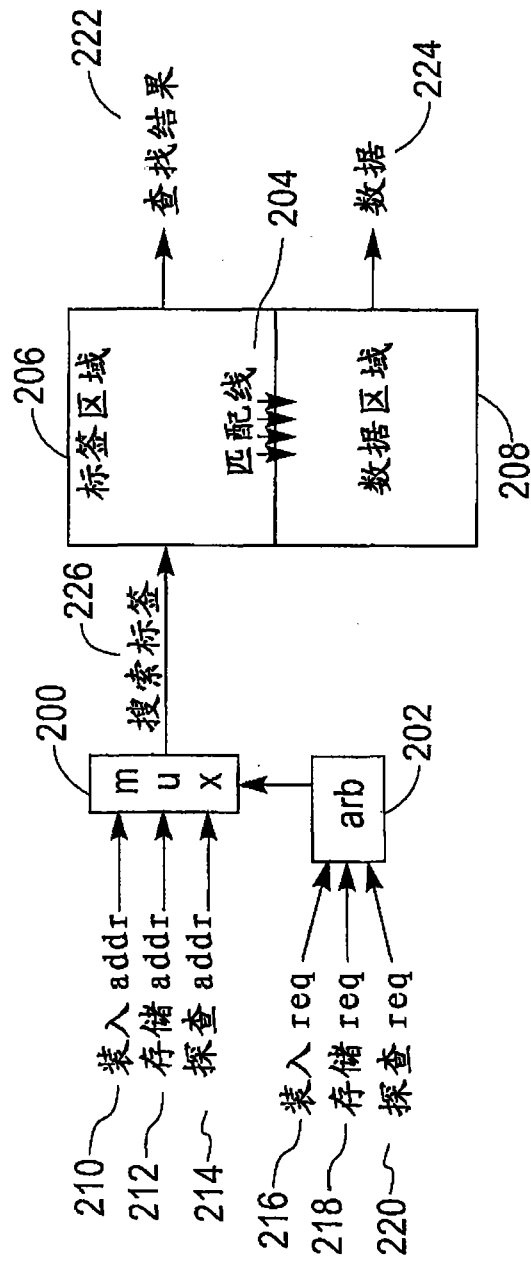


图 2

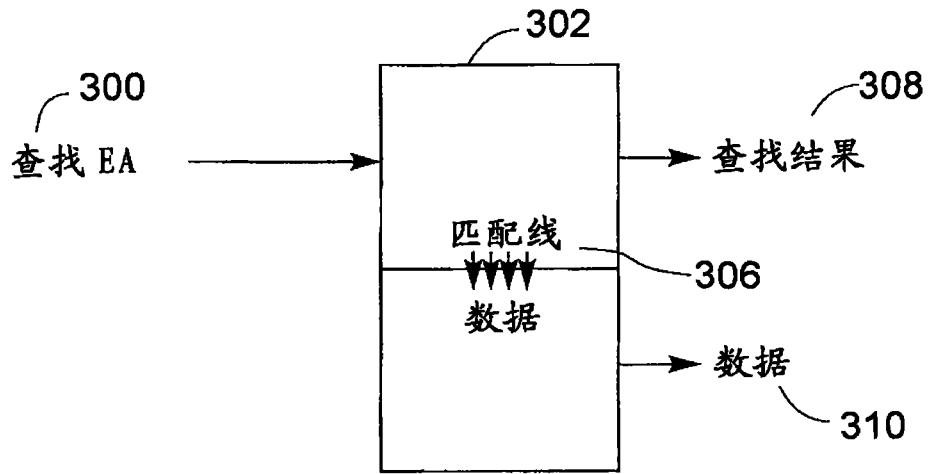


图 3

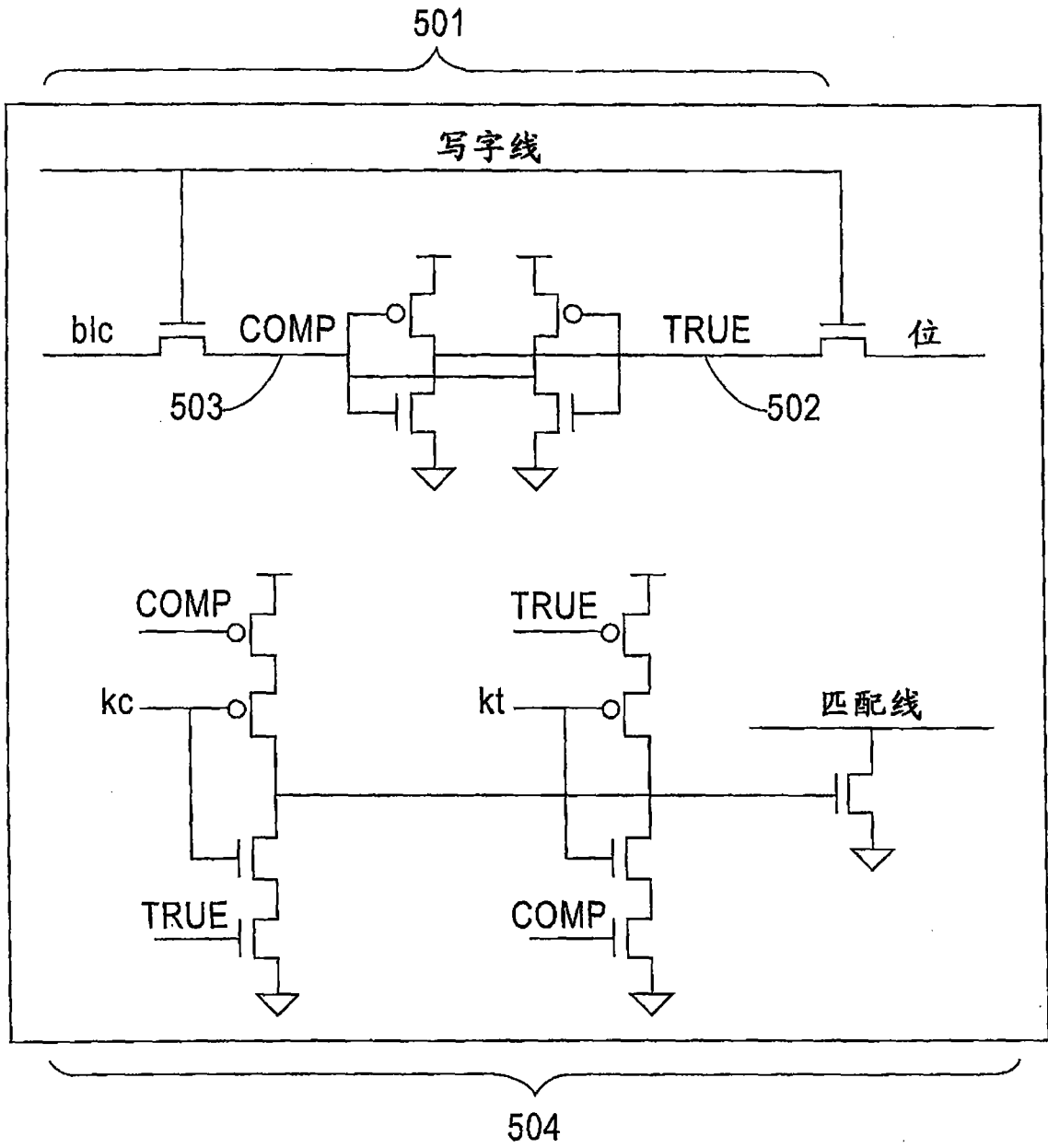


图 4

平面 CAM 单元

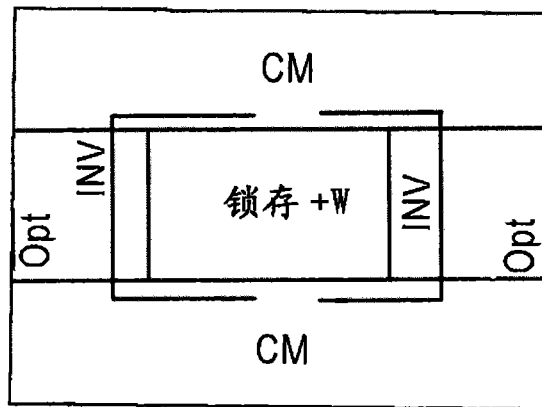


图 5A

3-D 多端口 CAM

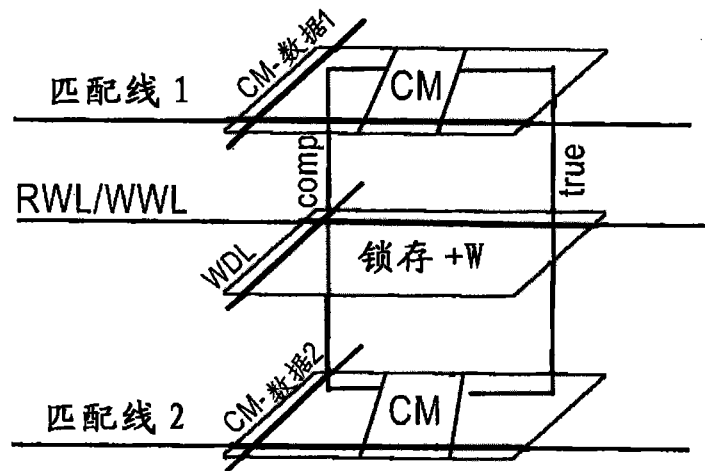


图 5B

CAM 端口功率选通VDD 分布

功率域颜色代码
(每一种颜色为单独的 VDD)

CM0 功率域
CM1 功率域
读 / 写功率域
单元功率域

单元阵列中的 VDD 布线重叠

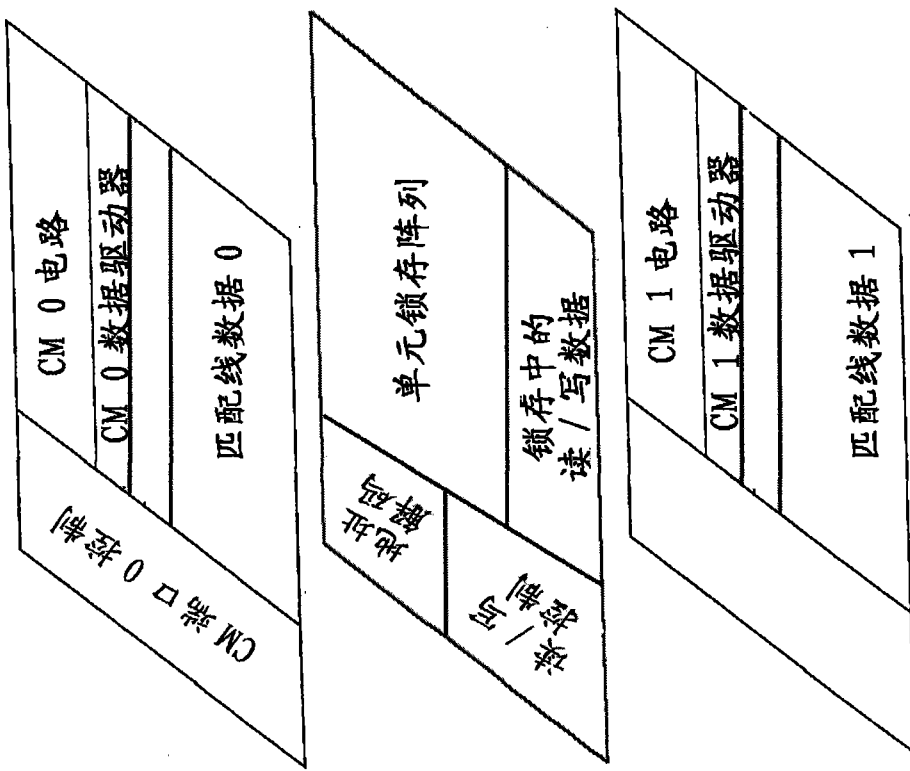
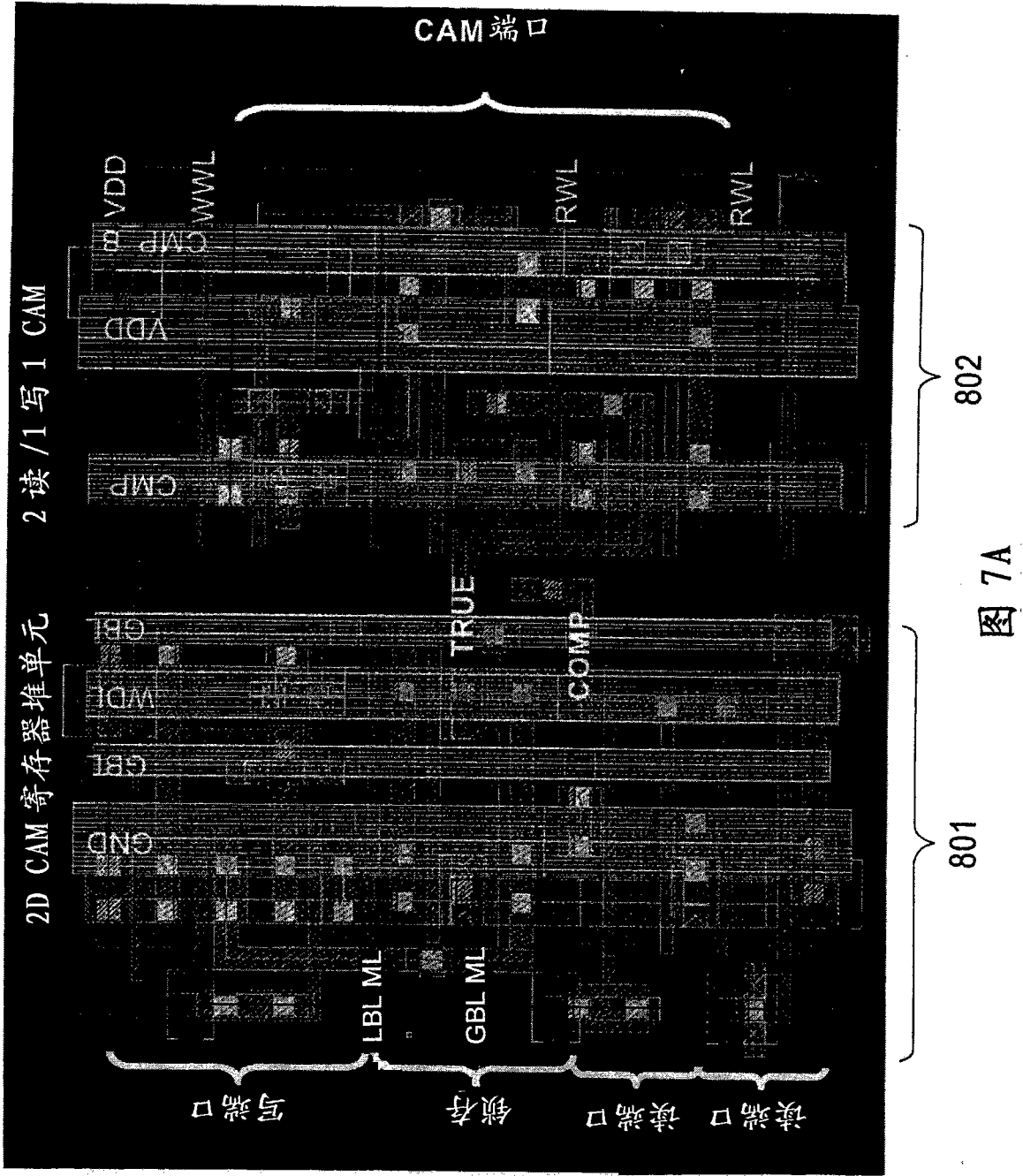


图 6



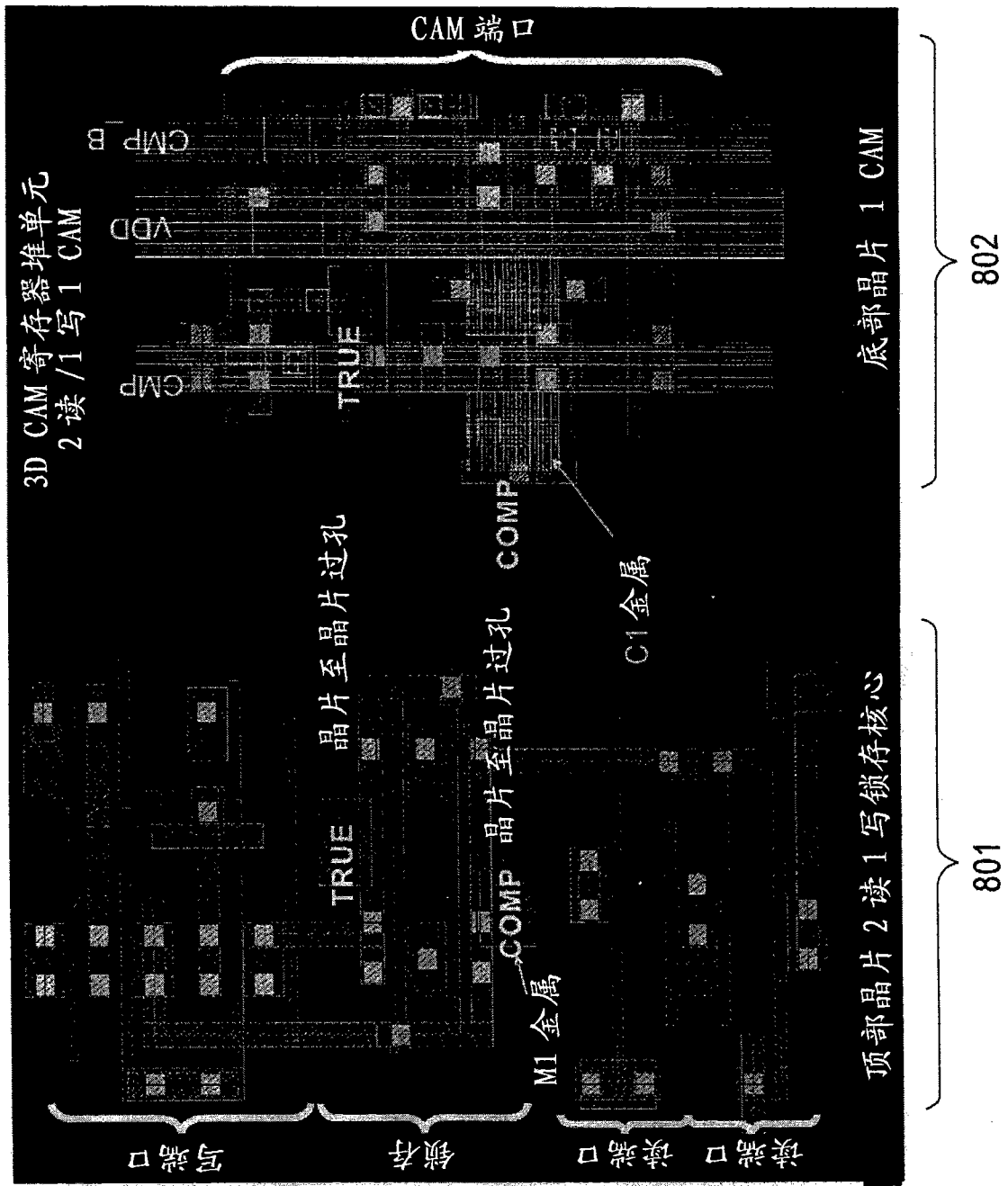


图 7B

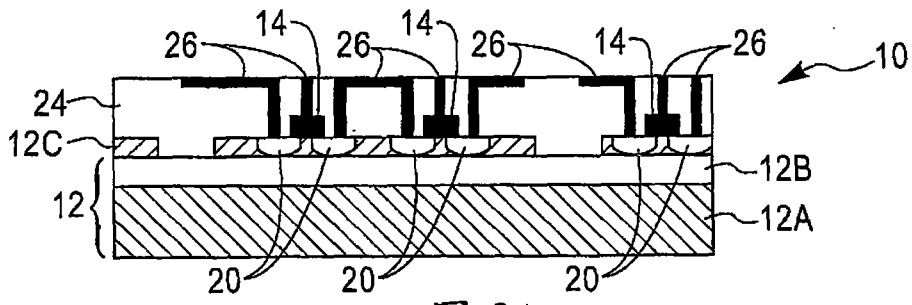


图 8A

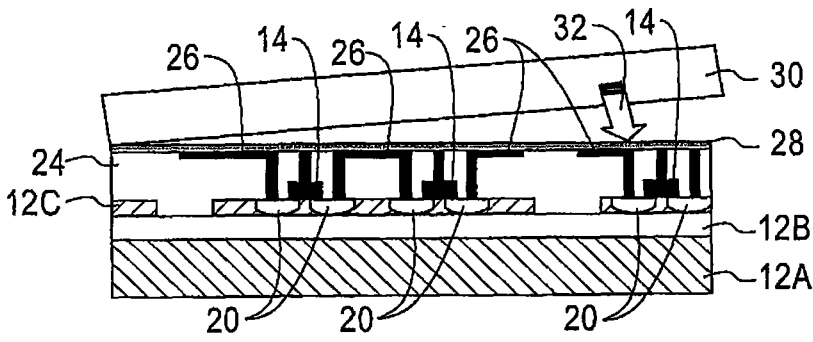


图 8B

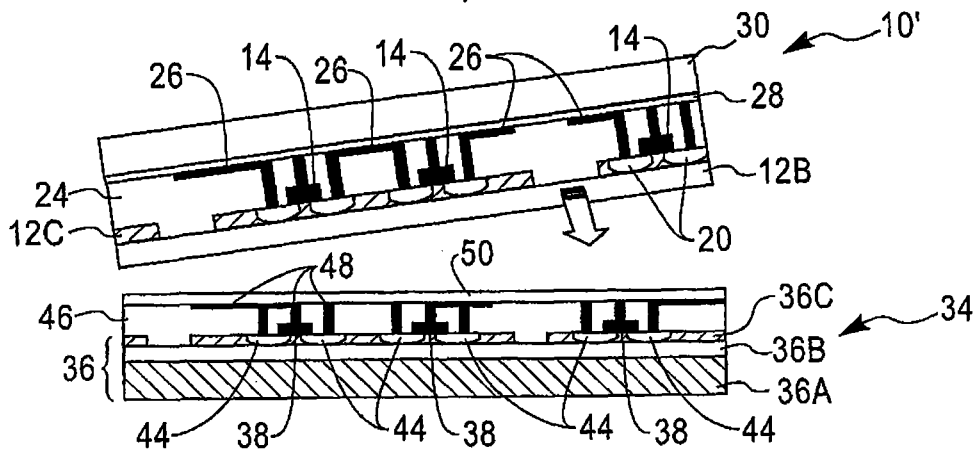


图 8C

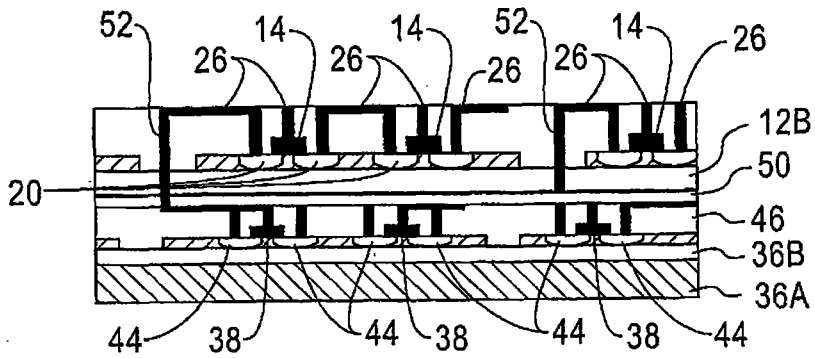


图 8D