

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-89823
(P2008-89823A)

(43) 公開日 平成20年4月17日(2008.4.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624A	5C006
G02F 1/133 (2006.01)	G09G 3/20 680H	5C080
	G09G 3/20 622Q	
	G09G 3/20 622D	

審査請求 有 請求項の数 23 O L (全 28 頁) 最終頁に続く

(21) 出願番号	特願2006-268950 (P2006-268950)	(71) 出願人	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22) 出願日	平成18年9月29日 (2006.9.29)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

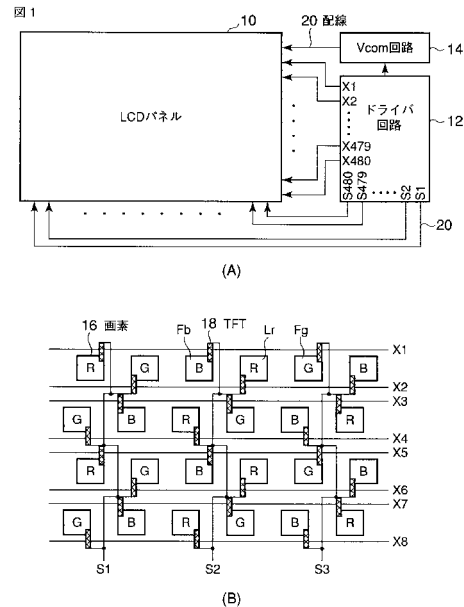
(54) 【発明の名称】 マトリックス表示装置の駆動回路、表示装置及びマトリックス表示装置の駆動方法

(57) 【要約】

【課題】画素間寄生容量が存在する場合の表示ムラを低減すること。

【解決手段】複数の信号線S1, S2, ...と複数の走査線X1, X2, ...とをマトリクス状に配置し、1本の信号線を隣接する2画素16が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のTFT18と、からなるLCDパネル10を駆動するドライバ回路12は、前記複数の走査線を順次選択する走査線駆動回路と、前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路とを備える。前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することで、画素間の書き込み電位差を減少させ、表示ムラを低減する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリックス表示装置の駆動回路であって、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とするマトリックス表示装置の駆動回路。

10

【請求項 2】

前記異なる信号線に接続され隣接配置された2つの画素の内の後に選択されるべき画素には、

前記2本の走査線を同時に選択した期間に、

前記後に選択されるべき画素が接続されている信号線に接続され、前記後に選択されるべき画素に隣接する画素の電位が書き込まれ、

前記1本の走査線のみを選択する期間に、

前記後に選択されるべき画素に書き込まれるべき電位が書き込まれることを特徴とする請求項1に記載のマトリックス表示装置の駆動回路。

20

【請求項 3】

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする請求項1に記載のマトリックス表示装置の駆動回路。

【請求項 4】

前記走査線駆動回路は、前記2本の走査線の同時選択及びその後の1本の走査線の選択を、一水平期間に行うことを特徴とする請求項1～3の何れか一項に記載のマトリックス表示装置の駆動回路。

【請求項 5】

前記走査線駆動回路は、一水平期間に2本の走査線を1本ずつ順次選択するノーマルモードと、前記2本の走査線の同時選択及びその後の1本の走査線の選択を行う2度書きモードとを、切り替え可能であることを特徴とする請求項1～4の何れか一項に記載のマトリックス表示装置の駆動回路。

30

【請求項 6】

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリックス表示装置の駆動回路であって、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、

前記信号線駆動回路に、異なる信号線に接続され隣接配置された2つの画素の内の一方の画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させる補正回路と

40

を具備することを特徴とするマトリックス表示装置の駆動回路。

【請求項 7】

前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする請求項6に記載のマトリックス表示装置の駆動回路。

【請求項 8】

前記補正した信号の補正量は、階調によらず一定にすることを特徴とする請求項6に記

50

載のマトリックス表示装置の駆動回路。

【請求項 9】

前記補正した信号の補正量は、選択可能であることを特徴とする請求項 6 に記載のマトリックス表示装置の駆動回路。

【請求項 10】

前記補正した信号の補正の方向は、駆動の方法に対応して切り替え可能であることを特徴とする請求項 6 に記載のマトリックス表示装置の駆動回路。

【請求項 11】

前記補正回路は、前記信号線駆動回路に、前記異なる信号線に接続され隣接配置された 2 つの画素の内の、先に選択されるべき画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させることを特徴とする請求項 6 に記載のマトリックス表示装置の駆動回路。

10

【請求項 12】

前記補正回路は、前記信号線駆動回路に、前記異なる信号線に接続され隣接配置された 2 つの画素の内の、後に選択されるべき画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させることを特徴とする請求項 6 に記載のマトリックス表示装置の駆動回路。

【請求項 13】

前記補正回路は、前記信号線駆動回路に、前記異なる信号線に接続され隣接配置された 2 つの画素の内の、何れの画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させるかを、切り替え可能であることを特徴とする請求項 6 に記載のマトリックス表示装置の駆動回路。

20

【請求項 14】

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する 2 画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

30

前記走査線駆動回路は、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本の走査線を同時に選択した後、前記 2 つの画素の内の後に選択されるべき画素に対応した 1 本の走査線のみを選択することを特徴とする表示装置。

【請求項 15】

前記異なる信号線に接続され隣接配置された 2 つの画素の内の後に選択されるべき画素には、

前記 2 本の走査線を同時に選択した期間に、

前記後に選択されるべき画素が接続されている信号線に接続され、前記後に選択されるべき画素に隣接する画素の電位が書き込まれ、

前記 1 本の走査線のみを選択する期間に、

40

前記後に選択されるべき画素に書き込まれるべき電位が書き込まれることを特徴とする請求項 14 に記載の表示装置。

【請求項 16】

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする請求項 14 に記載の表示装置。

【請求項 17】

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する 2 画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

50

前記複数の走査線を順次選択する走査線駆動回路と、
前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、
を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする表示装置。

【請求項18】

前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする請求項17に記載のマトリクス表示装置。

10

【請求項19】

複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリクス表示装置の駆動方法であって、

前記複数の走査線を順次選択すると共に前記複数の信号線に表示すべき情報に従った信号を出力する際に、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とするマトリクス表示装置の駆動方法。

【請求項20】

20

前記異なる信号線に接続され隣接配置された2つの画素の内の後に選択されるべき画素には、

前記2本の走査線を同時に選択した期間に、

前記後に選択されるべき画素が接続されている信号線に接続され、前記後に選択されるべき画素に隣接する画素の電位が書き込まれ、

前記1本の走査線のみを選択する期間に、

前記後に選択されるべき画素に書き込まれるべき電位が書き込まれることを特徴とする請求項19に記載のマトリクス表示装置の駆動方法。

【請求項21】

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする請求項19に記載のマトリクス表示装置の駆動方法。

30

【請求項22】

複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリクス表示装置の駆動方法であって、

前記複数の走査線を順次選択すると共に前記複数の信号線に表示すべき情報に従った信号を出力する際に、異なる信号線に接続され隣接配置された2つの画素の内の一方の画素に対し、画素間寄生容量による電位変動分を補正した信号を出力することを特徴とするマトリクス表示装置の駆動方法。

40

【請求項23】

前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする請求項22に記載のマトリクス表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1本の信号線を隣接する2画素が共用するタイプのマトリクス表示装置の駆動回路、表示装置及び駆動方法に関する。

【背景技術】

50

【0002】

近年、スイッチング素子として薄膜トランジスタ（TFT）を用いたアクティブマトリックス方式の液晶表示装置などのマトリックス表示装置が開発されている。

【0003】

このマトリックス表示装置は、画素マトリックスの各行を順次に走査する走査信号を発生する走査線駆動回路（以下、ゲートドライバと称する）を有する。ゲートドライバは、マトリックスの各列に映像信号を与える信号線駆動回路（以下、ソースドライバと称する）に比べると動作周波数が低いため、画素マトリックス内のアクティブ素子であるTFTと同一工程で一体形成することも可能である。

【0004】

このようなマトリックス表示装置における各画素は、上記TFTに接続された画素電極と、共通電圧Vcomが印加される共通電極と、を持ち、一方向の電界が長く印加されることによって発生する劣化現象を防止するために、ソースドライバからの映像信号Vsigの極性を共通電圧Vcomに対して、フレーム毎、ライン毎、又はドット毎に反転させる反転駆動が一般に行われている。

【0005】

ところで、マトリックス表示装置の実装においては、多数の画素を配列した表示パネル（表示画面）の周囲に上記ゲートドライバやソースドライバ等を配置し、表示パネルの走査線（以下、ゲートラインと称する）及び信号線（以下、ソースラインと称する）への配線は、各ドライバから表示パネルの外側を引き回されている。これら配線の引き回し面積を少なくすること、即ち、表示パネル以外の面積縮小（狭額縁）を成し遂げることが、該マトリックス表示装置を組み込む情報機器の小型化の観点から強く望まれている。

【0006】

そのため、特に表示パネルの上下方向の狭額縁化の要求に対して、ソースラインの占有面積を小さくできることから、ソースラインを半分にした画素結線の構成が考えられている。（例えば、特許文献1の図5）。

【0007】

図10は、そのような狭額縁を達成するための一手法として考えられた表示パネルの画素結線例の概略図である。これは、1本のソースラインを隣接する2つの画素100で共用するものである。この場合、それら2つの画素100のTFT102は、それぞれ異なるゲートラインに接続されている。例えば、図10において、左上の赤（R）の画素100のTFT102は、ゲートラインG1とソースラインS1に接続され、その右隣の緑（G）の画素100のTFT102は、ゲートラインG2とソースラインS1に接続されている。

【0008】

図11は、このような画素結線において、各画素100に映像信号Vsigを書き込む順番を示す図である。上記画素結線において、各画素100への映像信号Vsigの書き込みは、ゲートラインの順番通りに実行されるので、同図に示すようなものとなる。

【特許文献1】特開2004-185006号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したようなソースラインを半分にした画素結線では、画素間にソースラインがある箇所とない箇所があり、ソースラインのない箇所には、ソースラインのある箇所と比べて画素間の寄生容量が大きく存在する。図12は、このときの等価回路を示す図である。この画素間寄生容量104が存在する画素間では、電圧リークが発生し、これにより、先に書かれた画素100の電位が、後に書かれた画素100の電位の影響を受けて変化する。この電位の変化は、画面上では表示ムラとなって現れる。図11に示したように画素書き込み順番は固定であるので、このリーク発生による表示ムラは、常に同じ箇所が発生することになる。

10

20

30

40

50

【 0 0 1 0 】

図 1 3 は、この表示ムラの例を示す図である。同図は、分かり易くするために G の画素 1 0 0 についてのみ示したものである。黒塗りした他の色の画素 1 0 0 においても、先に書かれた画素 1 0 0 の電位が変化してしまうことは同様である。(詳細は後述する。)

以下、この画素電位変動について、更に詳細に説明する。図 1 4 は、表示パネルを TFT LCD パネルとした場合の各画素の構成を示す図である。各画素 1 0 0 は、ゲートラインに接続される TFT 1 0 2 を介してソースラインに接続された画素電極と、共通電圧 V_{com} が印加される共通電極(図示せず)との間に液晶(図示せず)が挟持されて構成されている。そして、液晶容量 C_{lc} に電荷をフィールド期間(ノンインターレース方式の場合にはフレーム期間)にわたって保持することで対応する表示を実現する。液晶容量 C_{lc} や TFT を介しての電流リークの対策のために、液晶容量 C_{lc} と並列に補助容量 C_s を設けている。

10

【 0 0 1 1 】

図 1 5 (A) は、図 1 4 におけるゲートドライバによるゲートライン $G_1 \sim G_4$ の走査タイミングチャートを示す図であり、図 1 5 (B) は、一水平期間毎に共通電圧 V_{com} の極性を反転する水平ライン反転駆動を行う場合における、先に書き込まれる図 1 2 の例えば S_3 に接続される緑の画素 F (以下、G 先の画素と称する)及び後に書き込まれる図 1 2 の例えば S_2 に接続される赤の画素 L (以下、R 後の画素と称する)の画素電位波形を示す図である。

【 0 0 1 2 】

以下、画素にかかる電圧大きい程、透過率が下がる(暗くなる)ノーマリーホワイトモードの液晶表示装置の場合について述べる。なお、図 1 5 (B) は、共通電圧 V_{com} の振幅が $5.0V$ 、G 先の画素 F の書き込み電圧(映像信号 V_{sig})は共通電圧 V_{com} に対して $2.0V$ (中間調)、R 後の画素 L の書き込み電圧(映像信号 V_{sig})は共通電圧 V_{com} に対して $4.0V$ (黒、暗)、とした場合を示している。また、TFT 1 0 2 がオンからオフになる際に発生する引き込み電圧(フィードスルー電圧) V の影響は、共通電圧 V_{com} の調整(V_{com} を V 分下方にシフトする)によりキャンセルできるので、図 1 5 (B) の波形には記載していない(以下に説明する他の画素電位波形の図においても同様)。

20

【 0 0 1 3 】

図 1 5 (A) に示すように、各フィールドにおいて、一水平期間に 2 本のゲートラインが順次選択され、その選択される 2 本のゲートラインが水平期間毎に順次走査されていく。そして、図 1 5 (B) に示すように、選択されたゲートラインに接続された TFT 1 0 2 がオンして、対応する画素 1 0 0 にソースラインから印加される映像信号 V_{sig} が書き込まれる。従って、G 先の画素 F の書き込みタイミングは、図 1 5 (B) における W_G となり、R 後の画素 L の書き込みタイミングは W_R となる。これらの書き込みタイミングで書き込まれた画素電位が、次フィールドで書き換えられるまで維持される。

30

【 0 0 1 4 】

図 1 5 (B) は、上記画素間寄生容量 1 0 4 が 0 の場合の理想的な状態における画素電位波形である。しかしながら、上述したように、ソースラインのない箇所には画素間寄生容量 1 0 4 が存在してしまう。図 1 6 (A) は、画素間寄生容量 1 0 4 を考慮した場合の図 1 5 (B) と同じ電圧条件での画素電位波形を示す図である。また、図 1 6 (B) は画素間寄生容量 1 0 4 を考慮した場合の共通電圧 V_{com} の振幅が $5.0V$ 、G 先の画素 F の書き込み電圧は共通電圧 V_{com} に対して $2.0V$ 、R 後の画素 L の書き込み電圧は共通電圧 V_{com} に対して $1.0V$ (白、明)、とした場合の画素電位波形を示す図である。

40

【 0 0 1 5 】

即ち、図 1 6 (A) 及び図 1 6 (B) に示すように、G 先の画素 F においては、ゲートライン G_1 の選択によって書き込まれた画素電位が、ゲートライン G_2 の選択による R 後の画素 L の書き込みの際に、 V_c 分、共通電圧 V_{com} に対して遠ざかる向き(暗くなる

50

向き)にシフトしてしまう。この V_c の大きさは、

$$V_c = (V_{sig}(F_{n-1}) + V_{sig}(F_n)) \times C_{pp} / (C_s + C_{lc} + C_{pp}) \times \dots (1)$$

のように表せる。この(1)式において、 $V_{sig}(F_n)$ は現フィールドのR後の画素Lの書き込み電圧、 $V_{sig}(F_{n-1})$ は前フィールドのR後の画素Lの書き込み電圧である。従って、図16(A)の場合には $V_{sig}(F_{n-1}) + V_{sig}(F_n) = 8.0V$ 、図16(B)の場合には $V_{sig}(F_{n-1}) + V_{sig}(F_n) = 2.0V$ となる。また、 C_{pp} は画素間寄生容量104の容量値、 C_s は補助容量 C_s の容量値、 C_{lc} は液晶容量 C_{lc} の容量値、 \dots は比例係数であり、パネル構造等によって決まる値である。

【0016】

このように、 $V_{sig}(F_{n-1}) + V_{sig}(F_n)$ が大きい程、電位変動の値 V_c は大きくなり、 V_{com} の振幅の大きさにはよらない。

【0017】

以上は、共通電圧 V_{com} の極性を隣接するゲートライン毎、即ち図11の、G2とG3の間、G4とG5の間、G6とG7の間、に反転する水平ライン反転駆動の場合である。共通電極 V_{com} の極性反転には、隣接する画素間で反転するドット反転駆動という駆動方法も存在する。上記ソースラインを半分にした画素結線では、隣接するゲートライン毎ではなく、隣接する画素間で共通電圧 V_{com} の極性が反転するように、図11の、G1とG2の間、G3とG4の間、G5とG6の間、G7とG8の間、に共通電圧 V_{com} の極性を反転させる。

【0018】

このようなドット反転駆動を行う場合には、図17(A)及び図17(B)に示すようになる。ここで、図17(A)は画素間寄生容量104を考慮した場合の共通電圧 V_{com} の振幅が5.0V、G先の画素Fの書き込み電圧は共通電圧 V_{com} に対して2.0V(中間調)、R後の画素Lの書き込み電圧は共通電圧 V_{com} に対して4.0V(黒)、とした場合の画素電位波形を示す図であり、図17(B)は画素間寄生容量104を考慮した場合の共通電圧 V_{com} の振幅が5.0V、G先の画素Fの書き込み電圧は共通電圧 V_{com} に対して2.0V、R後の画素Lの書き込み電圧は共通電圧 V_{com} に対して1.0V(白)、とした場合の画素電位波形を示す図である。

【0019】

即ち、図17(A)及び図17(B)に示すように、ドット反転駆動を行う場合にも、上記ライン反転駆動を行う場合と同様に、G先の画素Fにおいては、ゲートラインG1の選択によって書き込まれた画素電位が、ゲートラインG2の選択によるR後の画素Lの書き込みの際に、 V_c 分、シフトするが、ドット反転駆動の場合には、シフトする方向は共通電圧 V_{com} に対して近づく向き(明るくなる向き)になる。

【0020】

この場合も、 $V_{sig}(F_{n-1}) + V_{sig}(F_n)$ が大きい程、電位変動の値 V_c は大きくなり、 V_{com} の振幅の大きさにはよらないことは、水平ライン反転駆動の場合と同様である。

【0021】

以上のような V_c 分の変動により、G先の画素は、ライン反転駆動の場合は実際の表示よりも暗くなってしまふ。またドット反転駆動の場合は実際の表示よりも明るくなってしまふ。これに対して、G後の画素の画素電位は正常な電圧が書き込まれるので、Gラストのような表示にすると、どちらの反転駆動の場合も縦方向に1本おきに明暗の緑が表示されることとなってしまふ。

【0022】

同様の V_c 分の変動が、R先の画素及びB先の画素においても発生する。

【0023】

また、上記のことは、画素100をデルタ配列とした場合に限らず、ストライプ配列と

10

20

30

40

50

した場合も同様である。

【0024】

上記特許文献1に開示された手法では、このような画素間寄生容量104に起因して先に書き込まれた画素に発生する電位変動による表示ムラの問題に対処できない。

【0025】

本発明は、上記の点に鑑みてなされたもので、画素間寄生容量が存在する場合の表示ムラを低減できるマトリクス表示装置の駆動回路、表示装置及び駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0026】

請求項1に記載のマトリクス表示装置の駆動回路は、複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリクス表示装置の駆動回路であって、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

【0027】

請求項2に記載のマトリクス表示装置の駆動回路は、請求項1に記載のマトリクス表示装置の駆動回路において、前記異なる信号線に接続され隣接配置された2つの画素の内の後に選択されるべき画素には、

前記2本の走査線を同時に選択した期間に、

前記後に選択されるべき画素が接続されている信号線に接続され、前記後に選択されるべき画素に隣接する画素の電位が書き込まれ、

前記1本の走査線のみを選択する期間に、

前記後に選択されるべき画素に書き込まれるべき電位が書き込まれることを特徴とする。

【0028】

請求項3に記載のマトリクス表示装置の駆動回路は、請求項1に記載のマトリクス表示装置の駆動回路において、前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【0029】

請求項4に記載のマトリクス表示装置の駆動回路は、請求項1～3の何れか一項に記載のマトリクス表示装置の駆動回路において、前記走査線駆動回路は、前記2本の走査線の同時選択及びその後の1本の走査線の選択を、一水平期間に行うことを特徴とする。

【0030】

請求項5に記載のマトリクス表示装置の駆動回路は、請求項1～4の何れか一項に記載のマトリクス表示装置の駆動回路において、前記走査線駆動回路は、一水平期間に2本の走査線を1本ずつ順次選択するノーマルモードと、前記2本の走査線の同時選択及びその後の1本の走査線の選択を行う2度書きモードとを、切り替え可能であることを特徴とする。

【0031】

請求項6に記載のマトリクス表示装置の駆動回路は、複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを

10

20

30

40

50

駆動するマトリックス表示装置の駆動回路であって、
 前記複数の走査線を順次選択する走査線駆動回路と、
 前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、
 前記信号線駆動回路に、異なる信号線に接続され隣接配置された2つの画素の内の一方の画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させる補正回路と、
 を具備することを特徴とする。

【0032】

請求項7に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする。

10

【0033】

請求項8に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正した信号の補正量は、階調によらず一定にすることを特徴とする

請求項9に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正した信号の補正量は、選択可能であることを特徴とする。

【0034】

請求項10に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正した信号の補正の方向は、駆動の方法に対応して切り替え可能であることを特徴とする。

20

【0035】

請求項11に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正回路は、前記信号線駆動回路に、前記異なる信号線に接続され隣接配置された2つの画素の内の、先に選択されるべき画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させることを特徴とする。

【0036】

請求項12に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正回路は、前記信号線駆動回路に、前記異なる信号線に接続され隣接配置された2つの画素の内の、後に選択されるべき画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させることを特徴とする。

30

【0037】

請求項13に記載のマトリックス表示装置の駆動回路は、請求項6に記載のマトリックス表示装置の駆動回路において、前記補正回路は、前記信号線駆動回路に、前記異なる信号線に接続され隣接配置された2つの画素の内の、何れの画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させるかを、切り替え可能であることを特徴とする。

【0038】

請求項14に記載のマトリックス表示装置は、
 複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

40

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、

を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

50

【 0 0 3 9 】

請求項 1 5 に記載のマトリックス表示装置は、請求項 1 4 に記載のマトリックス表示装置において、

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

【 0 0 4 0 】

請求項 1 6 に記載のマトリックス表示装置は、請求項 1 4 に記載のマトリックス表示装置において、

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【 0 0 4 1 】

請求項 1 7 に記載のマトリックス表示装置は、

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

【 0 0 4 2 】

請求項 1 8 に記載のマトリックス表示装置は、請求項 1 7 に記載のマトリックス表示装置の駆動回路において、

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【 0 0 4 3 】

請求項 1 9 に記載のマトリックス表示装置の駆動方法は、複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリックス表示装置の駆動方法であって、

前記複数の走査線を順次選択すると共に前記複数の信号線に表示すべき情報に従った信号を出力する際に、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

【 0 0 4 4 】

請求項 2 0 に記載のマトリックス表示装置の駆動方法は、請求項 1 9 に記載のマトリックス表示装置の駆動方法において、

前記異なる信号線に接続され隣接配置された2つの画素の内の後に選択されるべき画素には、

10

20

30

40

50

前記 2 本の走査線を同時に選択した期間に、
 前記後に選択されるべき画素が接続されている信号線に接続され、前記後に選択されるべき画素に隣接する画素の電位が書き込まれ、
 前記 1 本の走査線のみを選択する期間に、
 前記後に選択されるべき画素に書き込まれるべき電位が書き込まれることを特徴とする。

【 0 0 4 5 】

請求項 2 1 に記載のマトリクス表示装置の駆動方法は、請求項 1 9 に記載のマトリクス表示装置の駆動方法において、
 前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

10

【 0 0 4 6 】

請求項 2 2 に記載のマトリクス表示装置の駆動方法は、複数の信号線と複数の走査線とをマトリクス状に配置し、1 本の信号線を隣接する 2 画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルを駆動するマトリクス表示装置の駆動方法であって、

前記複数の走査線を順次選択すると共に前記複数の信号線に表示すべき情報に従った信号を出力する際に、異なる信号線に接続され隣接配置された 2 つの画素の内の一方の画素に対し、画素間寄生容量による電位変動分を補正した信号を出力することを特徴とする。

20

【 0 0 4 7 】

請求項 2 3 に記載のマトリクス表示装置の駆動方法は、請求項 2 2 に記載のマトリクス表示装置の駆動方法において、

前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする。

【 発明の効果 】

【 0 0 4 8 】

本発明によれば、隣接する画素に対応する 2 本の走査線を 2 本同時に選択した後、隣接する画素の内、後に選択される画素に対応した走査線 1 本のみを選択することで、画素間の書き込み電位差を減少させ、表示ムラを低減できるマトリクス表示装置の駆動回路及び駆動方法を提供することができる。

30

【 0 0 4 9 】

また、本発明によれば、画素間に存在する寄生容量による電位変動分を予め補正した映像信号を信号線駆動回路から出力することで、画素間の書き込み電位差を減少させ、表示ムラを低減できるマトリクス表示装置の駆動回路、表示装置及び駆動方法を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 5 0 】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。

【 0 0 5 1 】

40

〔 第 1 実施形態 〕

図 1 (A) は、本発明の第 1 実施形態に係るマトリクス表示装置の全体構成を示す概略構成図であり、図 1 (B) は、図 1 (A) 中の L C D パネルの画素結線の概略図である。

【 0 0 5 2 】

即ち、本実施形態に係るマトリクス表示装置は、図 1 (A) に示すように、複数の画素が配置された L C D パネル 1 0 と、該 L C D パネル 1 0 の各画素を駆動制御するドライバ回路 1 2 と、L C D パネル 1 0 に共通電圧 V c o m を印加する V c o m 回路 1 4 と、から構成されている。

【 0 0 5 3 】

50

L C Dパネル10は、図1(B)に示すように、複数のソースラインS1～S480と複数のゲートラインX1～X480とをマトリクス状に配置し、1本のソースラインを隣接する2つの画素16が共用するように、複数の画素16が配置されているものである。この場合、それら2つの画素16のT F T18は、それぞれ異なるゲートラインに接続されている。例えば、図1(B)において、左上のRの画素16のT F T18は、ゲートラインX1とソースラインS1に接続され、その右隣のGの画素16のT F T18は、ゲートラインX2とソースラインS1に接続されている。なお、ここでは、画素16がデルタ配列で並べられた場合を示している。

【0054】

L C Dパネル10の複数のソースラインS1～S480及び複数のゲートラインX1～X480は、該L C Dパネル10の基板(図示せず)上を引き回された配線20によりドライバ回路12に接続されている。

10

【0055】

図2は、図1(A)中のドライバ回路のブロック構成図である。このドライバ回路12は、同図に示すように、ゲートドライバブロック22、ソースドライバブロック24、レベルシフト回路26、タイミングジェネレータ(以下、T Gと略記する)部ロジック回路28、ガンマ(以下、と略記する)回路ブロック30、チャージポンプ/レギュレータブロック32、アナログブロック34、その他のブロックから構成されている。

【0056】

ここで、ゲートドライバブロック22は、L C Dパネル10の複数のゲートラインX1～X480を順次選択するものであり、ソースドライバブロック24は、L C Dパネル10の複数の信号線S1～S480に、表示すべき情報に従った映像信号V s i gを出力するものである。

20

【0057】

レベルシフト回路26は、外部から供給される信号のレベルを所定レベルにシフトするものである。T G部ロジック回路28は、このレベルシフト回路26によって所定レベルにシフトされた信号及び外部から供給された信号に基づいて必要なタイミング信号や制御信号を生成して、該ドライバ回路12内の各部に供給するものである。

【0058】

回路ブロック30は、上記ソースドライバブロック24から出力する映像信号V s i gを良好な階調特性とするように補正をかけるためのものである。

30

【0059】

チャージポンプ/レギュレータブロック32は、外部電源から必要な論理レベルの各種電圧を発生するものであり、アナログブロック34は、このチャージポンプ/レギュレータブロック32で発生された電圧から更に各種の電圧を発生するものである。上記V c o m回路14は、このアナログブロック34で発生した電圧V V C O Mから上記共通電圧V c o mを発生する。その他のブロックについては、直接本願発明とは関係がないので、その説明を省略する。

【0060】

図3(A)は、図2中のゲートドライバブロック22の構成を示す図である。なお、説明及び図示の簡単化のため、ここでは、ゲートラインを8本として説明する。この場合、該ゲートドライバブロック22は、3ビットカウンタ36と、9個のA N Dゲートと、2個のO Rゲートと、3個のN O Tゲートと、1個のN A N Dゲートとで構成される。

40

【0061】

即ち、3ビットカウンタ36には、T G部ロジック回路28からゲートクロックとアップ/ダウン(以下、U / Dと略記する)信号とが供給される。U / D信号は、通常表示である非反転シフト時には「1」、上下が反転した表示を行う上下反転シフト時には「0」となるものである。これは、非反転シフト時と上下反転シフト時では、ゲートラインの走査方向が上下逆になり、その結果、先に書き込まれる画素と後に書き込まれる画素とが反対になるため、それに応じて動作を切り替える必要があるからである。

50

【 0 0 6 2 】

この3ビットカウンタ36のQ1出力は、ORゲートを介して、偶数番目のゲートラインX2, X4, X6, X8用のANDゲートに与えられる。ORゲートには、上記U/D信号と上記TG部ロジック回路28から与えられたゲートダブル(以下、GDOUBLEと記す)信号との論理演算を行うANDゲートの出力信号が与えられる。ここで、GDOUBLE信号は、通常が表示状態であるノーマルモードでは「0」、本実施形態の表示ムラ低減用の駆動(以下、ゲート2度書き駆動と称する)を行うゲート2度書きモードでは「1」となるものである。また、上記3ビットカウンタ36の上記Q1出力は更に、NANDゲートを介して、奇数番目のゲートラインX1, X3, X5, X7用のANDゲートに与えられる。NANDゲートには、上記U/D信号と上記GDOUBLE信号をNOTゲートで反転した信号との論理演算を行うORゲートの出力信号が与えられ、NANDゲートの出力が奇数番目のゲートラインX1, X3, X5, X7用のANDゲートに与えられる。

10

【 0 0 6 3 】

また、上記3ビットカウンタ36のQ2出力は、上記ゲートラインX3, X4, X7, X8用のANDゲートに与えられると共に、NOTゲートを介して、上記ゲートラインX1, X2, X5, X6用のANDゲートに与えられる。

【 0 0 6 4 】

そして、上記3ビットカウンタ36のQ3出力は、上記ゲートラインX5, X6, X7, X8用のANDゲートに与えられると共に、NOTゲートを介して、上記ゲートラインX1, X2, X3, X4用のANDゲートに与えられる。

20

【 0 0 6 5 】

図3(B)は、このような構成のゲートドライバブロック22におけるゲート2度書きモードでの、非反転シフト時のタイミングチャートを示す図である。また、図3(C)は、同じく上下反転シフト時のタイミングチャートを示す図である。

【 0 0 6 6 】

非反転シフト時には、図3(B)に示すように、奇数番目のゲートラインX1, X3, X5, X7には、ゲートクロック1発分に相当する期間、偶数番目のゲートラインX2, X4, X6, X8には、ゲートクロック2発分に相当する期間、それぞれ順番にH信号が出力されることとなる。即ち、タイミング的には、ゲートラインX1, X2が選択状態
ゲートラインX2が選択状態
ゲートラインX3, X4が選択状態
ゲートラインX4が選択状態
ゲートラインX5, X6が選択状態
ゲートラインX6が選択状態
ゲートラインX7, X8が選択状態
ゲートラインX8が選択状態、となっていく。

30

【 0 0 6 7 】

また、上下反転シフト時には、図3(C)に示すように、偶数番目のゲートラインX2, X4, X6, X8には、ゲートクロック1発分に相当する期間が、奇数番目のゲートラインX1, X3, X5, X7には、ゲートクロック2発分に相当する期間、それぞれ逆方向に順番にH信号が出力されることとなる。即ち、タイミング的には、ゲートラインX8, X7が選択状態
ゲートラインX7が選択状態
ゲートラインX6, X5が選択状態
ゲートラインX5が選択状態
ゲートラインX4, X3が選択状態
ゲートラインX3が選択状態
ゲートラインX2, X1が選択状態
ゲートラインX1が選択状態、となっていく。

40

【 0 0 6 8 】

図4(A)は、図15(A)に対応させた本実施形態でのゲート2度書きモードでの非反転シフト時の走査タイミングチャートを示す図である。

【 0 0 6 9 】

図4(B)、(C)は、一水平期間毎に共通電圧Vcomの極性を反転する水平ライン反転駆動を行う場合における、先に書き込まれる図1(B)の例えばS3に接続される緑の画素Fg(以下、G先の画素と称する)及び後に書き込まれる図1(B)の例えばS2に接続される赤の画素Lr(以下、R後の画素と称する)の画素電位波形を示す図である

50

。

【 0 0 7 0 】

この場合、後述するように、先に選択されるべき図 1 (B) の例えば赤の画素 L r と同じ S 2 に接続される青の画素 F b (以下、B 先の画素と称する) が関係する。

【 0 0 7 1 】

このときには、ゲートラインは上述したように選択されていくので、各フィールドにおいて、一水平期間に、異なる信号線に接続され隣接配置された 2 つの画素に対応する 2 本のゲートラインを同時に選択した後、それら 2 つの画素の内の後に選択されるべき画素に対応した 1 本のゲートラインのみが選択される。

【 0 0 7 2 】

図 4 (B) は、一水平期間毎に共通電圧 V c o m の極性を反転する水平ライン反転駆動を行う場合における、共通電圧 V c o m の振幅が 5 . 0 V、G 先の画素 F g の書き込み電圧 (映像信号 V s i g) は共通電圧 V c o m に対して 2 . 0 V (中間調)、R 後の画素 L r の書き込み電圧 (映像信号 V s i g) は共通電圧 V c o m に対して 4 . 0 V (黒)、そして、B 先の画素 F b の書き込み電圧 (映像信号 V s i g) は共通電圧 V c o m に対して 2 . 0 V (中間調)、とした場合の画素電位波形を示す図であり、図 4 (C) は、同じく共通電圧 V c o m の振幅が 5 . 0 V、G 先の画素 F g の書き込み電圧は共通電圧 V c o m に対して 2 . 0 V、R 後の画素 L r の書き込み電圧は共通電圧 V c o m に対して 1 . 0 V (白)、そして、B 先の画素 F b の書き込み電圧 (映像信号 V s i g) は共通電圧 V c o m に対して 2 . 0 V (中間調)、とした場合の画素電位波形を示す図である。

【 0 0 7 3 】

本実施形態においては、図 4 (A) に示したようなゲートラインの走査を行うことにより、図 4 (B) 及び (C) に示すように、B 先の画素 F b と R 後の画素 L r が 1 本のソースライン S 2 (信号線) を共用していることから、ゲートライン X 1 とゲートライン X 2 が同時に選択される期間に、B 先の画素 F b の書き込み電位が R 後の画素 L r にも印加され、この R 後の画素 L r にも書き込みがなされて、B 先の画素 F b と同電位になる。そして、その後のゲートライン X 2 のみが選択された際に、R 後の画素 L r の書き込み電圧がソースラインに出力されて、その B 先の画素電位から本来 R 後の画素 L r に書き込まれるべき電圧の書き込みが行われることとなる。

【 0 0 7 4 】

本実施形態においても、従来と同様に、画素間寄生容量 C p p が存在するので、G 先の画素 F g においては、ゲートライン X 1 の選択によって書き込まれた画素電位が、ゲートライン X 2 のみが選択され、R 後の画素 L r に本来 R 後の画素 L r に書き込まれるべき電圧の書き込みが行われる際に、V c 分、共通電圧 V c o m に対して遠ざかる向き (暗くなる向き) にシフトしてしまうが、本実施形態においては、この電位変動 V c の大きさは、

$$V c = (V s i g (X 2) - V s i g (X 1)) \times C p p / (C s + C l c + C p p) \times \dots (2)$$

のように表せる。この (2) 式において、V s i g (X 2) は X 2 のみ選択される際の R 後の画素 L r の書き込み電圧、V s i g (X 1) は X 1 と X 2 が同時に選択される際の B 先の画素 F b の書き込み電圧である。その他は、上記 (1) 式と同様である。

【 0 0 7 5 】

従って、本実施形態では、前フィールドの画素電位ではなく、同じ信号線に接続される隣接画素の画素 F b の電位の影響しか受けず、図 4 (B) の場合には V s i g (X 2) - V s i g (X 1) = 4 . 0 - 2 . 0 = 2 . 0 V、図 4 (C) の場合には V s i g (X 2) - V s i g (X 1) = 1 . 0 - 2 . 0 = - 1 . 0 V となり、結果として、画素間容量 C p p による電位変動 V c の絶対値を従来に比して微小にすることができ、表示ムラを低減することができる。

【 0 0 7 6 】

(従来の場合、図 1 5 (A)、(B) に対応し、それぞれ 8 . 0 V、2 . 0 V である。)

10

20

30

40

50

一般的に、共通電圧 V_{com} に対する画素電圧が $1.0V$ (白) ~ $4.0V$ (黒) の範囲で変化する場合、

(1) 式における

$V_{sig}(Fn-1) + V_{sig}(Fn)$ は $2.0V \sim 8.0V$ の範囲になり、

(2) 式における

$V_{sig}(X2) - V_{sig}(X1)$ は $-3.0V \sim 3.0V$ の範囲となる。

【0077】

このように、本実施形態により、上記 V_c の絶対値は小さくなる性質があるので、画素間寄生容量 C_{pp} による電位変動 V_c を従来に比して微小にすることができ、表示ムラを低減することができる。

10

【0078】

なお、同一の信号線に接続された隣接画素間の電位差が大きい場合、例えば、G先の画素 F_g の書き込み電圧は共通電圧 V_{com} に対して $4.0V$ (黒)、R後の画素 L_r の書き込み電圧は共通電圧 V_{com} に対して $1.0V$ (白)、そして、B先の画素 F_b の書き込み電圧は共通電圧 V_{com} に対して $4.0V$ (黒)、の時のような場合には、本実施形態の方が、従来例に比べて電位変動 V_c が大きくなってしまう場合もある。

【0079】

$(V_{sig}(X2) - V_{sig}(X1)) = 1.0 - 4.0 = -3.0V$

$V_{sig}(Fn-1) + V_{sig}(Fn) = 1.0 + 1.0 = 2.0V$

しかしながら、この場合に影響を受けるG先の画素 F_g は、十分飽和した黒レベルとなっており、電位変動 V_c は表示上で元々視認できないため、問題とはならない。また、影響を与える方のR後の画素 L_r に関しても、白レベル、B先の画素 F_b に関しても、黒レベルでありであり、この場合の画面表示はかなり明るいRラスタ画面になっており、G先の電位変動は表示上で更に視認しづらくしている。従って、本実施形態の方が従来例に比べて電位変動 V_c の絶対値が大きくなる場合があるが、このような場合は実用上の弊害にはならない。

20

【0080】

上下反転シフト時においても、走査方向が逆になるだけであるので、同様に、画素間寄生容量 C_{pp} による電位変動 V_c を従来に比して微小にすることができ、表示ムラを低減することができる。

30

【0081】

また、必要により、上記 $GDOUBLE$ 信号により、従来方式によるノーマルモードと本実施形態によるゲート2度書きモードとを切り替えるようにしても良い。

【0082】

その場合、上記のような特別な表示画面の場合にも適宜対応することができる。

【0083】

以上は、水平ライン反転駆動の場合であるが、擬似ドット反転駆動(ストライプ配列のドット反転駆動に対応するデルタ配列のドット反転駆動)の場合も、同様に、画素間寄生容量 C_{pp} による電位変動 V_c を従来に比して微小にすることができ、表示ムラを低減することができる。

40

【0084】

また、画素16をデルタ配列とした場合に限らず、ストライプ配列とした場合も同様である。

【0085】

なお、画素16をデルタ配列とした場合の方が、ストライプ配列とした場合よりも表示ムラ(例えば、図13に対応する縦縞)が蛇行するので、ストライプ配列に比べて目立ちにくいという効果もある。

【0086】

[第2実施形態]

次に、本発明の第2実施形態を説明する。

50

【 0 0 8 7 】

本実施形態は、先書きの画素電位を予め、画素間寄生容量 C_{pp} による電位変動 V_c 分を補正して書き込むことにより、画素間寄生容量 C_{pp} による電位変動 V_c を相殺させ、表示ムラを無くすものである。

【 0 0 8 8 】

ここでは、補正の方法として、ドライバ回路 12 がもともと備える 回路ブロック 30 を流用する場合を考える。また、ムラが目立ちやすい静止画の場合について述べる。

【 0 0 8 9 】

図 2 に示したように、ドライバ回路 12 は、 回路ブロック 30 を備えている。図 5 は、この 回路ブロック 30 の回路構成を示す図である。同図に示すように、 回路ブロッ 10
ク 30 は、ガンマ曲線抵抗 38、及びタップスイッチ（以下、TAPSW と記す）40 から構成される。ガンマ曲線抵抗 38 は、 曲線に応じた電位が取り出されるようにタップが切れ、TAPSW 40 により画素データの階調に応じた電圧値がソースドライバブロッ 20
ク 24 に供給される。ソースドライバブロック 24 は、デジタル/アナログ変換回路（以下、DAC と記す）42 とソース出力アンプ 44 から構成され、画素データの階調に応じた電圧値を DAC 42 によりアナログ信号に変換し、ソース出力アンプ 44 を介して書き込み電圧（映像信号 V_{sig} ）として LCD パネル 10 の対応するソースラインに出力するようになっている。なお、上記 回路ブロック 30 の入力である振幅調整信号 VRH 1, VRH 2, VRL 1, VRL 2 は、TG 部ロジック回路 28 から、POL の極性（共通電圧 V_{com} の逆）により切り替え供給される。

【 0 0 9 0 】

図 6 (A) 及び (B) は、(A) は POL が L 即ち共通電圧 V_{com} が H の時の 回路ブ 30
ロック 30 の カーブを示す図であり、(B) は同じく POL が H 即ち共通電圧 V_{com} が L の時の カーブを示す図である。これらの図において、「補正なし」の カーブは、本実施形態による電位変動 V_c の補正を行わないノーマルモードでの カーブを示している。これに対して、本実施形態においては、電位変動 V_c の補正を行うモード（以下、データシフトモードと称する）において、「補正あり」として示す カーブを選択できるようにしたものである。この「補正あり」の カーブは、「補正なし」の カーブを、傾きや振幅は変更せずに、単純に明るくなる方向（図 6 (A) では出力電圧が高くなる方向、図 6 (B) では出力電圧が低くなる方向）に一定値だけシフトしたものである。

【 0 0 9 1 】

この一定値はムラが目立ちやすい部分の階調（中間調）に対して、(1) 式の $V_{sig}(Fn - 1) = V_{sig}(Fn)$ の場合の V_c に相当する値である。

【 0 0 9 2 】

図 6 (C) は、データシフトモードにおける上記振幅調整信号 VRH 1, VRH 2, VRL 1, VRL 2 に対する出力電圧の関係を示す図であり、図 6 (D) は、シフト量を示す図である。また、図 7 (A) は非反転シフト時のタイミングチャートを示す図であり、図 7 (B) は上下反転シフト時のタイミングチャートを示す図である。

【 0 0 9 3 】

このような「補正あり」の カーブを作るのは、DAC 42 の上側の電圧と下側の電圧を一定値だけシフトした電圧にすればよいだけなので、非常に簡便に作成することができる。

【 0 0 9 4 】

図 6 (C) 及び図 7 (A), (B) に示すように、本実施形態においては、従来と同様に一水平期間に 2 本のゲートラインが順次選択され、選択されたゲートラインに対応した書き込み電圧（映像信号 V_{sig} ）の出力が行われる。その際、 回路ブロック 30 において、一方のゲートラインに対応する書き込み電圧は「補正なし」の カーブを適用し、他方のゲートラインに対応する書き込み電圧には「補正あり」の カーブを適用する。回路ブロック 30 は、そのゲートラインの切り替えタイミングを、TG 部ロジック回路 28 から与えられる、一水平期間の前半は H、後半は L になる信号である G1STH 信号に 40
50

より判別する。

【0095】

また、TG部ロジック回路28から回路ブロック30には、データシフト信号DSHIFTが入力される。図6(D)に示すように、このデータシフト信号DSHIFTのLSB2ビットによって、シフト量が設定される。これは、該ドライバ回路12が複数のLCDパネル10に応用できるようにするためのもので、接続されたドライバ回路12によってシフト量が選択されるようになっている。また、このデータシフト信号DSHIFTのMSB1ビットによって、先と後のどちらのゲートラインに対応する書き込み電圧に「補正あり」のカーブを適用するかが設定される。これは、画素間寄生容量C_{pp}の影響による電位変動V_cの現れ方が共通電極V_{com}の反転駆動方式によって異なり、ライン反転駆動と(擬似)ドット反転駆動とで、明暗が逆になる事に対応するためである。具体的には、ライン反転駆動の場合は、先の書き込み電圧に対して「補正あり」のカーブを適用し、(擬似)ドット反転駆動の場合は、後の書き込み電圧に対して「補正あり」のカーブを適用するものである。

10

【0096】

図8(A)は、図15(A)に対応させた本実施形態でのデータシフトモードでの非反転シフト時の走査タイミングチャートを示す図である。このときには、図15(A)と同様に、各フィールドにおいて、一水平期間に2本のゲートラインが順次選択され、その選択される2本のゲートラインが水平期間毎に順次走査されていく。

【0097】

図8(B)は、水平ライン反転駆動を行う場合における、共通電圧V_{com}の振幅が5.0V、G先の画素F_gの書き込み電圧(映像信号V_{sig})は共通電圧V_{com}に対して2.0V(中間調)、R後の画素L_rの書き込み電圧(映像信号V_{sig})は共通電圧V_{com}に対して4.0V(黒)、とした場合の画素電位波形を示す図である。

20

【0098】

この場合には、データシフト信号DSHIFTのMSB1ビットによって、先の書き込み電圧に対して「補正あり」のカーブが適用される。

【0099】

従って、1stフィールドにおけるG先の画素F_gについては、POL=HすなわちV_{com}=Lであるので、VRH2としてVRH2S、VRL2としてVRL2Sの「補正あり」のカーブが適用され、G先の画素F_gの書き込み電圧(映像信号V_{sig})は共通電圧V_{com}に対して2.0Vではなくて、2.0V - V_cとなる。そして、R後の画素L_rについては、VRH2としてVRH2N、VRL2としてVRL2Nの「補正なし」のカーブが適用され、R後の画素L_rの書き込み電圧(映像信号V_{sig})は共通電圧V_{com}に対して4.0Vである。このR後の画素L_rの書き込みの際、G先の画素F_gの電位は、画素間寄生容量C_{pp}によりV_c分、変動するが、(2.0V - V_c) + V_cとなり、結果として、共通電圧V_{com}に対して2.0Vという所望の画素電位となる。

30

【0100】

また、2ndフィールドにおいては、POL=LすなわちV_{com}=Hであるので、G先の画素F_gについては、VRH1としてVRH1S、VRL1としてVRL1Sの「補正あり」のカーブが適用され、G先の画素F_gの書き込み電圧(映像信号V_{sig})は共通電圧V_{com}に対して2.0Vではなくて、2.0V - V_cとなる。そして、R後の画素L_rについては、VRH1としてVRH1N、VRL1としてVRL1Nの「補正なし」のカーブが適用され、R後の画素L_rの書き込み電圧(映像信号V_{sig})は共通電圧V_{com}に対して4.0Vである。このR後の画素L_rの書き込みの際、G先の画素F_gの電位は、画素間寄生容量V_{pp}によりV_c分、変動するが、(2.0V - V_c) + V_cとなり、結果として、共通電圧V_{com}に対して2.0Vという所望の画素電位となる。

40

【0101】

50

このように、先書きの画素電位を予め、画素間寄生容量 C_{pp} による電位変動 V_c 分補正して書き込むことにより、画素間寄生容量 C_{pp} による電位変動 V_c を相殺させ、表示ムラを無くすることができる。しかも、ドライバ回路 12 が備える 回路ブロック 30 を流用することで、別回路を追加することなく、簡便に実用的な効果が得られる。

【0102】

[第2実施形態の変形例]

第2実施形態では、先書きの画素電位を予め、画素間寄生容量 C_{pp} による電位変動 V_c 分補正して書き込むことにより、画素間寄生容量 C_{pp} による電位変動 V_c を相殺させるようにしたが、図9に示すようにしてムラを解消してもよい。

【0103】

図9(A)は、図8(A)と同様に、データシフトモードでの非反転シフト時の走査タイミングチャートを示す図で、図9(B)は、水平ライン反転駆動を行う場合における、共通電圧 V_{com} の振幅が $5.0V$ 、G先の画素 F_g の書き込み電圧(映像信号 V_{sig})は共通電圧 V_{com} に対して $2.0V$ (中間調)、R後の画素 L_r の書き込み電圧(映像信号 V_{sig})は共通電圧 V_{com} に対して $4.0V$ (黒)、とした場合の画素電位波形を示す図である。

【0104】

第2実施形態の変形例は、図9(B)に示すように、先書きの画素を補正せずに、後書きの画素電位を、画素間寄生容量 C_{pp} による電位変動 V_c 分補正して書き込むことにより、隣接する画素を両者とも V_c 分電位変動させて、表示ムラを無くそうとしたものである。(この場合、後書きの画素電位が第2実施形態の場合より補正分だけ大きくなるので、実際の補正值も第2実施形態の補正值よりや大きめ目にするとうよい。具体的にはシフトする電圧 V_c' は $1 / (1 - (C_{pp} / (C_s + C_{lc} + C_{pp})) \times) \times V_c$ が望ましい。)

この場合、画面全体が画素間寄生容量 C_{pp} による電位変動分 V_c' だけシフトした画像になるが、そもそも電位変動分 V_c' は書き込み電圧 V_{sig} に対して2桁程度小さな微小な電圧であるため、画面全体の電圧がシフトしたとしても実用上支障はない。

【0105】

この場合も、ドライバ回路 12 が備える 回路ブロック 30 を流用することで、別回路を追加することなく、簡便に実用的な効果が得られる。

【0106】

以上は、水平ライン反転駆動の場合であるが、(擬似)ドット反転駆動の場合は、データシフト信号 $DSHIFT$ の MSB ビットを1にすることによって、後の書き込み電圧に対して「補正あり」のカーブが適用され、水平ライン反転駆動の場合と同様に、画素間寄生容量 C_{pp} による電位変動 V_c を従来に比して微小にすることができ、表示ムラを低減することができる。

【0107】

このように、補正值として、ムラが目立ちやすい部分の階調(中間調)に合わせて全ての階調に対して一定値の補正を行うようにすると、回路を単純にしつつ、十分な効果を得ることができる。

【0108】

さらに、補正量も(図6(D)に示すように)、簡単に切り替えることができるので、画素間寄生容量の異なる液晶に対しても柔軟に対応することができる。

【0109】

また、上下反転のモードに対応して、補正の方向を(図6、図7に示すように)、簡単に切り替えることができるので、上記極性反転モードを含めていろいろな駆動モードに対しても柔軟に対応することができる。

【0110】

このように、画素間寄生容量に起因して先に書き込まれた画素に発生する電位変動による表示ムラの問題を、駆動回路がもともと備える階調のガンマ補正を行う回路を流用して

10

20

30

40

50

、適切な補正した信号を出力させることによって解決しているので、新たな回路を搭載する必要がなく、小スペース、ローコストでムラのない良好な表示を実現することができる。

【0111】

以上実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なのは勿論である。

【0112】

例えば、上記第1実施形態のゲート2度書きによる手法と上記第2実施形態のデータシフトによる手法とを組み合わせても構わない。

【0113】

また、第2実施形態は、回路ブロックを流用して電位変動分を予め補正するものとしたが、他の回路によって補正するようにしても良いことは勿論である。

【0114】

上記第2実施形態では、補正電圧を階調によらず、一定値だけシフトするように作成したが、階調に応じて(1)式に相当する補正量を計算し、適切な補正電圧を作成するようにしてもよい。その場合も、回路ブロック30を用い、ガンマ曲線抵抗のTAPSW40の選択の仕方を階調に応じて切り替えるようにすれば簡便に実現できる。

【0115】

また、例えば、 $V_{sig}(Fn-1)$ 、 $V_{sig}(Fn)$ の動画に対応するためには、フィールドメモリを含む回路を用いれば実現することができる。

【0116】

以上、ノーマリーホワイトの液晶の場合について説明したが、画素にかかる電圧大きい程、透過率が上がる(明るくなる)ノーマリーブラックの液晶の場合も、明暗の向きが逆になるだけで、本発明は同様に適用できる。

【0117】

さらに、スイッチング素子はTFTに限らず、ダイオード等でもよいことはいうまでもない。

【0118】

また、マトリクス表示装置の画素は液晶に限らず容量性素子であれば、画素間寄生容量が発生するので、本発明により同様に表示ムラを低減することができる。

【図面の簡単な説明】

【0119】

【図1】(A)は本発明の第1実施形態に係るマトリクス表示装置の全体構成を示す概略構成図であり、(B)は(A)中のLCDパネルの画素結線の概略図である。

【図2】図1(A)中のドライバ回路のブロック構成図である。

【図3】(A)は図2中のゲートドライバブロックの構成を示す図であり、(B)は(A)のゲートドライバブロックにおけるゲート2度書きモードでの非反転シフト時のタイミングチャートを示す図であり、(C)は同じく上下反転シフト時のタイミングチャートを示す図である。

【図4】本発明の第1実施形態に係る波形を示したもので、(A)はゲート2度書きモードでの非反転シフト時の走査タイミングチャートを示す図であり、(B)は水平ライン反転駆動を行う場合における共通電圧の振幅が5.0V、G先の画素の書き込み電圧は共通電圧に対して2.0V、R後の画素の書き込み電圧は共通電圧に対して4.0V、そして、B先の画素の書き込み電圧は共通電圧に対して2.0Vとした場合の画素電位波形を示す図であり、(C)は同じく共通電圧の振幅が5V、G先の画素の書き込み電圧は共通電圧に対して2.0V、R後の画素の書き込み電圧は共通電圧に対して1.0V、そして、B先の画素の書き込み電圧は共通電圧に対して2.0Vとした場合の画素電位波形を示す図である。

【図5】本発明の第2実施形態に係るマトリクス表示装置における回路ブロックの回路構成を示す図である。

10

20

30

40

50

【図 6】(A)は回路ブロックでの P O L が L 時のノーマルモード及びデータシフトモードのカーブを示す図であり、(B)は同じく P O L が H 時のノーマルモード及びデータシフトモードのカーブを示す図であり、(C)はデータシフトモードにおける振幅調整信号に対する出力電圧の関係を示す図であり、(D)はシフト量を示す図である。

【図 7】(A)は非反転シフト時のタイミングチャートを示す図であり、(B)は上下反転シフト時のタイミングチャートを示す図である。

【図 8】本発明の第 2 実施形態に係る波形を示したもので、(A)はデータシフトモードでの非反転シフト時の走査タイミングチャートを示す図であり、(B)は水平ライン反転駆動を行う場合における共通電圧の振幅が 5 . 0 V、G 先の画素の書き込み電圧は共通電圧に対して 2 . 0 V、R 後の画素の書き込み電圧は共通電圧に対して 4 . 0 V とした場合の画素電位波形を示す図である。

10

【図 9】本発明の第 2 実施形態の変形例に係る波形を示したもので、(A)はデータシフトモードでの非反転シフト時の走査タイミングチャートを示す図であり、(B)は水平ライン反転駆動を行う場合における共通電圧の振幅が 5 . 0 V、G 先の画素の書き込み電圧は共通電圧に対して 2 . 0 V、R 後の画素の書き込み電圧は共通電圧に対して 4 . 0 V とした場合の画素電位波形を示す図である。

【図 10】従来のマトリクス表示装置におけるソースラインを半分にした表示パネルの画素結線を示す概略図である。

【図 11】図 10 の画素結線において各画素に映像信号を書き込む順番を示す図である。

【図 12】図 10 の表示パネルの等価回路を示す図である。

20

【図 13】図 10 の表示パネルでの表示ムラの例を示す図である。

【図 14】表示パネルを T F T L C D パネルとした場合の各画素の構成を示す図である。

【図 15】(A)は走査タイミングチャートを示す図であり、(B)は画素間寄生容量が無い場合の水平ライン反転駆動での画素電位波形を示す図である。

【図 16】画素間寄生容量を考慮した場合の水平ライン反転駆動での画素電位波形を示す図で、特に、(A)は共通電圧の振幅が 5 . 0 V、G 先の画素の書き込み電圧は共通電圧に対して 2 . 0 V、R 後の画素の書き込み電圧は共通電圧に対して 4 . 0 V とした場合を示す図であり、(B)は共通電圧の振幅が 5 . 0 V、G 先の画素の書き込み電圧は共通電圧に対して 2 . 0 V、R 後の画素の書き込み電圧は共通電圧に対して 1 . 0 V とした場合の画素電位波形を示す図である。

30

【図 17】画素間寄生容量を考慮した場合のドット反転駆動での画素電位波形を示す図で、特に、(A)は共通電圧の振幅が 5 . 0 V、G 先の画素の書き込み電圧は共通電圧に対して 2 . 0 V、R 後の画素の書き込み電圧は共通電圧に対して 4 . 0 V とした場合の画素電位波形を示す図であり、(B)は共通電圧の振幅が 5 . 0 V、G 先の画素の書き込み電圧は共通電圧に対して 2 . 0 V、R 後の画素の書き込み電圧は共通電圧に対して 1 . 0 V とした場合の画素電位波形を示す図である。

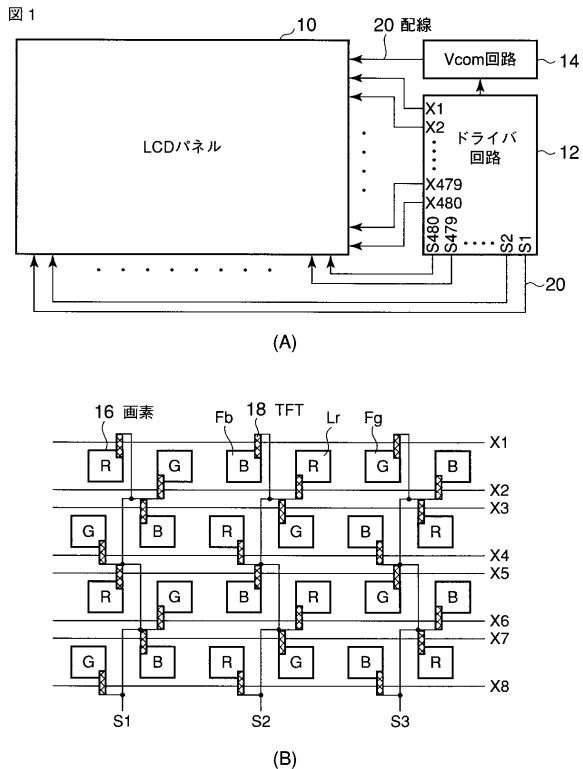
【符号の説明】

【 0 1 2 0 】

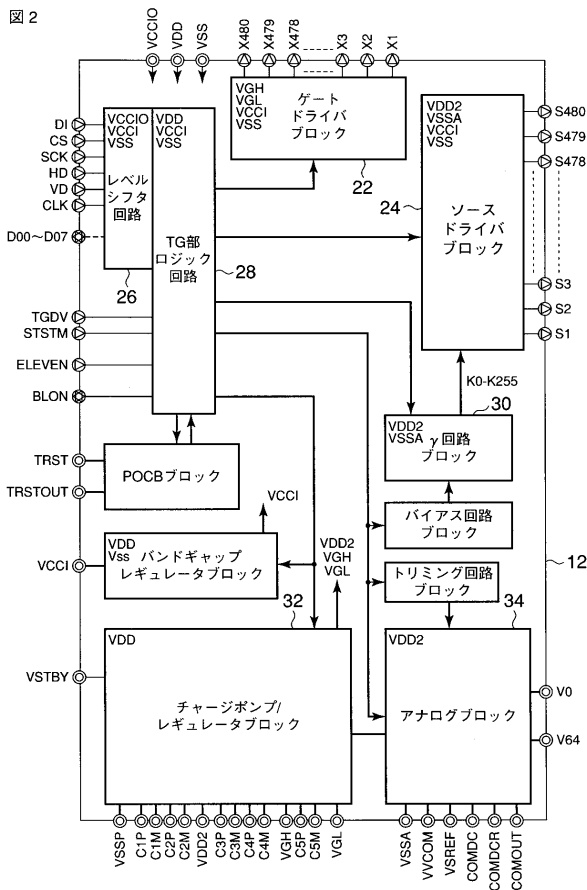
1 0 ... L C D パネル、 1 2 ... ドライバ回路、 1 4 ... V c o m 回路、 1 6 ... 画素、
 1 8 ... T F T、 2 0 ... 配線、 2 2 ... ゲートドライバブロック、 2 4 ... ソースド
 ライバブロック、 2 6 ... レベルシフタ回路、 2 8 ... タイミングジェネレータ (T G)
 部ロジック回路、 3 0 ... ガンマ () 回路ブロック、 3 2 ... レギュレータブロック、
 3 4 ... アナログブロック、 3 6 ... 3 ビットカウンタ、 3 8 ... ガンマ曲線抵抗、 4
 0 ... タップスイッチ (T A P S W)、 4 2 ... デジタル / アナログ変換回路 (D A C)、
 4 4 ... ソース出力アンプ F ... G 先の画素、 L ... R 後の画素、 F g ... G 先の画素、
 L r ... R 後の画素、 F b ... B 先の画素。

40

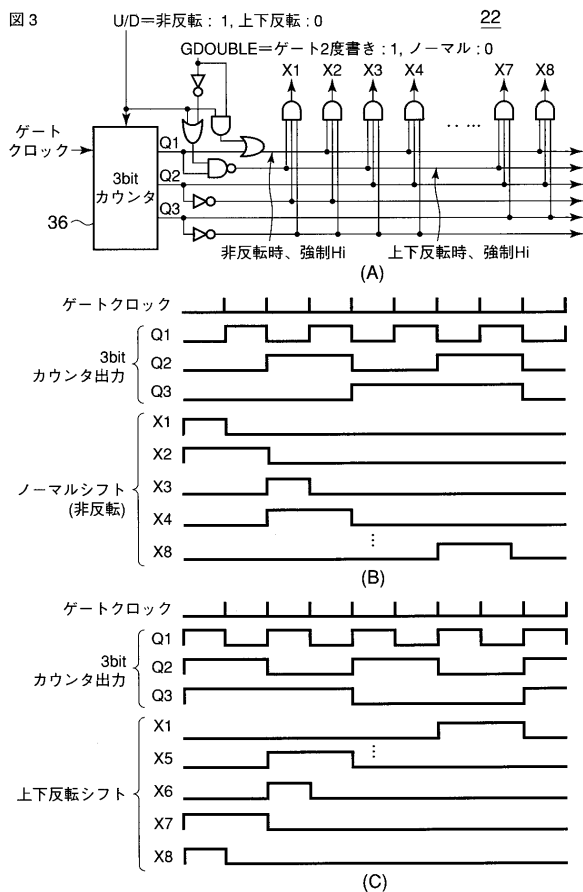
【 図 1 】



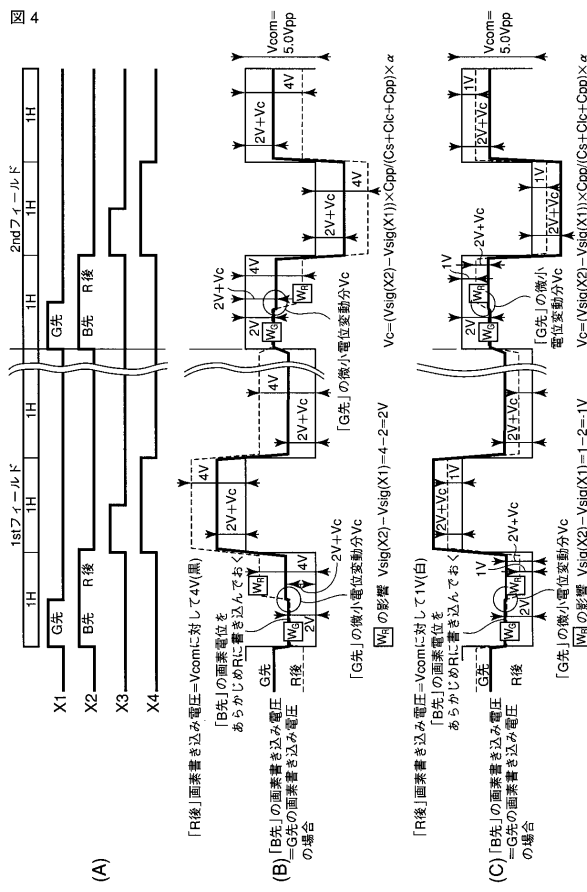
【 図 2 】



【 図 3 】

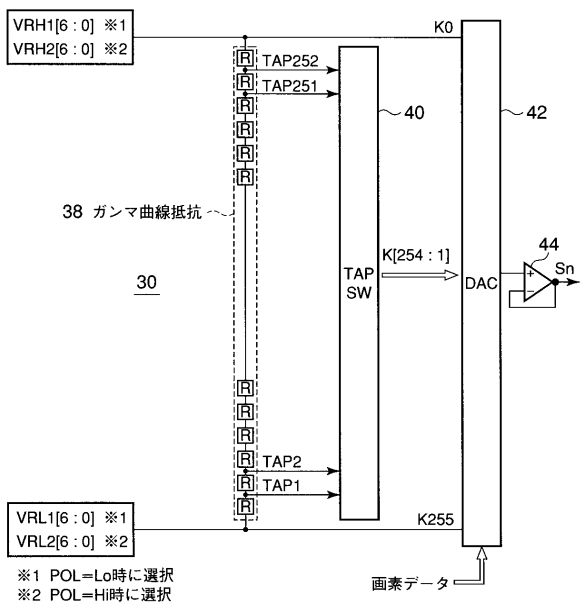


【 図 4 】

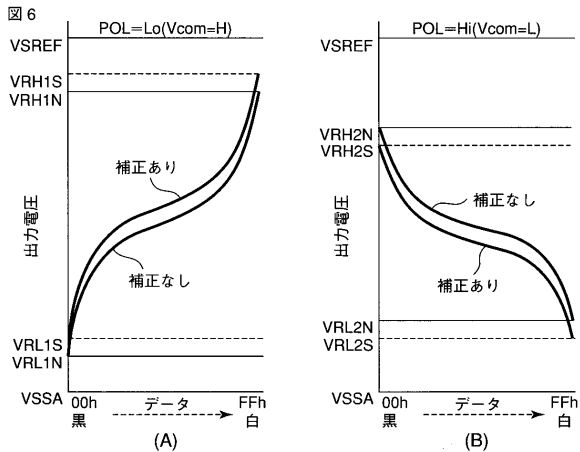


【 図 5 】

図5 K0-K255がPOLの位相によらず、K0が高い電位、K255が低い電位



【 図 6 】



振幅調整信号	DSHIFT[2]=0		DSHIFT[2]=1	
	前半(G1STH=H)	後半(G1STH=L)	前半(G1STH=H)	後半(G1STH=L)
VRL1	VRL1S	VRL1N	VRL1N	VRL1S
VRH1	VRH1S	VRH1N	VRH1N	VRH1S
VRH2	VRH2S	VRH2N	VRH2N	VRH2S
VRL2	VRL2S	VRH2N	VRL2N	VRL2S
	(補正あり)	(補正なし)	(補正なし)	(補正あり)

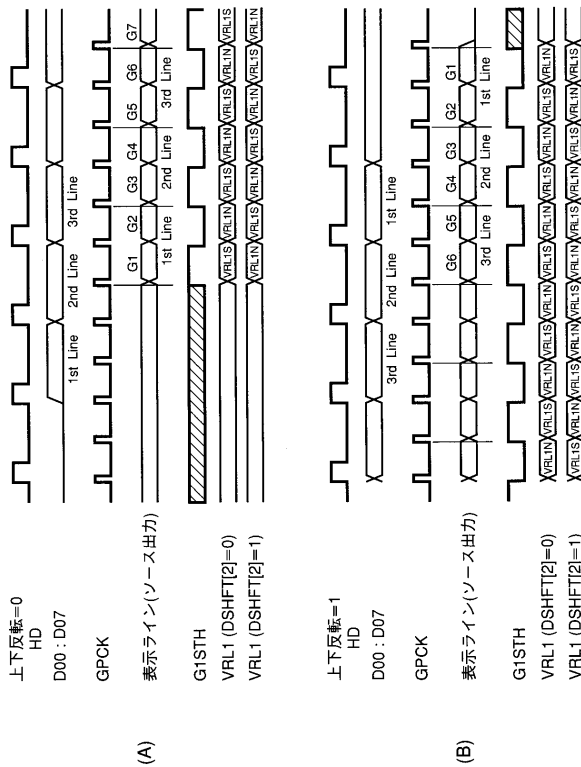
(C)

DSHIFT [1]	DSHIFT [0]	シフト量	シフト量=VRH1S-VRH1N =VRL1S-VRL1N =VRH2N-VRH2S =VRL2N-VRL2S
0	0	0mV	
0	1	20mV	
1	0	40mV	
1	1	60mV	

(D)

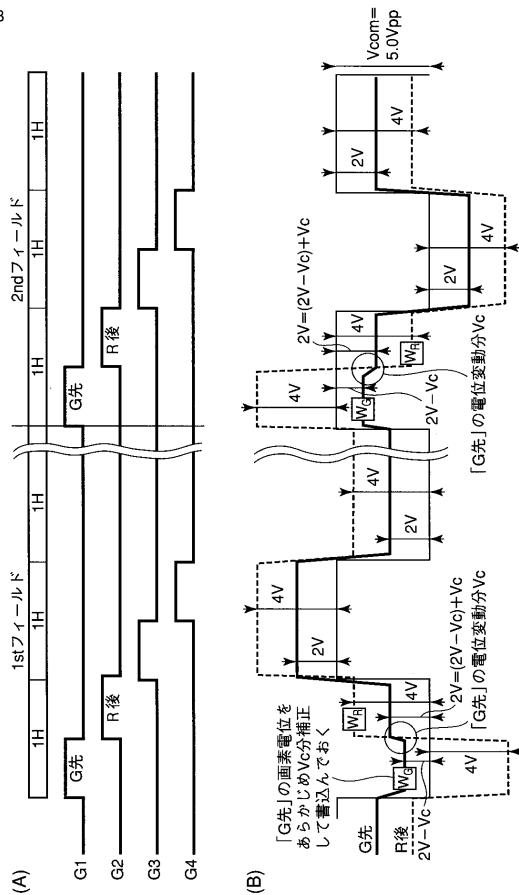
【 図 7 】

図7



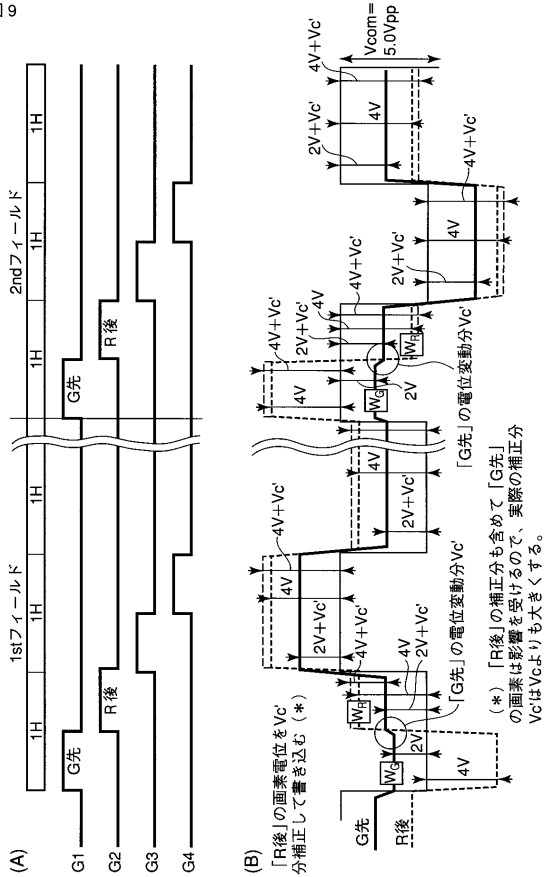
【 図 8 】

図8



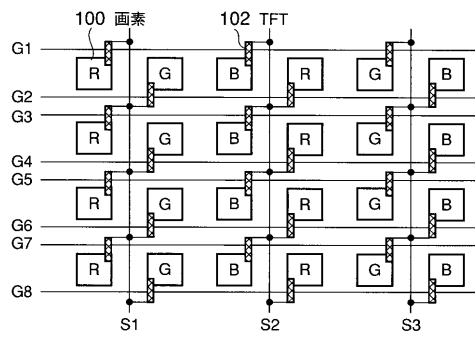
【 図 9 】

図 9



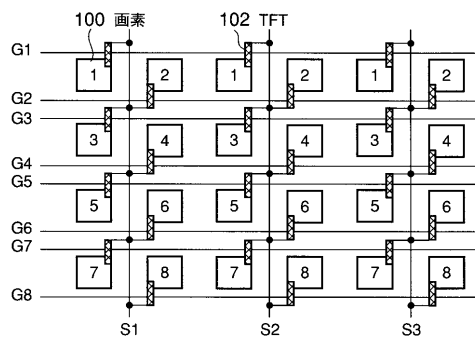
【 図 10 】

図 10



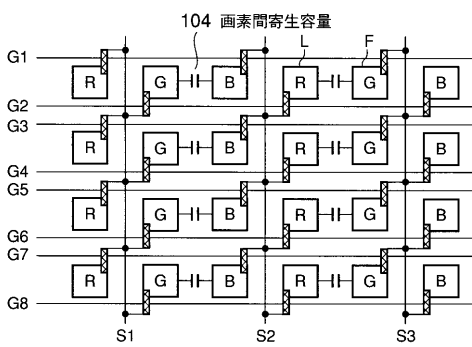
【 図 11 】

図 11



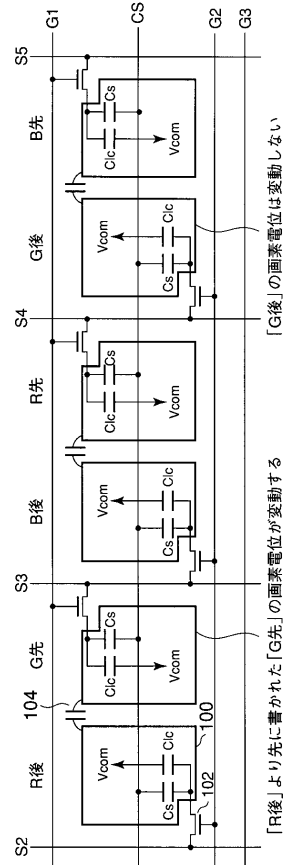
【 図 12 】

図 12



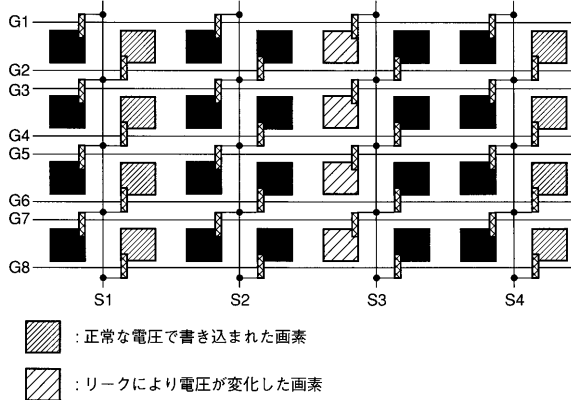
【 図 14 】

図 14



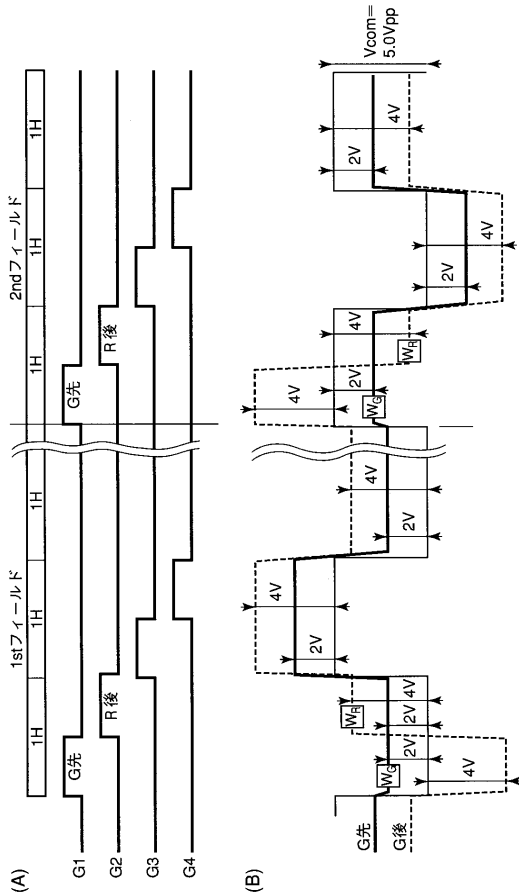
【 図 13 】

図 13



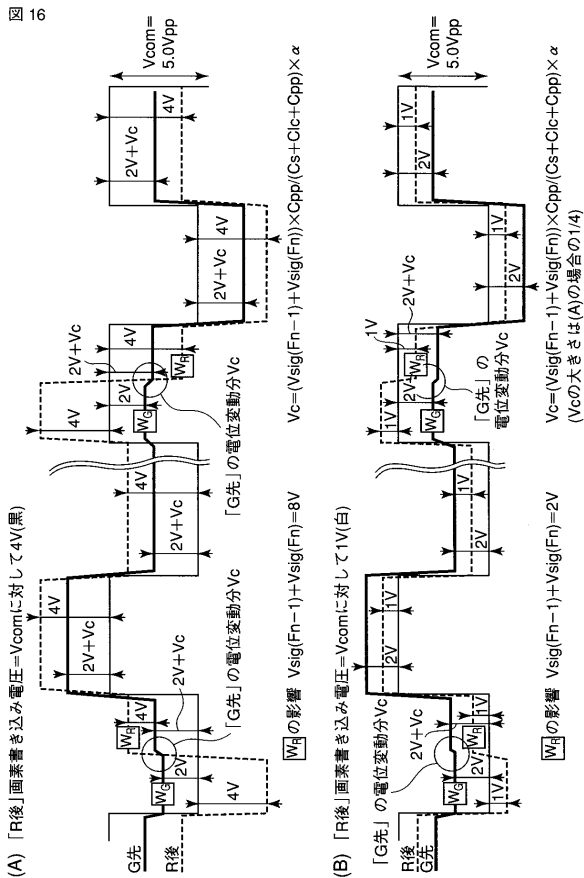
【 図 1 5 】

図 15



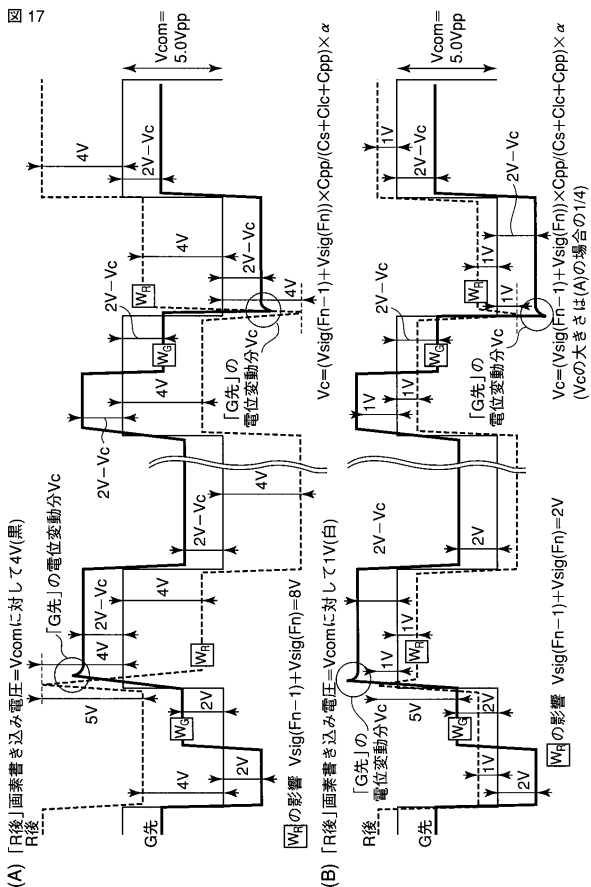
【 図 1 6 】

図 16



【 図 1 7 】

図 17



【手続補正書】

【提出日】平成19年10月12日(2007.10.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項17

【補正方法】変更

【補正の内容】

【請求項17】

複数の信号線と複数の走査線とをマトリックス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、

前記信号線駆動回路に、異なる信号線に接続され隣接配置された2つの画素の内の一方の画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させる補正回路と

を具備することを特徴とする表示装置。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項18

【補正方法】変更

【補正の内容】

【請求項18】

前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする請求項17に記載の表示装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、1本の信号線を隣接する2画素が共用するタイプのマトリックス表示装置の駆動回路、表示装置及びマトリックス表示装置の駆動方法に関する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、上記のことは、画素100をストライプ配列とした場合に限らず、デルタ配列とした場合も同様である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明は、上記の点に鑑みてなされたもので、画素間寄生容量が存在する場合の表示ムラを低減できるマトリックス表示装置の駆動回路、表示装置及びマトリックス表示装置の

駆動方法を提供することを目的とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

請求項14に記載の表示装置は、

複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

請求項15に記載の表示装置は、請求項14に記載の表示装置において、

複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、を具備し、

前記走査線駆動回路は、異なる信号線に接続され隣接配置された2つの画素に対応する2本の走査線を同時に選択した後、前記2つの画素の内の後に選択されるべき画素に対応した1本の走査線のみを選択することを特徴とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

請求項16に記載の表示装置は、請求項14に記載の表示装置において、

前記表示パネルは前記複数の画素をデルタ状に配列したデルタ配列の表示パネルであることを特徴とする。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

請求項 17 に記載の表示装置は、

複数の信号線と複数の走査線とをマトリクス状に配置し、1本の信号線を隣接する2画素が共用するように配置された複数の画素と、各画素に対応する信号線及び走査線の選択状態により当該画素を制御するための、各画素に対応して設けられた複数のスイッチング素子と、からなる表示パネルと、

前記複数の走査線を順次選択する走査線駆動回路と、

前記複数の信号線に、表示すべき情報に従った信号を出力する信号線駆動回路と、

前記信号線駆動回路に、異なる信号線に接続され隣接配置された2つの画素の内の一方の画素に対し、画素間寄生容量による電位変動分を補正した信号を出力させる補正回路と

を具備することを特徴とする。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

請求項 18 に記載の表示装置は、請求項 17 に記載の表示装置において、

前記補正回路は、階調のガンマ補正を行うガンマ補正回路の少なくとも一部を用いて、前記補正した信号を出力させることを特徴とする。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

本発明によれば、隣接する画素に対応する2本の走査線を2本同時に選択した後、隣接する画素の内、後に選択される画素に対応した走査線1本のみを選択することで、画素間の書き込み電位差を減少させ、表示ムラを低減できるマトリクス表示装置の駆動回路、表示装置及びマトリクス表示装置の駆動方法を提供することができる。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

また、本発明によれば、画素間に存在する寄生容量による電位変動分を予め補正した映像信号を信号線駆動回路から出力することで、画素間の書き込み電位差を減少させ、表示ムラを低減できるマトリクス表示装置の駆動回路、表示装置及びマトリクス表示装置の駆動方法を提供することができる。

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 4 2 K
	G 0 9 G 3/20	6 2 2 R
	G 0 9 G 3/20	6 5 0 E
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 4 1 Q
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 4 1 C
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 7 5

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 平山 隆一
東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 2H093 NA16 NA32 NA33 NA43 NA47 NA53 NA64 NC03 NC05 NC10
NC12 NC18 NC21 NC26 NC27 NC34 NC35 NC49 NC65 ND05
ND06 ND09 ND17 ND35 ND58 NH18
5C006 AA16 AA22 AC11 AC21 AC23 AC24 AC25 AC27 AF22 AF42
AF46 AF72 AF83 AF84 AF85 BB16 BB21 BC03 BC06 BC12
BF02 BF22 BF24 BF25 BF26 BF27 BF43 BF46 EB05 FA04
FA22 FA26 FA36 FA37
5C080 AA10 BB05 CC03 DD05 DD23 DD25 EE29 EE30 FF03 FF11
JJ02 JJ04 JJ05 KK43