



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월17일

(11) 등록번호 10-1494414

(24) 등록일자 2015년02월11일

(51) 국제특허분류(Int. Cl.)

H01L 23/48 (2006.01) H01L 23/28 (2006.01)

H01L 23/12 (2006.01)

(21) 출원번호 10-2013-0030322

(22) 출원일자 2013년03월21일

심사청구일자 2013년03월21일

(65) 공개번호 10-2014-0115597

(43) 공개일자 2014년10월01일

(56) 선행기술조사문헌

US20090289356 A1\*

US20080136004 A1\*

US20090166886 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 네패스

충청북도 음성군 삼성면 금일로965번길 105

(72) 발명자

권용태

경기 수원시 권선구 당진로14번길 46, 202동 305호 (당수동, 삼성아파트)

이준규

충북 청원군 오창읍 양청2안길 62-8, 102호

(74) 대리인

특허법인세림

전체 청구항 수 : 총 21 항

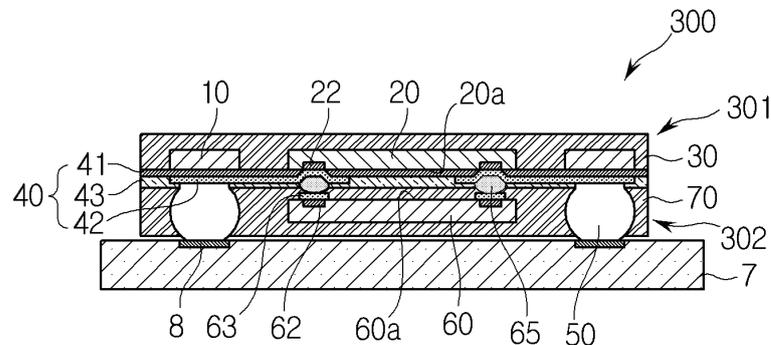
심사관 : 정구원

(54) 발명의 명칭 반도체패키지, 반도체패키지유닛 및 반도체패키지 제조방법

(57) 요약

반도체패키지, 반도체패키지유닛 및 반도체패키지 제조방법이 개시된다. 본 발명의 실시 예에 따른 반도체패키지는 제1반도체칩과, 제1반도체칩을 몰딩하는 제1몰드층과, 제1반도체칩 외측 바깥영역에서 제1반도체칩과 전기적으로 연결되는 외부단자를 포함하는 제1반도체칩패키지; 및 제1반도체칩과 전기적으로 연결되는 제2반도체칩과, 외부단자의 일부가 노출되도록 제2반도체칩과 외부단자를 몰딩하는 제2몰드층을 포함하는 제2반도체칩패키지를 포함한다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

지지프레임과, 상기 지지프레임에 형성되는 개구부에 수용되는 제1반도체칩과, 상기 지지프레임과 상기 제1반도체칩을 몰딩하여 일체화하는 제1몰드층을 포함하는 제1반도체칩패키지;

상기 제1반도체칩 외측 바깥영역에서 상기 제1반도체칩과 전기적으로 연결되는 외부단자; 및

상기 제1반도체칩과 전기적으로 연결되는 제2반도체칩과, 상기 외부단자의 일부가 노출되도록 상기 제2반도체칩과 상기 외부단자를 몰딩하여 일체화하고 상기 제1몰드층과 동종 재질로 형성되는 제2몰드층을 포함하는 제2반도체칩패키지;를 포함하는 반도체패키지.

**청구항 2**

제1항에 있어서,

상기 외부단자는 솔더볼을 포함하는 반도체패키지.

**청구항 3**

제1항에 있어서,

상기 외부단자의 높이는 상기 제2반도체칩의 높이보다 크게 형성된 반도체패키지.

**청구항 4**

제1항에 있어서,

상기 제1몰드층은 상기 제1반도체칩의 일면이 노출되도록 상기 제1반도체칩을 몰딩하고,

상기 제1반도체칩패키지는 상기 노출된 제1반도체칩 일면의 제1신호패드와 전기적으로 연결된 재배선패턴층을 더 포함하고,

상기 외부단자는 상기 제1반도체칩 외측 바깥영역으로 연장된 상기 재배선패턴층의 노출 부위에 전기적으로 연결되도록 돌출 형성된 반도체패키지.

**청구항 5**

제4항에 있어서,

상기 제2반도체칩패키지는 상기 제2반도체칩 일면의 제2신호패드와 전기적으로 연결되도록 돌출 형성되어, 상기 제1신호패드와 연결된 상기 재배선패턴층의 타측 부위에 연결되는 연결단자를 더 포함하고,

상기 제2몰드층은 상기 외부단자의 일부가 노출되도록 상기 제2반도체칩과 상기 외부단자를 몰딩하는 반도체패키지.

**청구항 6**

제4항에 있어서,

상기 재배선패턴층은 상기 제1신호패드가 노출되도록 상기 제1반도체칩의 내측영역 및 외측 바깥영역에 형성된 제1절연층과,

일측이 노출된 상기 제1신호패드와 연결되고, 타측이 상기 제1반도체칩 외측 바깥영역의 상기 제1절연층에 적층된 재배선패턴과,

상기 재배선패턴의 일측과, 상기 재배선패턴의 타측 일부가 노출되도록 상기 제1절연층 및 상기 재배선패턴에 적층된 제2절연층을 포함하는 반도체패키지.

**청구항 7**

제5항에 있어서,  
상기 외부단자는 노출된 상기 재배선패턴의 타측과 연결되고,  
상기 연결단자는 노출된 상기 재배선패턴의 일측과 연결되는 반도체패키지.

**청구항 8**

제1항에 있어서,  
상기 외부단자는 중심축의 연장선이 상기 지지프레임을 지나도록 위치하는 반도체패키지.

**청구항 9**

제8항에 있어서,  
상기 지지프레임은 일면 또는 양면에 회로가 형성된 반도체패키지.

**청구항 10**

삭제

**청구항 11**

제1항에 있어서,  
상기 제1반도체칩과 상기 제2반도체칩의 활성면은 서로 대면하도록 배치된 반도체패키지.

**청구항 12**

제1항에 있어서,  
상기 제1몰드층과 상기 제2몰드층 중 하나 이상은 상기 제1반도체칩 및 상기 제2반도체칩 중 하나 이상의 비활성면이 노출되도록 평탄화되어 형성된 반도체패키지.

**청구항 13**

제1항 내지 제9항 및 제11항 내지 제12항 중 어느 한 항에 따른 반도체패키지가 둘 이상 적층된 반도체패키지유닛.

**청구항 14**

제13항에 있어서,  
상기 상하로 적층된 반도체패키지 중 하부에 위치하는 반도체패키지는 상기 지지프레임을 관통하여 형성되되, 상기 관통된 지지프레임의 관통구를 모두 채우거나 상기 관통구의 벽면에 도금되는 형태로 형성되어 상부에 위치하는 반도체패키지의 상기 외부단자와 전기적으로 연결되는 도전성포스트를 포함하는 반도체패키지유닛.

**청구항 15**

지지프레임의 복수의 개구부를 형성하고,  
상기 개구부에 제1반도체칩을 안착하고,  
상기 지지프레임과 상기 제1반도체칩을 몰딩하는 제1몰드층을 형성하고,  
상기 제1반도체칩 외측 바깥영역에서 제1반도체칩과 전기적으로 연결되는 외부단자를 형성하고,  
상기 제1반도체칩과 전기적으로 연결되도록 제2반도체칩을 안착하고,  
상기 외부단자의 단부가 노출되도록 상기 제2반도체칩과 상기 외부단자를 몰딩하는 제2몰드층을 형성하는 과정을 포함하는 반도체패키지 제조방법.

**청구항 16**

제15항에 있어서,

상기 제1몰드층을 형성하는 과정은 일정거리 이격되게 배치된 복수의 상기 제1반도체칩의 일면이 노출되도록 상기 제1반도체칩을 몰딩하고,

상기 노출된 제1반도체칩 일면의 제1신호패드에 전기적으로 연결되도록 재배선패턴층을 형성하는 과정을 더 포함하는 반도체패키지 제조방법.

**청구항 17**

제16항에 있어서,

상기 재배선패턴층을 형성하는 과정은, 상기 제1신호패드가 노출되도록 상기 제1반도체칩의 내측영역 및 외측 바깥영역에 제1절연층을 형성하고,

일측이 노출된 상기 제1신호패드에 연결되고, 타측이 상기 제1반도체칩 외측 바깥영역의 상기 제1절연층으로 연장되어 적층되도록 재배선패턴을 형성하며,

상기 재배선패턴의 일측과, 상기 재배선패턴의 타측 일부가 노출되도록 상기 제1절연층 및 상기 재배선패턴에 제2절연층을 적층하는 과정을 포함하는 반도체패키지 제조방법.

**청구항 18**

제17항에 있어서,

상기 외부단자를 형성하는 과정은 상기 외부단자가 노출된 상기 재배선패턴의 타측과 연결되도록 하고,

상기 제2반도체칩을 안착하는 과정은, 노출된 상기 재배선패턴의 일측에 연결단자를 플립칩 본딩시켜 상기 제1반도체칩 각각에 대응되게 상기 제2반도체칩을 마운팅하는 반도체패키지 제조방법.

**청구항 19**

제15항에 있어서,

상기 제2반도체칩을 안착하는 과정은, 상기 제2반도체칩의 활성면이 상기 제1반도체칩의 활성면과 대면하도록 배치하는 반도체패키지 제조방법.

**청구항 20**

제15항에 있어서,

상기 제1반도체칩을 안착하는 과정은, 상기 지지프레임에 제1캐리어기판을 부착시키고,

상기 개구부에 의해 노출된 상기 제1캐리어기판 상에 상기 제1반도체칩을 안착시키며,

상기 제1캐리어기판을 제거하는 과정을 포함하는 반도체패키지 제조방법.

**청구항 21**

제15항에 있어서,

상기 지지프레임에 관통구를 형성하고,

상기 외부단자와 전기적으로 연결되기 위한 도전성포스트를 상기 관통구를 모두 채우거나 상기 관통구의 벽면에 도금되는 형태로 형성하는 과정을 더 포함하는 반도체패키지 제조방법.

**청구항 22**

삭제

**청구항 23**

제15항에 있어서,

상기 제1반도체칩 및 상기 제2반도체칩 중 하나 이상의 비활성면이 노출되도록 상기 제1몰드층과 상기 제2몰드

층 중 하나 이상을 평탄화시키는 과정을 더 포함하는 반도체패키지 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체패키지, 반도체패키지유닛 및 반도체패키지 제조방법에 관한 것이다.

**배경기술**

[0002] 최근 반도체 소자는 공정기술의 미세화 및 기능의 다양화로 인해 칩 사이즈는 감소하고 전극 패드 피치는 점점 미세화되고 있다. 또, 다양한 기능의 융합화가 가속됨에 따라 여러 소자를 하나의 패키지 내에 집적하는 시스템 레벨 패키징 기술이 대두되고 있다. 시스템 레벨 패키징 기술은 동작 간 노이즈를 최소화하고 신호 속도를 향상시키기 위하여 짧은 신호거리를 유지할 수 있는 3차원 적층 기술 형태로 변화되고 있다.

[0003] 한편, 복수의 반도체칩을 적층하여 생산성을 높이고 제조 원가를 절감시키기 위한 적층형 반도체패키지(PoP, Package on Package)에 대한 연구 개발이 이루어지고 있다. 그러나, 종래의 PoP 기술은 전체 반도체패키지의 두께를 낮추는 데에 한계가 있었다. 예컨대, 모바일 제품에 적용하기 위해서는 모듈(Module) 및 세트(Set) 규격에 맞추어 반도체패키지의 두께를 최소화해야 할 필요가 있다. 종래에는 각 반도체칩을 별도의 패키지로 봉지재를 이용하여 각각 몰딩한 후, 기판에 실장하는 방식을 사용한다. 따라서, 전체 반도체패키지의 두께가 각 반도체칩을 몰딩한 두께에 따라 증가하게 된다.

[0004] 이와 관련하여, 한국공개특허 제2008-0022452호(2008.03.11 공개)는 하부에 위치하는 반도체칩의 패키지 두께가 두꺼워지더라도 단락되지 않도록 하는 PoP 패키지와 관련된 기술을 공개한 바 있다. 그러나, 여전히 전체 반도체패키지의 두께를 줄이는 문제점은 해소시키지 못하고 있다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 특허문헌1: 한국공개특허 제2008-0022452호(2008.03.11 공개)

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 실시 예는 일정거리 이격되게 배치된 복수의 제1반도체칩이 몰딩된 패널 상태에서, 각 제1반도체칩과 전기적으로 연결되도록 개별 제2반도체칩을 적층시킨 후 이를 몰딩하여, 전체 반도체패키지의 두께를 감소시키는 반도체패키지, 반도체패키지유닛 및 반도체패키지 제조방법을 제공하고자 한다.

**과제의 해결 수단**

[0007] 본 발명의 일 측면에 따르면, 제1반도체칩과, 상기 제1반도체칩을 몰딩하는 제1몰드층과, 상기 제1반도체칩 외측 바깥영역에서 제1반도체칩과 전기적으로 연결되는 외부단자를 포함하는 제1반도체칩패키지; 및 제1반도체칩과 전기적으로 연결되는 제2반도체칩과, 상기 외부단자의 일부가 노출되도록 상기 제2반도체칩과 상기 외부단자를 몰딩하는 제2몰드층을 포함하는 제2반도체칩패키지;를 포함하는 반도체패키지가 제공될 수 있다.

[0008] 상기 외부단자는 솔더볼을 포함할 수 있다.

[0009] 상기 외부단자의 높이는 상기 제2반도체칩의 높이보다 크게 형성될 수 있다.

[0010] 상기 제1몰드층은 상기 제1반도체칩의 일면이 노출되도록 상기 제1반도체칩을 몰딩하고, 상기 제1반도체칩패키지는 상기 노출된 제1반도체칩 일면의 제1신호패드에 전기적으로 연결된 재배선패턴층을 더 포함하고, 상기 외부단자는 상기 제1반도체칩 외측 바깥영역으로 연장된 상기 재배선패턴층의 노출 부위에 전기적으로 연결되도록 돌출 형성될 수 있다.

[0011] 상기 제2반도체칩패키지는 상기 제2반도체칩 일면의 제2신호패드에 전기적으로 연결되도록 돌출 형성되어, 상기

제1신호패드와 연결된 상기 재배선패턴층의 타측 부위에 연결되는 연결단자를 더 포함하고, 상기 제2몰드층은 상기 외부단자의 일부가 노출되도록 상기 제2반도체칩과 상기 외부단자를 몰딩할 수 있다.

- [0012] 상기 재배선패턴층은 상기 제1신호패드가 노출되도록 상기 제1반도체칩의 내측영역 및 외측 바깥영역에 형성된 제1절연층과, 일측이 노출된 상기 제1신호패드와 연결되고, 타측이 상기 제1반도체칩 외측 바깥영역의 상기 제1절연층에 적층된 재배선패턴과, 상기 재배선패턴의 일측과, 상기 재배선패턴의 타측 일부가 노출되도록 상기 제1절연층 및 상기 재배선패턴에 적층된 제2절연층을 포함할 수 있다.
- [0013] 상기 외부단자는 노출된 상기 재배선패턴의 타측과 연결되고, 상기 연결단자는 노출된 상기 재배선패턴의 일측과 연결될 수 있다.
- [0014] 상기 제1반도체칩패키지는 상기 제1반도체칩이 안착되는 개구부를 형성한 지지프레임을 더 포함할 수 있다.
- [0015] 상기 지지프레임은 일면 또는 양면에 회로가 형성될 수 있다.
- [0016] 상기 제1몰드층과 상기 제2몰드층은 동종재질로 형성되고, 상기 제1반도체칩과 상기 지지프레임은 상기 제1몰드층에 의해 일체화되고, 상기 제2반도체칩과 상기 외부단자는 상기 제2몰드층에 의해 일체화될 수 있다.
- [0017] 상기 제1반도체칩과 상기 제2반도체칩의 활성면은 서로 대면하도록 배치될 수 있다.
- [0018] 상기 제1몰드층과 상기 제2몰드층 중 하나 이상은 상기 제1반도체칩 및 상기 제2반도체칩 중 하나 이상의 비활성면이 노출되도록 평탄화되어 형성될 수 있다.
- [0019] 본 발명의 다른 측면에 따르면, 상술한 반도체패키지가 둘 이상 적층된 반도체패키지유닛이 제공될 수 있다.
- [0020] 상기 적층된 반도체패키지는 서로 간의 전기적 연결을 위해, 상기 제1반도체칩이 안착되는 개구부를 형성한 지지프레임과, 상기 지지프레임을 관통하여 형성되며, 상기 관통된 지지프레임의 관통구를 모두 채우거나 상기 관통구의 벽면에 도금되는 형태로 형성되어 상기 외부단자와 수직 연결되는 도전성포스트를 각각 포함하며, 상기 반도체패키지 중 상위에 배치된 반도체패키지의 외부단자는 하위에 배치된 반도체패키지의 도전성포스트에 연결될 수 있다.
- [0021] 본 발명의 또 다른 측면에 따르면, (a) 제1반도체칩을 몰딩하는 제1몰드층을 형성하는 단계; (b) 상기 제1반도체칩 외측 바깥영역에서 제1반도체칩과 전기적으로 연결되는 외부단자를 형성하는 단계; 및 (c) 상기 외부단자의 일부가 노출되도록 상기 제1반도체칩과 전기적으로 연결되는 제2반도체칩과 상기 외부단자를 몰딩하는 제2몰드층을 형성하는 단계;를 포함 하는 반도체패키지 제조방법이 제공될 수 있다.
- [0022] 상기 제1몰드층은 일정거리 이격되게 배치된 복수의 상기 제1반도체칩의 일면이 노출되도록 상기 제1반도체칩을 몰딩하고, 상기 (a) 단계 이후, 상기 노출된 제1반도체칩 일면의 제1신호패드에 전기적으로 연결되도록 재배선패턴층을 형성하는 단계를 더 포함할 수 있다.
- [0023] 상기 재배선패턴층을 형성하는 단계는, 상기 제1신호패드가 노출되도록 상기 제1반도체칩의 내측영역 및 외측 바깥영역에 제1절연층을 형성하는 단계와,
- [0024] 일측이 노출된 상기 제1신호패드에 연결되고, 타측이 상기 제1반도체칩 외측 바깥영역의 상기 제1절연층으로 연장되어 적층되도록 재배선패턴을 형성하는 단계와,
- [0025] 상기 재배선패턴의 일측과, 상기 재배선패턴의 타측 일부가 노출되도록 상기 제1절연층 및 상기 재배선패턴에 제2절연층을 적층하는 단계를 포함할 수 있다.
- [0026] 상기 외부단자는 노출된 상기 재배선패턴의 타측과 연결되고, 상기 (b) 단계 이후, 노출된 상기 재배선패턴의 일측에 연결단자를 플립칩 본딩시켜 상기 제1반도체칩 각각에 대응되게 상기 제2반도체칩을 마운팅하는 단계를 더 포함할 수 있다.
- [0027] 상기 제2반도체칩의 활성면은 상기 제1반도체칩의 활성면과 대면하도록 배치될 수 있다.
- [0028] 상기 (a) 단계는 상기 제1반도체칩이 안착되는 지지프레임에 복수의 개구부를 형성하는 단계와, 상기 지지프레임에 제1캐리어기판을 부착시키는 단계와, 상기 개구부에 상기 제1반도체칩을 안착시키는 단계와, 상기 제1몰드층을 형성하는 단계와, 상기 제1캐리어기판을 제거하는 단계를 포함할 수 있다.
- [0029] 상기 지지프레임에 관통구를 형성하는 단계와, 상기 외부단자와 전기적으로 연결되는 도전성포스트를 상기 관통구를 모두 채우거나 상기 관통구의 벽면에 도금되는 형태로 형성하는 단계를 더 포함할 수 있다.

[0030] 상기 외부단자는 솔더볼을 포함하고, 상기 (b) 단계에서, 상기 외부단자의 높이는 상기 제2반도체칩의 높이보다 크게 형성될 수 있다.

[0031] 상기 제1반도체칩 및 상기 제2반도체칩 중 하나 이상의 비활성면이 노출되도록 상기 제1몰드층과 상기 제2몰드층 중 하나 이상을 평탄화시키는 단계를 더 포함할 수 있다.

**발명의 효과**

[0032] 본 발명의 실시 예에 따른 반도체패키지, 반도체패키지유닛 및 반도체패키지 제조방법은 일정거리 이격되게 배치된 복수의 제1반도체칩이 몰딩된 패널 상태에서, 각 제1반도체칩과 전기적으로 연결되도록 개별 제2반도체칩을 적층시킨 후 이를 몰딩하여, 전체 반도체패키지의 두께를 감소시킬 수 있다.

[0033] 또, 제1반도체칩과 제2반도체칩 사이의 연결단자를 기준으로, 상부와 하부의 반도체칩패키지 구조를 유사하게 구성함으로써 열변형에 대한 구조적 안정성을 향상시킬 수 있다.

[0034] 또, 제1반도체칩과 제2반도체칩의 활성면이 서로 대면하도록 배치됨으로써, 제1반도체칩과 제2반도체칩 간의 접촉거리를 줄이고, 반도체패키지의 두께를 감소시키며, 균형있는 배치로 인한 구조적 안정성을 높일 수 있다.

[0035] 또, 몰드층을 평탄화시켜 제1반도체칩과 제2반도체칩 중 하나 이상의 비활성면이 노출되도록 함으로써, 박형화된 반도체패키지 구현 및 열방출이 용이하게 이루어질 수 있다.

**도면의 간단한 설명**

[0036] 도 1은 본 발명의 일 실시 예에 따른 반도체패키지가 기판에 실장된 형태를 단면도로 도시한 것이다.

도 2a 내지 도 2k는 상기 도 1의 반도체패키지를 제조하는 공정을 단면도로 도시한 것이다.

도 3은 상기 도 1의 반도체패키지에 포함된 반도체칩 일면이 노출된 형태를 단면도로 도시한 것이다.

도 4는 상기 도 1의 반도체패키지에 지지프레임이 생략된 형태를 단면도로 도시한 것이다.

도 5는 상기 도 1의 반도체패키지가 둘 이상 적층된 반도체패키지유닛을 단면도로 도시한 것이다.

도 6a 내지 도 6e는 도 5의 반도체패키지유닛에서 도전성포스트가 마련된 반도체패키지의 제조공정을 단면도로 도시한 것이다.

**발명을 실시하기 위한 구체적인 내용**

[0037] 이하에서는 본 발명의 실시 예들을 첨부 도면을 참조하여 상세히 설명한다. 이하에 소개되는 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 또한 이하의 도면들에 있어서, 막(층, 패턴) 및 영역들의 두께는 명확성을 기하기 위하여 과장될 수 있다. 또한, 막(층, 패턴)이 다른 막(층, 패턴)의 ‘상’, ‘상부’, ‘하’, ‘하부’, ‘일면’에 있다고 언급되는 경우에 그것은 다른 막(층, 패턴)에 일체로 형성될 수 있거나 또는 그들 사이에 다른 막(층, 패턴)이 개재될 수도 있다. 아울러, 공간적으로 상대적인 용어인 ‘아래’, ‘하부’, ‘위’, ‘상부’ 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용된 것이며, 실제 사용시의 상부, 하부를 의미하는 용어로 사용된 것은 아니다. 즉, 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 실제 사용시의 배향에 따라 해석될 수 있다.

[0038] 도 1은 본 발명의 일 실시 예에 따른 반도체패키지가 기판에 실장된 형태를 단면도로 도시한 것이다.

[0039] 도 1을 참조하면, 본 발명의 실시 예에 따른 반도체패키지(300)는 제1반도체칩패키지(301) 및 그 하위의 제2반도체칩패키지(302)를 포함한다.

[0040] 제1반도체칩패키지(301)는 제1반도체칩(20)과, 제1반도체칩(20)이 안착되는 개구부를 형성한 지지프레임(10)과, 제1반도체칩(20)의 일면이 노출되도록 제1반도체칩(20)을 몰딩(밀봉)하는 제1몰드층(30)과, 노출된 제1반도체칩(20) 일면의 제1신호패드(22)에 전기적으로 연결된 재배선패턴층(40)과, 제1반도체칩(20) 외측 바깥영역으로 연장된 재배선패턴층(40)의 일측 부위에 전기적으로 연결되도록 돌출 형성된 외부단자(50)를 포함한다. 여기서, 재배선패턴층(40)은 제1절연층(41), 재배선패턴(42), 제2절연층(43)을 포함하며, 제1반도체칩패키지(301)와 제2반도체칩패키지(302)가 재배선패턴층(40)에 연결됨으로써, 팬-아웃(Fan-out) 구조를 가지게 된다.

- [0041] 또, 제2반도체칩패키지(302)는 제2반도체칩(60)과, 제2반도체칩(60) 일면의 제2신호패드(62)에 전기적으로 연결 되도록 돌출 형성되어 제1신호패드(22)와 연결된 재배선패턴층(40)의 타측 부위에 연결되는 연결단자(65)와, 외부단자(50)의 하측 일부가 노출되도록 제2반도체칩(60)과 외부단자(50)를 몰딩하는 제2몰드층(70)을 포함한다.
- [0042] 여기서, 제1반도체칩(20)과 제2반도체칩(60)의 일면은 활성면(20a,60a)으로서 서로 대면하도록 배치될 수 있다. 제1반도체칩(20)과 제2반도체칩(60)의 크기와 두께는 서로 같거나 다르게 제조될 수 있으며, 메모리 칩, 로직 칩을 포함할 수 있다. 메모리 칩은 예컨대, 디램(DRAM), 에스램(SRAM), 플래시(flash), 피램(PRAM), 알이램(ReRAM), 에프이램(FerAM) 또는 엠램(MRAM)을 포함할 수 있다. 로직 칩은 메모리칩들을 제어하는 제어기일 수 있다. 예컨대, 제1반도체칩(20)은 로직칩으로 구현될 수 있고, 제2반도체칩(60)은 메모리칩으로 구현될 수 있다. 또는 이와 반대일 수 있다.
- [0043] 이러한 반도체패키지(300)는 기판(7)의 도전층(8)에 외부단자(50)가 전기적으로 연결되도록 실장된다. 이하, 도 2a 내지 도 2k를 기초로 반도체패키지(300)를 제조하는 과정에 대해서 설명한다.
- [0044] 도 2a 내지 도 2k는 상기 도 1의 반도체패키지를 제조하는 공정을 단면도로 도시한 것이다.
- [0045] 도 2a를 참조하면, 둘 이상의 제1반도체칩(20)을 안착시키기 위해 지지프레임(10)(Support frame)에 복수의 개구부(H1)를 형성한다. 여기서, 지지프레임(10)의 두께는 개구부(H1)에 안착되는 제1반도체칩(20)의 두께에 대응하거나 제1반도체칩(20)의 두께보다 두꺼울 수 있다. 또한, 필요에 따라 일면을 연마하여 제1반도체칩(20)의 두께보다 작게 마련될 수도 있다. 지지프레임(10)은 일면 또는 양면에 회로가 형성되며, 플라스틱이나 고분자수지 등의 절연물질에 의해 제조될 수 있다. 절연물질은 예컨대 실리콘(Silicon), 유리(Glass), 세라믹(Ceramic), 플라스틱(Plastic), 폴리머(Polymer) 등을 포함할 수 있다. 또 지지프레임(10)은 평판, 원형, 다각형 등의 형상으로 마련될 수 있다. 또 지지프레임(10)은 예컨대 PCB 기판을 포함할 수 있다. 이러한 지지프레임(10)은 후술할 패널(100) 변형에 대한 구조적인 안정성을 높일 수 있다. 개구부(H1)는 라우팅 공정, 금형절단 가공 공정, 식각 공정, 드릴링 공정, 레이저 제거 공정 등에 의해 형성될 수 있다. 제1반도체칩(20)이 안착되는 개구부(H1)는 제1반도체칩(20)의 사이즈보다 크게 형성될 수 있다. 이와 같이 지지프레임(10)에 제1반도체칩(20)이 안착되는 개구부(H1)가 마련됨으로써, 팬-아웃(Fan-out) 구조의 반도체패키지 제조의 효율성을 높일 수 있게 된다. 이에 대해서는 후속 공정들을 통해서 설명하기로 한다.
- [0046] 다음으로 도 2b를 참조하면, 지지프레임(10)의 하면에 제1캐리어기판(2)을 부착시키고, 지지프레임(10)의 개구부(H1)에 제1반도체칩(20)을 안착시킨다. 이때, 제1캐리어기판(2)은 액상 접착제, 접착 테이프 등을 포함하는 접착부재에 의해 지지프레임(10)에 부착될 수 있다. 또, 제1반도체칩(20)은 회로부가 형성된 활성면(20a)이 하측을 향하도록 제1캐리어기판(2)에 고정될 수 있다. 활성면(20a)에 마련된 제1신호패드(22)는 제1캐리어기판(2)에 접촉된다. 제1캐리어기판(2)과 후술할 제2캐리어기판(4)은 실리콘(Silicon), 유리(Glass), 세라믹(Ceramic), 플라스틱(Plastic), 폴리머(Polymer) 등을 포함할 수 있다. 또, 고형(Rigid type) 재질의 소재를 포함할 수 있으며, 일 예로서 몰드 성형물 혹은 폴리이미드 테이프 등을 포함할 수 있다.
- [0047] 다음으로 도 2c를 참조하면, 지지프레임(10) 및 제1반도체칩(20)을 몰딩하는 제1몰드층(30)을 형성한다. 여기서, 제1반도체칩(20)과 지지프레임(10) 간에 형성된 공간(S1, 도 2b 참조)과, 지지프레임(10) 간에 형성된 공간(S2, 도 2b 참조)에 봉지재가 침투 및 충전되어 제1반도체칩(20)과 지지프레임(10)이 제1몰드층(30)에 의해 일체화될 수 있다. 봉지재는 예컨대, 에폭시 몰드 컴파운드(EMC, Epoxy Mold Compound) 등의 절연물을 포함할 수 있다. 제1몰드층(30)과 후술할 제2몰드층(70)은 예컨대, 인쇄 방식, 압축 몰딩 방식 등에 의해 형성될 수 있으며, 평탄화 공정에 의해 상면이 평탄화될 수 있다.
- [0048] 다음으로 도 2d를 참조하면, 지지프레임(10)으로부터 제1캐리어기판(2)을 제거하여 제1패널(100)을 제조한다. 이때, 제1캐리어기판(2) 제거에 의해 제1반도체칩(20)의 활성면(20a)과 지지프레임(10)의 하면이 노출된다.
- [0049] 다음으로 도 2e와 도 2f를 참조하면, 상술한 제1패널(100)을 뒤집어 제1몰드층(30) 하면에 제2캐리어기판(4)을 부착시키고, 제1패널(100) 상부 즉, 노출된 제1반도체칩(20)의 활성면(20a)과 지지프레임(10) 및 제1몰드층(30) 상부에 재배선패턴층(40)을 형성한다. 재배선패턴층(40)은 제1절연층(41), 재배선패턴(42), 제2절연층(43)을 포함한다. 재배선패턴층(40)은 미리 제조된 기판으로 구성되거나, 압착, 접착, 리플로우 등에 의해 제1반도체칩(20), 지지프레임(10) 및 제1몰드층(30) 상에 접착될 수 있다.
- [0050] 재배선패턴층(40) 형성을 위해, 도 2e에 도시한 바와 같이, 제1반도체칩(20)의 제1신호패드(22) 상면이 노출되도록 제1반도체칩(20)의 내측영역(활성면(20a))과 외측 바깥영역(즉, 지지프레임(10) 및 제1몰드층(30))에 제1절연층(41)을 형성한다.

- [0051] 그리고, 도 2f에 도시한 바와 같이, 일측이 제1신호패드(22)와 전기적으로 연결되며, 타측이 제1반도체칩(20) 외측 바깥영역의 제1절연층(41) 상면으로 연장되도록 재배선패턴(42)을 형성한다. 여기서, 재배선패턴(42)은 예컨대, 증착, 도금 등 다양한 방법에 의해 형성될 수 있다. 또, 재배선패턴(42)은 예컨대 구리, 구리 합금, 알루미늄, 알루미늄 합금 등의 금속 소재에 의해 형성될 수 있다. 이러한 재배선패턴(42)은 제1반도체칩(20)의 입출력 단자를 미세화할 수 있고, 입출력 단자의 갯수를 증가시킬 수 있다. 또 팬-아웃 반도체패키지를 구현하는 수단이 되며, 단층 또는 다층으로 구성될 수 있다.
- [0052] 또, 재배선패턴(42)의 일부가 노출되도록 재배선패턴(42) 상면에 제2절연층(43)을 형성한다. 이때, 제1신호패드(22) 상면에 연결된 재배선패턴(42) 일측과, 제1반도체칩(20) 외측 바깥영역의 제1절연층(41) 상면으로 연장된 재배선패턴(42) 타측 일부가 노출되도록 제1절연층(41) 및 재배선패턴(42) 상부에 제2절연층(43)이 형성될 수 있다.
- [0053] 다음으로 도 2g를 참조하면, 재배선패턴층(40)에 전기적으로 연결되는 외부단자(50)를 연결한다. 즉 외부단자(50)는 노출된 재배선패턴(42) 타측의 상면에 전기적으로 연결되도록 돌출 형성된다. 외부단자(50)는 예컨대, 도전성 솔더볼(Solder ball) 등을 포함하는 범프 구조로 형성될 수 있다. 또, 외부단자(50)는 구리, 구리 합금, 알루미늄, 알루미늄 합금 등을 포함하는 금속 도전물, 도전성 물질을 포함하는 솔더 페이스트(Solder paste) 등을 포함할 수 있다. 또, 외부단자(50)의 표면에는 유기물 코팅, 금속도금 등의 표면처리가 수행되어 표면이 산화되는 것을 방지할 수 있다. 예컨대, 유기물은 OSP(Organic Solder Preservation) 코팅일 수 있으며, 금속도금은 금(Au), 니켈(Ni), 납(Pb), 실버(Ag) 등에 의해 도금처리될 수 있다.
- [0054] 다음으로 도 2h를 참조하면, 제1패널(100)의 제1반도체칩(20)과 전기적으로 연결되도록 개별 제2반도체칩(60)을 제1패널(100)의 제1반도체칩(20) 상부에 각각 적층시킨다. 제2반도체칩(60)은 제2신호패드(62) 및 그 하면에 형성된 본드패드(63)와 연결단자(65)를 포함할 수 있다. 연결단자(65)는 제2신호패드(62)에 전기적으로 연결되도록 돌출 형성되며, 예컨대 솔더볼 등을 포함하는 범프 구조로 형성될 수 있다. 연결단자(65)가 상술한 노출된 재배선패턴(42) 일측의 상면에 연결되도록, 플립칩 본딩에 의해 제2반도체칩(60)을 마운팅시켜 제1패널(100)의 제1반도체칩(20)과 제2반도체칩(60)을 전기적으로 연결시킬 수 있다. 제2반도체칩(60)은 활성면(60a)이 하측을 향하도록 페이스 다운(Face down) 본딩될 수 있다.
- [0055] 이에 따라 제1반도체칩(20)과 제2반도체칩(60)의 활성면(20a, 60a)은 서로 대면하도록 배치된다. 이를 통해 제1반도체칩(20)과 제2반도체칩(60) 간의 접속거리를 줄이고, 반도체패키지(300)의 두께를 감소시키며, 균형있는 배치로 인한 구조적 안정성을 높일 수 있다. 또, 제1반도체칩(20)과 제2반도체칩(60)은 재배선패턴층(40)에 의해 전기적으로 서로 연결됨으로써, 팬-아웃 구조를 가지게 된다.
- [0056] 이러한 제1반도체칩(20)과 제2반도체칩(60)의 크기와 두께는 서로 같거나 다르게 제조될 수 있으며, 메모리 칩, 로직 칩을 포함할 수 있다. 메모리 칩은 예컨대, 디램(DRAM), 에스램(SRAM), 플래시(flash), 피램(PRAM), 알이램(ReRAM), 에프이램(FerRAM) 또는 엠램(MRAM)을 포함할 수 있다. 로직 칩은 메모리칩들을 제어하는 제어기일 수 있다.
- [0057] 다음으로 도 2i를 참조하면, 외부단자(50) 상부의 일면이 노출되도록 제1패널(100) 상부를 전면적으로 몰딩하여 제2몰드층(70)이 형성된 제2패널(200)을 제조한다. 여기서, 재배선패턴층(40) 상부에 적층된 제2반도체칩(60)의 높이에 비해 외부단자(50)의 높이가 더 크게 마련될 수 있다. 즉, 제2절연층(43) 표면을 기준으로 외부단자(50)의 높이(H1)가 제2반도체칩(60)의 높이(H2)에 보다 더 크게 마련될 수 있다. 이는, 제2반도체칩(60) 상면을 커버하도록 제2몰드층(70)을 형성한 경우에도 외부단자(50)의 상부 일면이 효과적으로 노출될 수 있도록 하기 위함이다.
- [0058] 제2몰드층(70)은 제1패널(100) 상에서 외부단자(50) 상부의 일면이 노출되도록 제2반도체칩(60)과 외부단자(50)를 몰딩한다. 여기서 재배선패턴층(40)과 제2반도체칩(60) 사이에 형성된 공간(S3, 도 2h 참조), 제2반도체칩(60)과 외부단자(50) 사이에 형성된 공간(S4, 도 2h 참조), 외부단자(50) 간에 형성된 공간(S5, 도 2h 참조)에 봉지재가 침투 및 충전되어, 제2반도체칩(60)과 외부단자(50)가 제2몰딩층(70)에 의해 일체화될 수 있다. 이를 통해 제2패널(200)과 제1패널(100)이 일체화될 수 있다.
- [0059] 이때, 상술한 제1몰드층(30)과 제2몰드층(70)은 동종재질로 형성될 수 있으며, 이를 통해 열변형을 최소화하고 구조적 안정성을 높일 수 있다. 다른 예에서는 이종재질로 형성될 수도 있다. 또, 제1몰드층(30)과 제2몰드층(70)의 두께는 같거나 다를 수 있으며, 적층된 제1 및 제2반도체칩패키지(301,302)와의 열팽창계수(CTE) 차이를 고려하여 뒤틀림 내지 휘어짐이 발생하지 않도록 적절하게 결정될 수 있다. 또, 제1몰드층(30)과 제2몰드층(70)

0)은 서로 연결되어 일체형 구조체(one-body structure)를 구성할 수 있으며, 재배선편패턴층(40)이 노출되지 않도록 몰딩할 수 있다.

[0060] 다음으로 도 2j를 참조하면, 제2캐리어기판(4)을 제거한 후, 상하측에 일체형으로 적층된 제1반도체칩(20)과 제2반도체칩(60)의 적층물을 절단공정을 통해 반도체패키지(300) 단위로 개별화하여 분리시킨다. 여기서, 절단공정은 다이아몬드 재질의 블레이드, 펀치, 레이저 등을 이용하여 절단하는 싱글레이션 공정을 포함할 수 있다.

[0061] 이후, 도 1에 도시한 바와 같이, 기판(7)의 도전층(8)에 반도체패키지(300)의 외부단자(50)가 전기적으로 연결되도록 반도체패키지(300)를 기판(7)에 실장한다.

[0062] 상술한 바와 같이, 본 발명의 실시 예에서는 제1반도체칩(20)을 봉지재에 의해 몰딩한 제1패널(100) 상부에 각각의 개별 제2반도체칩(60)을 별도의 패키지 공정없이 플립칩 본딩한다. 또, 제2반도체칩(60)을 커버하도록 봉지재에 의해 패널레벨의 몰딩을 수행하므로, 반도체패키지(300)의 두께를 효과적으로 줄일 수 있다. 또, 반도체패키지(300)에 포함된 제1반도체칩(20)의 연결단자(65)를 기준으로, (수직) 적층된 제1반도체칩(20)과 제2반도체칩(60)의 상부 및 하부 구조가 유사하여, 외부 환경에 대해 열변형의 차이를 줄일 수 있으며, 구조적 안정성을 높일 수 있다.

[0063] 도 3은 도 1의 반도체패키지에 포함된 반도체칩 일면이 노출된 형태를 단면도로 도시한 것이다. 이때, 제1반도체칩(20)과 제2반도체칩(60)의 크기와 두께는 서로 같거나 다르게 제조될 수 있으며, 설명의 편의상 일정 크기와 두께로 도시하였다.

[0064] 도 3의 (a)를 참조하면, 도 2a 내지 도 2k의 반도체패키지 제조과정에서, 제1몰드층(30)을 평탄화하여 제1반도체칩(20)이 노출되도록 할 수 있다. 여기서, 연마, 에치백, 화학기계적 연마(CMP, Chemical-Mechanical Planarization)를 이용하여 제1몰드층(30)을 평탄화할 수 있다.

[0065] 또 도 3의 (b)를 참조하면, 제2몰드층(70)을 평탄화하여 제2반도체칩(60)이 노출되도록 할 수 있다. 이때, 외부단자(50)를 함께 평탄화하여 외부단자(50)의 평탄면이 제2반도체칩(60)의 평탄면과 동일 평면상에 위치하도록 할 수 있다.

[0066] 또 도 3의 (c)를 참조하면, 제1몰드층(30)과 제2몰드층(70)을 평탄화하여 제1반도체칩(20)과 제2반도체칩(60)이 함께 노출되도록 할 수 있다. 이를 통해, 반도체패키지(300) 두께 감소 및 열방출이 용이하게 이루어질 수 있다. 이러한 평탄화 과정은 패널레벨에서 이루어지거나, 일체형 반도체패키지(300) 단위로 개별화된 이후 이루어질 수 있다. 또 적층된 제1반도체칩(20)과 제2반도체칩(60)의 활성면(20a, 60a)이 서로 마주보도록 배치된 경우, 상술된 평탄화에 의해 제1반도체칩(20)과 제2반도체칩(60)의 비활성면(20b, 60b)이 노출될 수 있다. 비활성면(20b, 60b)은 회로부가 형성되지 않은 영역이다.

[0067] 도 4는 도 1의 반도체패키지에 지지프레임이 생략된 형태를 단면도로 도시한 것이다.

[0068] 도 4를 참조하면, 도 2a 내지 도 2k의 반도체패키지 제조과정에서, 지지프레임(10)을 생략하고 반도체패키지(300)를 제조할 수 있다. 이때, 반도체패키지(300)에 포함된 제1반도체칩(20)의 연결단자(65)를 기준으로, 재배선편패턴층(40)을 공유하는 제1반도체칩(20)과 제2반도체칩(60)의 상부 및 하부 구조가 유사하여, 외부 환경에 대해 열변형의 차이를 줄일 수 있으며, 구조적 안정성을 높일 수 있다.

[0069] 도 5는 도 1의 반도체패키지가 둘 이상 적층된 반도체패키지유닛을 단면도로 도시한 것이다. 그리고, 도 6a 내지 도 6e는 도 5의 반도체패키지유닛에서 도전성포스트가 마련된 반도체패키지의 제조공정을 단면도로 도시한 것이다.

[0070] 도 5를 참조하면, 상술한 반도체패키지(300)가 둘 이상 적층된 반도체패키지유닛이 마련될 수 있다. 각 반도체패키지(300)는 서로 간의 전기적 연결을 위해 지지프레임(10)을 관통하는 도전성포스트(80)를 마련한다. 전기적 연결을 위해 도전성포스트(80)는 관통된 지지프레임(10)의 관통구(H2, 도 6a 참조)를 모두 채우거나 관통구(H2)의 벽면에 도금되는 형태로 형성될 수 있다. 상위의 반도체패키지(300)에 형성된 제1몰드층(30)은 제1도전성포스트(81)의 상면을 커버하도록 형성될 수 있다. 하위의 반도체패키지(300)에 형성된 제1몰드층(30)은 상위의 반도체패키지(300)에 형성된 외부단자(50)가 제2도전성포스트(82)에 연결되도록 제2도전성포스트(82)의 상면 일부가 노출되도록 형성된다.

[0071] 따라서, 적층된 각 반도체패키지(300)는 제1 및 제2도전성포스트(81, 82), 재배선편패턴(42), 및 외부단자(50)를 통해 전기적으로 연결된다. 이러한 도전성포스트(80)는 TSV(Through Silicon Via)와 같은 관통 전극을 포함할 수 있다. 도전성포스트(80)가 마련된 반도체패키지(300) 제조공정에 대해서는 도 6a 내지 도 6e를 통해 후술하

기로 한다. 이때, 상술한 도 2a 내지 도 2k에서 설명된 중복된 내용은 생략하거나 간략하게 설명하기로 한다.

[0072] 도 6a를 참조하면, 지지프레임(10)에 관통구(홀)(H2)를 형성한다. 여기서, 관통구(H2)는 후술할 도전성포스트(80)가 재배선패턴층(40)에 의해 외부단자(50)와 수직으로 연결되도록 형성될 수 있다.

[0073] 다음으로, 도 6b를 참조하면, 관통구(H2)에 도전성포스트(80)를 형성한 후, 봉지재로 지지프레임(10) 및 제1반도체칩(20)을 커버하여, 제1몰드층(30)을 형성한다. 이를 통해 제1패널(100) 제조가 완료된다. 여기서, 도전성포스트(80)의 상면이 노출되도록 제1몰드층(30)을 형성할 수 있다.

[0074] 다음으로, 도 6c와 도 6d를 참조하면, 상술한 제1패널(100)을 뒤집은 상태에서, 제1절연층(41), 재배선패턴(42), 제2절연층(43)을 포함하는 재배선패턴층(40)을 제1패널(100) 상부에 형성한다. 이때, 도전성포스트(80)와 재배선패턴(42)이 연결되도록 한다.

[0075] 그리고, 재배선패턴층(40)에 전기적으로 연결되는 외부단자(50)를 연결하고, 개별 제2반도체칩(60)을 제1패널(100)의 제1반도체칩(20) 상부에 각각 적층시킨 후, 제2몰드층(70)을 형성한다. 이를 통해 제2패널(200) 제조가 완료되며, 제1패널(100)과 제2패널(200)이 일체화된다.

[0076] 다음으로, 도 6e를 참조하면, 일체형으로 적층된 제1반도체칩(20)과 제2반도체칩(60)의 적층물을 절단공정을 통해 반도체패키지(300) 단위로 개별화하여 분리시킨다. 이때, 반도체패키지(300)는 도 5에 도시한 하위의 반도체패키지(300)에 해당된다. 상위의 반도체패키지(300)는 도 6a 내지 도 6e의 동일한 과정으로 수행되며, 제1몰드층(30) 형성 과정이 도전성포스트(80)의 상면을 완전히 커버하는 과정으로 대체될 수 있다.

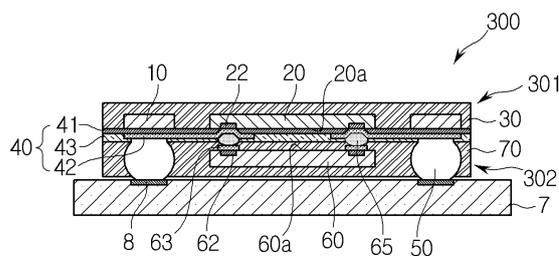
[0077] 이상에서는 특정의 실시 예에 대하여 도시하고 설명하였다. 그러나, 본 발명은 상기한 실시 예에만 한정되지 않으며, 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 이하의 청구범위에 기재된 발명의 기술적 사상의 요지를 벗어남이 없이 얼마든지 다양하게 변경 실시할 수 있을 것이다.

**부호의 설명**

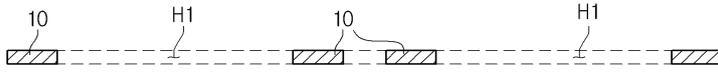
- [0078] 10: 지지프레임                      20: 제1반도체칩
- 30: 제1몰드층                         40: 재배선패턴층
- 41: 제1절연층                        42: 재배선패턴
- 43: 제2절연층                        50: 외부단자
- 60: 제2반도체칩                      65: 연결단자
- 70: 제2몰드층                        80: 도전성포스트
- 100: 제1패널                         200: 제2패널
- 300: 반도체패키지

**도면**

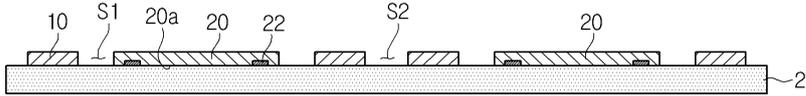
**도면1**



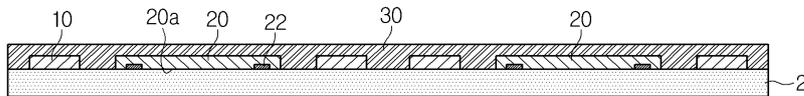
도면2a



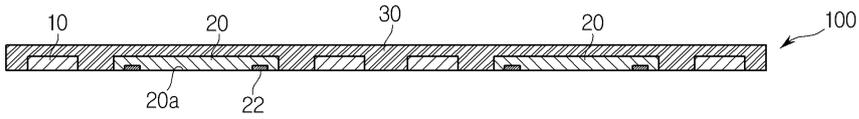
도면2b



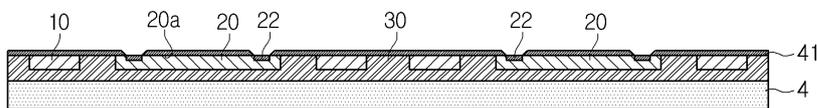
도면2c



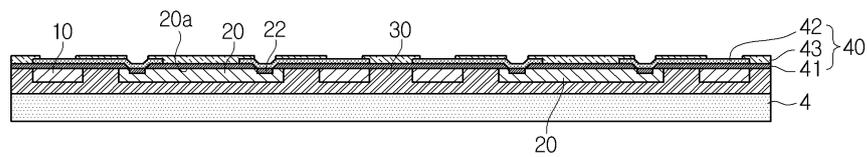
도면2d



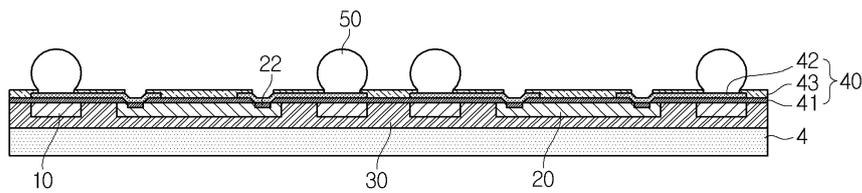
도면2e



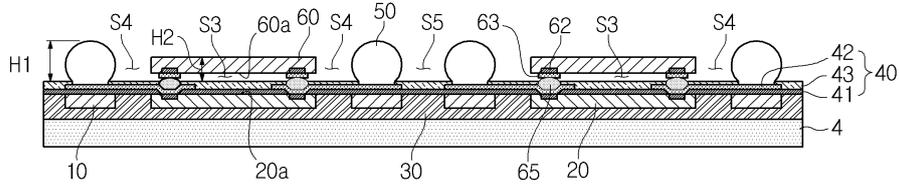
도면2f



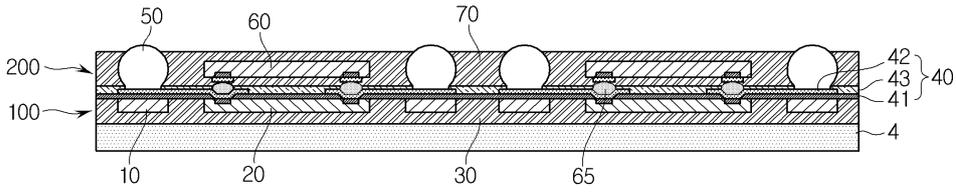
도면2g



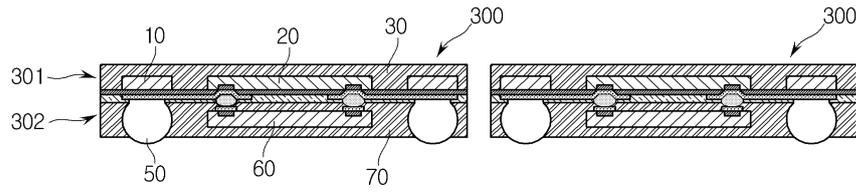
도면2h



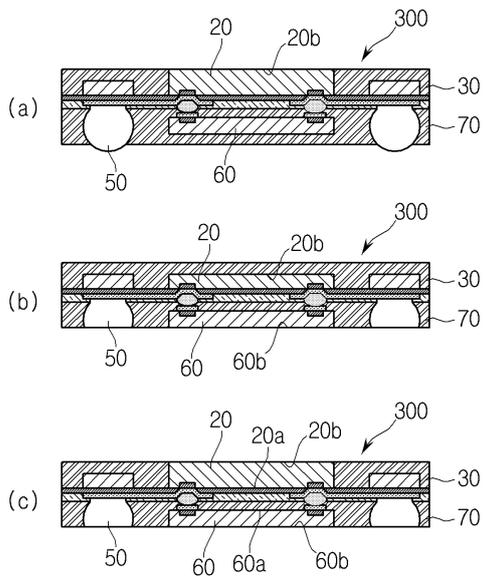
도면2i



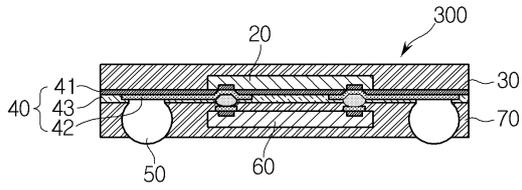
도면2j



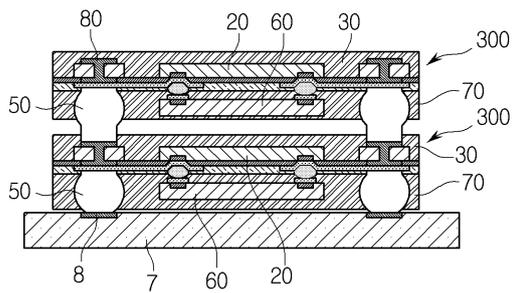
도면3



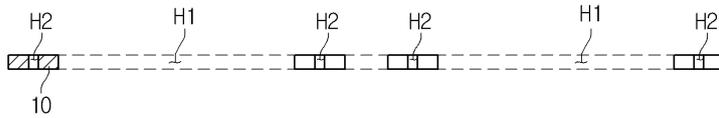
도면4



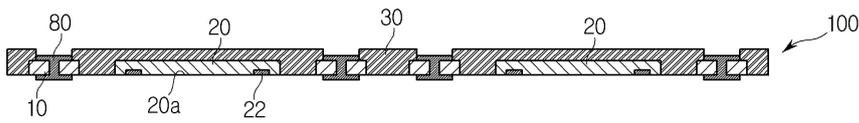
도면5



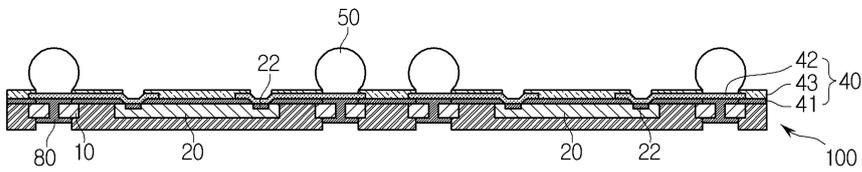
도면6a



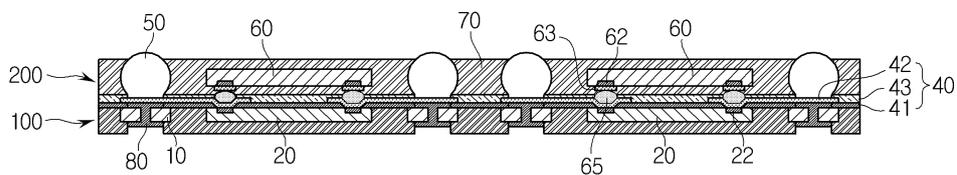
도면6b



도면6c



도면6d



도면6e

