



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월07일
(11) 등록번호 10-0827704
(24) 등록일자 2008년04월29일

(51) Int. Cl.

G11C 11/405 (2006.01) G11C 11/4096 (2006.01)

G11C 11/408 (2006.01)

(21) 출원번호 10-2006-0118964

(22) 출원일자 2006년11월29일

심사청구일자 2006년11월29일

(56) 선행기술조사문헌

KR100745369 B1

US20050066133 A1

US6401175 B1

US6757761 B1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김수영

경기 화성시 태안읍 반월리 신영통현대3차아파트 303동 801호

김미조

경기 수원시 영통구 영통동 984-6 303호

유정수

경기 성남시 분당구 서현동 시범단지우성아파트 228-901

(74) 대리인

김능균

전체 청구항 수 : 총 27 항

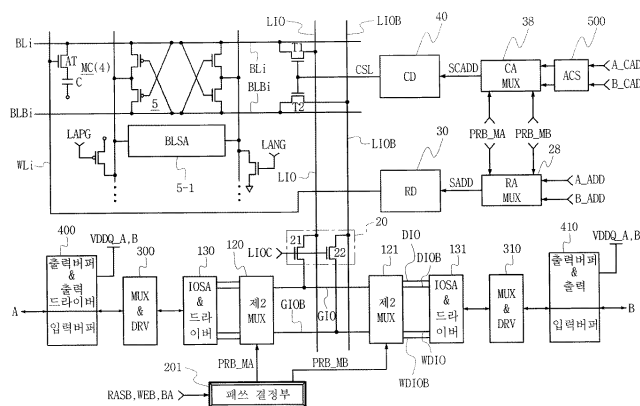
심사관 : 이보형

(54) 포트별 데이터 입출력 단위가 독립적인 경우에도 데이터 호환을 보장하는 멀티팩스 액세스블 반도체 메모리 장치 및 그에 따른 데이터 호환방법

(57) 요약

본 발명은 포트별 데이터 입출력 단위가 독립적인 경우에도 데이터 호환을 보장하는 멀티팩스 액세스블 반도체 메모리 장치 및 그에 따른 데이터 호환방법을 개시한다. N(여기서, N은 자연수)비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리뱅크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리뱅크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리뱅크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법은, 상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리뱅크에 데이터를 저장하는 단계와; 리드 동작모드에서 선택적으로 인가되는 상기 제1,2 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅 하는 단계를 구비하는 것에 의해, 서로 다른 데이터 입출력 비트 단위로 데이터를 액세스 하는 경우에도 공유 메모리뱅크에 대한 데이터 호환이 보장된다.

대표도



특허청구의 범위

청구항 1

N비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 बैं크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 बैं크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 बैं크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 बैं크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리 बैं크에 데이터를 저장하는 단계와;

리드 동작모드에서 선택적으로 인가되는 상기 제1,2 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅 하는 단계를 구비함을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 상기 N비트의 데이터 입출력 비트는 16비트임을 특징으로 하는 방법.

청구항 3

제1항에 있어서, 상기 N비트의 데이터 입출력 비트는 32비트임을 특징으로 하는 방법.

청구항 4

제2항에 있어서, 상기 비트 시프팅은 컬럼 어드레스 비트를 비트별로 1비트 시프팅하는 것임을 특징으로 하는 방법.

청구항 5

N(N은 2의 배수)비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 बैं크와, 1/2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 बैं크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 बैं크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 बैं크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리 बैं크에 데이터를 저장하는 단계와;

리드 동작모드에서 선택적으로 인가되는 상기 제1,2 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅 하는 단계를 구비함을 특징으로 하는 방법.

청구항 6

제5항에 있어서, 상기 N비트의 데이터 입출력 비트는 32비트임을 특징으로 하는 방법.

청구항 7

제5항에 있어서, 상기 N비트의 데이터 입출력 비트는 16비트임을 특징으로 하는 방법.

청구항 8

제6항에 있어서, 상기 비트 시프팅은 컬럼 어드레스 비트를 비트별로 1비트 시프팅하는 것임을 특징으로 하는 방법.

청구항 9

N비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 बैं크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 बैं크와, 상기 제1,2 포트를 통

해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 뱅크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리 뱅크에 데이터를 저장하는 단계와;

리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 연결을 데이터 입출력 비트의 사이즈에 따라 변환하는 단계를 구비함을 특징으로 하는 방법.

청구항 10

제9항에 있어서, 상기 N비트의 데이터 입출력 비트는 16비트임을 특징으로 하는 방법.

청구항 11

제9항에 있어서, 상기 N비트의 데이터 입출력 비트는 32비트임을 특징으로 하는 방법.

청구항 12

제10항에 있어서, 상기 출력연결의 변환은, 상기 센스앰프 출력 데이터의 퍼스트 데이터와 세컨드 데이터의 순서 조합이 구현되도록 맵핑을 행하는 것임을 특징으로 하는 방법.

청구항 13

제12항에 있어서, 상기 맵핑은 메탈 옵션에 의해 설정됨을 특징으로 하는 방법.

청구항 14

N비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 뱅크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 뱅크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 뱅크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리 뱅크에 데이터를 저장하는 단계와;

리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 순서를 인가되는 외부 명령에 따라 변경하는 단계를 구비함을 특징으로 하는 방법.

청구항 15

제14항에 있어서, 상기 N비트의 데이터 입출력 비트는 16비트임을 특징으로 하는 방법.

청구항 16

제14항에 있어서, 상기 N비트의 데이터 입출력 비트는 32비트임을 특징으로 하는 방법.

청구항 17

제15항에 있어서, 상기 출력 순서의 변경은, 상기 센스앰프 출력 데이터의 퍼스트 데이터와 세컨드 데이터의 순서 조합이 변경되도록 출력 맵핑을 행하는 것임을 특징으로 하는 방법.

청구항 18

제17항에 있어서, 상기 출력 맵핑은 모드 레지스터 세트 명령에 의해 설정됨을 특징으로 하는 방법.

청구항 19

N(여기서, N은 자연수)비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 뱅크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 뱅크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리뱅크에 저장된 데이터가 상기 제1,2 프로세서들에 호환되도록 하기 위해, 리드 동작모드에서 선택적으로 인가되는 상기 제1,2 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅하는 어드레스 코딩 시프팅부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 20

제19항에 있어서, 상기 N비트의 데이터 입출력 비트는 16비트임을 특징으로 하는 반도체 메모리 장치.

청구항 21

제19항에 있어서, 상기 N비트의 데이터 입출력 비트는 32비트임을 특징으로 하는 반도체 메모리 장치.

청구항 22

제20항에 있어서, 상기 어드레스 코딩 시프팅부의 비트 시프팅은 컬럼 어드레스 비트를 비트별로 1비트 시프팅하는 것임을 특징으로 하는 반도체 메모리 장치.

청구항 23

N(여기서 N은 자연수)비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리뱅크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리뱅크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리뱅크에 저장된 데이터가 상기 제1,2 프로세서들에 호환되도록 하기 위해, 리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 연결을 데이터 입출력 비트의 사이즈에 따라 변환하는 연결 변환부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 24

제23항에 있어서, 상기 연결 변환부의 연결 변환은 상기 센스앰프 출력 데이터의 퍼스트 데이터와 세컨드 데이터의 순서 조합이 구현되도록 맵핑을 행하는 것임을 특징으로 하는 반도체 메모리 장치.

청구항 25

N비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리뱅크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리뱅크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에 있어서:

상기 제1,2 포트들을 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리뱅크에 저장된 데이터가 상기 제1,2 프로세서들에 호환되도록 하기 위해, 리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 순서를 인가되는 외부 명령에 따라 변경하는 순서 변경부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 26

제25항에 있어서, 상기 출력 순서의 변경은, 상기 센스앰프 출력 데이터의 퍼스트 데이터와 세컨드 데이터의 순서 조합이 변경되도록 출력 맵핑을 행하는 것임을 특징으로 하는 반도체 메모리 장치.

청구항 27

제26항에 있어서, 상기 출력 맵핑은 모드 레지스터 세트 명령에 의해 설정됨을 특징으로 하는 반도체 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 멀티패스 액세스를 반도체 메모리 장치에서의 공유 데이터 호환에 관한 것이다.
- <16> 일반적으로, 복수의 액세스 포트를 가지는 반도체 메모리 소자는 멀티포트 메모리로 불려지고 특히 2개의 액세스 포트를 갖는 메모리 소자는 듀얼포트 메모리로 칭해지고 있다. 전형적인 듀얼포트 메모리는 본 분야에 널리 공지된 것으로서, 랜덤 시퀀스로 액세스 가능한 RAM포트와 시리얼 시퀀스만으로 액세스 가능한 SAM 포트를 가지는 이미지 프로세싱용 비디오 메모리이다.
- <17> 한편, 후술될 본 발명의 설명에서 보다 명확하게 구별될 것이지만, 그러한 비디오 메모리의 구성과는 달리, SAM 포트를 가지지 않으며 DRAM 셀로 구성된 메모리 셀 어레이 중 공유 메모리 영역을 복수의 액세스 포트를 통하여 리드 또는 라이트 하기 위한 다이내믹 랜덤 액세스 메모리를 우리는 상기 멀티포트 메모리와 철저히 구별하기 위하여 본 발명에서 멀티패스 액세스를 반도체 메모리 장치라고 칭하기로 한다.
- <18> 오늘날 인간생활의 유비쿼터스 지향추세에 따라, 인간이 취급하게 되는 전자 시스템도 그에 부응하여 눈부시게 발전되어 지고 있다. 최근에 휴대용 전자 시스템 예를 들어 휴대용 멀티미디어 플레이어나 핸드 헬드 폰, 노트북 컴퓨터, 또는 PDA 등의 전자기기에서는 기능이나 동작 수행의 고속화 및 원활화를 도모하기 위하여 제조 메이커는 도 1에서 보여지는 바와 같이 복수의 프로세서를 채용한 멀티 프로세서 시스템을 구현해왔다.
- <19> 도 1을 참조하면, 제1 프로세서(10)와 제2 프로세서(12)는 접속라인(L10)을 통해 서로 연결되어 있고, NOR 메모리(14)와 DRAM(16)은 설정된 버스들(B1-B3)을 통해 상기 제1 프로세서(10)에 버싱되고, DRAM(18)과 NAND 메모리(20)는 설정된 버스들(B4-B6)을 통해 상기 제2 프로세서(12)에 버싱되어 있다. 여기서, 상기 제1 프로세서(10)는 통신신호의 변조 및 복조를 수행하는 모뎀기능을 가질 수 있고, 상기 제2 프로세서(12)는 통신 데이터의 처리나 게임, 오락 등의 수행을 위한 어플리케이션 기능을 가질 수 있다. 셀 어레이의 구성이 NOR 구조를 갖게 되는 NOR 메모리(14)와 셀 어레이의 구성이 NAND 구성을 갖게 되는 NAND 메모리(20) 모두는 플로팅 게이트를 갖는 트랜지스터 메모리 셀을 갖는 불휘발성 메모리로서, 전원이 오프되더라도 지워져서는 아니되는 데이터 예컨대 휴대용 기기의 고유 코드 및 보존 데이터의 저장을 위해 탑재되며, DRAM들(16, 18)은 프로세서의 데이터 처리를 위한 메인 메모리로서 기능한다.
- <20> 그러나, 도 1과 같은 멀티 프로세서 시스템에서는 각 프로세서마다 DRAM이 각기 대응적으로 배치되고 상대적으로 저속의 UART, SPI, SRAM 인터페이스가 사용되기 때문에, 데이터 전송속도가 충분히 확보되기 어렵고 사이즈의 복잡성이 초래되며 메모리 구성 비용도 부담스럽다. 따라서, 점유 사이즈를 줄임은 물론 데이터 전송속도를 높이고 DRAM 메모리의 채용 개수를 줄이기 위한 스킴이 도 2에 도시되어 있다.
- <21> 도 2를 참조하면, 도 1의 시스템에 비해 하나의 DRAM(17)이 제1 및 제2 프로세서(12)에 버스들(B1, B2)을 통해 연결되어 있는 것이 특이하게 보여진다. 도 2의 멀티 프로세서 시스템의 구조와 같이, 각 프로세서(10, 12)가 각각의 패스를 통해 DRAM(17)을 액세스 하는 것이 가능하게 될려면, DRAM(17)내에 2개의 포트가 설치되고 상기 버스들(B1, B2)에 대응적으로 연결될 것이 요구된다. 그렇지만, 통상의 DRAM은 도 3에서 보여지는 바와 같이 단일 포트(P0)를 갖는 메모리(1)이다.
- <22> 통상의 DRAM 구조를 보여주는 도 3을 참조하면, 메모리 셀 어레이는 로우 디코더(8)와 컬럼 디코더(7)에 각기 대응적으로 연결된 제1-4뱅크(3, 4, 5, 6)로 구성된다. 상부 입출력 센스앰프 및 드라이버(13)는 멀티플렉서들(11, 12)을 통해 상기 제1 뱅크(3) 또는 제3 뱅크(5)와 동작적으로 연결되고, 하부 입출력 센스앰프 및 드라이버(15)는 멀티플렉서들(13, 14)을 통해 상기 제2 뱅크(4) 또는 제4 뱅크(6)와 동작적으로 연결된다. 예를 들어, 제 1 뱅크(3)내의 메모리 셀이 선택되고 그 선택된 메모리 셀에 저장된 데이터가 리드되는 경우라고 하면 리드되는 데이터의 출력 과정은 다음과 같다. 먼저, 선택된 워드라인이 활성화 된 후 비트라인 센스앰프에 의해 감지 및 증폭되어진 메모리 셀의 데이터는 해당 컬럼 선택 라인(CSL)의 활성화에 따라 로컬 입출력 라인(9)에 전달된다. 상기 로컬 입출력 라인(9)에 전달된 데이터는 제1 멀티플렉서(21)의 스위칭 동작에 의해 글로벌 입출력 라인(GIO)으로 전달되고, 글로벌 입출력 라인(GIO)에 연결된 제2 멀티플렉서(11)는 상기 글로벌 입출력 라인(GIO)의 데이터를 상부 입출력 센스앰프 및 드라이버(13)로 전달한다. 상기 입출력 센스앰프 및 드라이버(13)에 의해 제

차로 감지 및 증폭된 데이터는 패쓰부(16)를 통해 데이터 출력라인(L5)으로 출력된다. 한편, 제4 뱅크(6)내의 메모리 셀에 저장된 데이터가 리드되는 경우에 멀티플렉서(24)-멀티플렉서(14)-하부 입출력 센스앰프 및 드라이버(15)-패쓰부(16)-데이터 출력라인(L5)을 차례로 거쳐 데이터가 출력단(DQ)으로 출력된다. 이와 같이, 도 3의 DRAM(1)은 두 뱅크가 하나의 입출력 센스앰프 및 드라이버를 공유하는 구조를 가지며 데이터의 입출력이 하나의 포트(PO)를 통해 수행되는 단일 포트 메모리임을 알 수 있다. 결국, 도 3의 DRAM(1)은 도 1의 시스템에 적용이 가능할 뿐이고 도 2와 같은 멀티 프로세서 시스템에는 메모리 뱅크의 구조나 포트의 구조에 기인하여 적용이 어렵게 된다.

<23> 도 2와 같은 멀티 프로세서 시스템에 적합한 메모리를 기본적으로 구현하려는 본 발명자들의 의도와 유사하게, 공유 메모리 영역이 복수의 프로세서에 의해 액세스될 수 있는 도 4의 구성을 갖는 선행기술이 예우지니 피.매터(Matter)와 다수에 의해 발명되어 2003년 5월 15일자로 미합중국에서 특허공개된 공개번호 US2003/0093628호에 개시되어 있다.

<24> 도 4를 참조하면, 메모리 어레이(35)는 제1,2,3 포션으로 이루어져 있고, 상기 메모리 어레이(35)의 제1 포션(33)은 포트(37)를 통해 제1 프로세서(70)에 의해서만 액세스되고 상기 제2 포션(31)은 포트(38)를 통해 제2 프로세서(80)에 의해서만 액세스되며, 제3 포션(32)은 상기 제1,2 프로세서(70,80)모두에 의해 액세스 되는 멀티 프로세서 시스템(50)이 보여진다. 여기서, 상기 메모리 어레이(35)의 제1,2 포션(33,31)의 사이즈는 상기 제1,2 프로세서(70,80)의 동작 부하에 의존하여 유동적으로 변경될 수 있으며, 메모리 어레이(35)의 타입은 메모리 타입 또는 디스크 저장타입으로 구현되어지는 것이 나타나 있다.

<25> DRAM 구조에서 제1,2 프로세서(70,80)에 의해 공유(shared)되는 제3 포션(32)과 각기 독립적으로 액세스되는 제1,2 포션(33,31)을 메모리 어레이(35)내에 구현하기 위해서는 몇 가지의 과제들이 해결되어야 한다. 그러한 해결 과제들 중의 하나로서, 각 포트에 대한 적절한 리드/라이트 패쓰(경로)제어와 공유 메모리 영역에 대한 포트별 데이터 호환은 매우 중요한 과제이다.

<26> 예를 들어, 제1 프로세서가 제1 포트를 통해 공유 메모리 영역에 16비트 데이터 입출력 비트 단위로 데이터를 라이트한 경우라 하더라도 제2 프로세서는 제2 포트를 통해 32비트 데이터 입출력 비트 단위로 데이터를 리드할 필요가 있는 경우가 있다. 또한, 반대로 제2 프로세서가 공유 메모리 영역에 32비트 단위로 데이터를 라이트한 경우에 제1 프로세서는 16비트 단위로 데이터를 리드하는 경우가 있다. 이와 같이, 포트별로 데이터 입출력 비트단위가 다른 경우에도 공유 메모리 영역에서의 데이터 호환이 보장될 필요성이 있다. 그러한 데이터 호환은 시스템 설계자들에게 많은 편리성을 제공하며, 멀티프로세서 시스템을 보다 저렴하면서도 용도에 적합하게 구현할 수 있는 이점을 가져다 준다.

<27> 결국, 둘 이상의 프로세서들을 가지는 멀티 프로세서 시스템에서 포트별 데이터 입출력 단위가 독립적인 경우에도 데이터 호환을 보장하는 멀티패쓰 액세스를 반도체 메모리 장치가 요구된다.

<28>

발명이 이루고자 하는 기술적 과제

<29> 따라서, 본 발명의 목적은 멀티 패쓰 액세스를 반도체 메모리 장치 내의 공유 메모리 영역과 전용 메모리 영역을 포트별로 독립적 비트단위로 액세스할 수 있는 멀티 프로세서 시스템을 제공함에 있다.

<30> 본 발명의 다른 목적은 멀티패쓰 액세스를 반도체 메모리 장치에서의 데이터 호환방법을 제공함에 있다.

<31> 본 발명의 또 다른 목적은 포트별 데이터 입출력 단위가 독립적인 경우에도 데이터 호환을 보장할 수 있는 멀티 패쓰 액세스를 반도체 메모리 장치를 제공함에 있다.

<32> 본 발명의 또 다른 목적은 N비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 뱅크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 뱅크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 뱅크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 뱅크의 데이터가 상기 제1,2 프로세서들에 원활히 호환되도록 하는 방법을 제공함에 있다.

<33> 본 발명의 또 다른 목적은 데이터 입출력 비트단위가 포트별로 서로 다른 경우에도 데이터 호환을 보장하는 멀티패쓰 액세스를 반도체 메모리 장치를 제공함에 있다.

<34> 상기한 본 발명의 목적들 가운데 일부의 목적들을 달성하기 위한 본 발명의 일 양상(Aspect)에 따라, N비트의

데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 बैं크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 बैं크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 बैं크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 बैं크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법은:

- <35> 상기 제1,2 포트를 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리 बैं크에 데이터를 저장하는 단계와;
- <36> 리드 동작모드에서 선택적으로 인가되는 상기 제1,2 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅 하는 단계를 구비한다.
- <37> 본 발명의 다른 기술적 양상에 따라, N비트의 데이터 입출력 비트를 갖는 제1 포트를 통해 제1 프로세서에 접속되는 제1 메모리 बैं크와, 2N비트의 데이터 입출력 비트를 갖는 제2 포트를 통해 제2 프로세서에 접속되는 제2 메모리 बैं크와, 상기 제1,2 포트를 통해 상기 제1,2 프로세서들에 공유적으로 접속되는 제3 메모리 बैं크를 갖는 메모리 셀 어레이를 구비한 반도체 메모리 장치에서, 상기 제3 메모리 बैं크의 데이터가 상기 제1,2 프로세서들에 호환되도록 하는 방법은:
- <38> 상기 제1,2 포트를 통해 각기 대응적으로 인가되는 제1,2 컬럼 어드레스에 따라 상기 제3 메모리 बैं크에 데이터를 저장하는 단계와;
- <39> 리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 연결을 데이터 입출력 비트의 사이즈에 따라 변환하는 단계를 구비한다.
- <40> 따라서, 상기한 바와 같은 데이터 호환 테크닉에 따르면, 서로 다른 데이터 입출력 비트 단위로 데이터를 액세스 하는 경우에도 공유 메모리 बैं크에 대한 데이터 호환이 보장되는 효과가 있다. 또한, 그러한 공유 메모리 बैं크를 가지는 반도체 메모리 장치를 채용한 데이터 처리 시스템에서는 데이터 전송 및 처리속도가 효율적으로 되고 시스템 사이즈가 콤팩트하게 되며 시스템에서 차지하는 메모리의 코스트가 줄어든다.

발명의 구성 및 작용

- <41> 이하에서는 본 발명에 따라, 멀티패스 액세스를 반도체 메모리 장치에서의 데이터 호환에 관한 바람직한 실시예들이 첨부된 도면들을 참조로 설명될 것이다.
- <42> 이하의 실시예에서 많은 특정 상세들이 도면을 따라 예를 들어 설명되고 있지만, 이는 본 분야의 통상의 지식을 가진 자에게 본 발명의 보다 철저한 이해를 돕기 위한 의도 이외에는 다른 의도 없이 설명되었음을 주목(note) 하여야 한다. 그렇지만, 본 발명이 이들 특정한 상세들 없이도 실시될 수 있을 것임은 본 분야의 숙련된 자들에 의해 이해될 수 있을 것이다. 다른 예중, 공지 방법들, 어드레스의 디코딩, 액세스 프로시저들, 통상적인 다이 나믹 랜덤 액세스 메모리 및 회로들은 본 발명을 모호하지 않도록 하기 위해 상세히 설명되지 않는다.
- <43> 도 5는 본 발명에 적용되는 멀티패스 액세스를 DRAM을 갖는 멀티 프로세서 시스템의 블록도이다. 도면을 참조하면, 데이터 처리 시스템 또는 휴대용 통신 시스템 등과 같은 멀티 프로세서 시스템은, 제1 설정 태스크를 수행하는 제1 프로세서(10)와, 제2 설정 태스크를 수행하는 제2 프로세서(12)와, 상기 제1,2 프로세서들(10,20)에 의해 액세스되는 메모리 영역들을 메모리 셀 어레이 내에 가지는 DRAM(17)을 구비한다. 또한, 상기 시스템은 각각의 버스를 통해 제1,2 프로세서(10,12)와 연결되는 플래시 메모리들(101,102)을 포함한다.
- <44> 한정되는 것은 아니지만, 도 5에서 보여지는 상기 DRAM(17)은 서로 독립적인 2개의 포트를 갖는다. 편의상 신호 (INTa)가 출력되는 포트(A)를 제1 포트라고 하면 이는 범용입출력(GIPO)라인을 통하여 상기 제1 프로세서(10)와 연결된다. 신호(INTb)가 출력되는 포트(B)를 제2 포트라고 하면 이는 범용입출력(GIPO)라인을 통하여 상기 제2 프로세서(12)와 연결된다. 여기서, 상기 제1 프로세서(10)는 통신신호의 변조 및 복조를 수행하는 모뎀기능이나 베이스 밴드 처리 기능을 프로세싱 태스크로서 가질 수 있고, 상기 제2 프로세서(12)는 통신 데이터의 처리나 게임, 동영상, 오락 등의 수행을 위한 애플리케이션 기능을 프로세싱 태스크로서 가질 수 있다. 필요한 경우에도 상기 제2 프로세서(12)는 멀티미디어 코프로세서일 수 있다.
- <45> 또한, 상기 플래시 메모리들(101,102)은 메모리 셀 어레이의 셀 연결구조가 NOR 구조 또는 NAND 구조로 되어 있고 메모리 셀이 플로팅 게이트를 갖는 모오스 트랜지스터로 되어 있는 불휘발성 메모리이다. 상기 플래시 메모리들(101,102)은 전원이 오프되더라도 지워져서는 아니되는 데이터 예컨대 휴대용 기기의 고유 코드 및 보존 데이터의 저장을 위한 메모리로서 탑재된다.

- <46> 도 5에서 보여지는 바와 같이 2개의 포트를 갖는 상기 DRAM(17)은, 프로세서들(10,12)에 실행되어질 수 있는 명령들과 데이터를 저장하기 위해 사용될 수 있다. 또한, 상기 DRAM(17)은 상기 제1,2 프로세서들(10,12)간의 인터페이싱 기능을 자체적으로 담당할 수 있다. 즉, 세맵퍼 영역과 메일박스 영역들을 갖는 디램 내의 인터페이스 부를 활용함에 의해 상기 프로세서들(10,12)은 공통으로 액세스 가능한 공유 메모리 영역을 통해 데이터 통신을 수행한다. 프로세서들 간 호스트 인터페이싱이 메모리 내부를 통해 제공될 경우에 할당된 공유 메모리 영역을 복수의 프로세서들이 고속으로 액세스할 수 있게 되어, 데이터 전송 및 처리속도가 개선되고 시스템 사이즈가 콤팩트하게 된다. 이에 대한 보다 상세한 것은 본원출원인에 의해 2006년 7월 28일자로 대한민국에 출원된 출원번호 10-2006-71455호에 개시되어 있다.
- <47> 상기 도 5의 시스템은 이동통신 디바이스(예 셀룰러 폰), 양방향 라디오 통신 시스템, 단방향 페이지, 양방향 페이지, 개인용 통신 시스템, 또는 휴대용 컴퓨터, 등과 같은 휴대용 컴퓨팅 디바이스 또는 휴대용 통신 디바이스가 될 수 있다. 그렇지만, 본 발명의 스코프와 응용이 이들에 한정되는 것이 아님은 이해되어야 한다.
- <48> 상기 도 5의 시스템에서 프로세서들의 개수는 3개 이상으로 확장될 수 있다. 상기 시스템의 프로세서는 마이크로프로세서, CPU, 디지털 신호 프로세서, 마이크로 콘트롤러, 리듀스드 명령 세트 컴퓨터, 콤플렉스 명령 세트 컴퓨터, 또는 그와 유사한 것이 될 수 있다. 그러나 시스템 내의 프로세서들의 개수에 의해 본 발명의 범위가 제한되지 않음은 이해되어야 한다. 부가하면, 본 발명의 범위는 프로세서들이 동일 또는 다르게 되는 경우에 프로세서들의 어느 특별한 조합에 한정되지 않는다.
- <49> 도 6은 본 발명에 적용되는 멀티페쓰 액세스블 반도체 메모리 장치의 메모리 셀 어레이를 구성하는 메모리 영역들과 프로세서들 간의 배치관계를 예로서 보여주는 시스템 블록도이다.
- <50> 도면에서 4개의 메모리 뱅크들(3,4,5,6)이 메모리 셀 어레이(17) 내에 배치되어 있다. 우선, 메모리 뱅크 A(3)는 제1 포트(A포트:P01)를 통하여 제1 프로세서(10)에 의해 액세스 되고, 메모리 뱅크 C 및 D (5,6)은 제2 포트(B포트:P02)를 통하여 제2 프로세서(12)에 의해 액세스 되며, 메모리 뱅크 B(4)는 상기 제1,2 포트(P01,P02) 통하여 제1,2프로세서들(10,12) 모두에 의해 공통으로 액세스 된다. 결국, 상기 메모리 뱅크 B(4)는 공유(shared) 메모리 영역이고, 메모리 뱅크 A,C,D(3,5,6)는 각기 대응되는 프로세서에 의해서만 액세스되는 전용 메모리 영역이다. 여기서, 상기 제1 포트(P01)는 16비트의 데이터 입출력 단위로 설정될 수 있으며, 상기 제2 포트(P02)는 32비트의 데이터 입출력 단위로 설정될 수 있다. 물론, 이 경우에 상기 제1 프로세서(10)는 16비트 운영 체제를, 상기 제2 프로세서(12)는 32비트 운영 체제를 가질 수 있다.
- <51> 상기 4개의 메모리 영역들(3,4,5,6)은 각기 DRAM의 뱅크 단위로 구성될 수 있으며, 하나의 뱅크는 예컨대 64Mbit, 128Mbit, 256Mbit, 512Mbit, 또는 1024Mbit 의 메모리 스토리지를 가질 수 있다
- <52> 도 6에서, 제1 포트(P01)를 통해 제1 프로세서(10)에 접속되는 제1 메모리 뱅크(3)와, 제2 포트(P02)를 통해 제2 프로세서(12)에 접속되는 제2 및 제4 메모리 뱅크(5,6)와, 상기 제1,2 포트(P01,P02)를 통해 상기 제1,2 프로세서들(10,12)에 공유적으로 접속되는 제3 메모리 뱅크(4)를 포함하는 메모리 셀 어레이(17)를 구비한 반도체 메모리 장치에서, 상기 공유 메모리 뱅크들에 저장된 상대 프로세서의 데이터를 서로 다른 데이터 입출력 단위로 리드하는 데이터 호환의 예들은 도 7 내지 도 15를 통하여 나타나 있다.
- <53> 이제부터는 상기 도 6의 공유 메모리 뱅크(4)에 16비트 또는 32비트 데이터 입출력 단위로 저장된 데이터를 32비트 또는 16비트 데이터 입출력 단위로 각각의 포트를 통해 리드하는 데이터 호환에 대한 상세가, 본 발명의 이해를 돕기 위한 의도로서만 설명될 것이다.
- <54> 도 7은 도 6중 공유 메모리 뱅크에 대한 포트별 데이터 호환 이슈를 설명하기 위해 제시된 도면이다.
- <55> 도 7에서 상부의 경우는 통상적인 코딩에 의한 데이터 호환 결과를, 하부의 경우는 본 발명에 따른 코딩에 의한 데이터 호환 결과를 가리킨다. 도면에서 좌측은 16비트의 데이터 입출력 비트단위(이하 x16)로 구성된 데이터를, 우측은 32비트의 데이터 입출력 비트단위(이하 x32)로 구성된 데이터를 나타낸다.
- <56> 예를 들어, 도 6의 제1 프로세서(10)가 제1 포트(P01)를 통해 공유 메모리 뱅크(4)에 x16으로 데이터를 라이트 하고, 제2 프로세서(12)가 제2 포트(P02)를 통해 x32로 데이터를 리드할 경우에, 도면의 하부와 같이 코딩이 행하여져야만 데이터 호환이 바람직하게 이루어진다. x16의 컬럼 어드레스 "000000000"와 "000000001"에 따른 데이터 "삼성 전자"는 x32로 리드될 때 x32의 컬럼 어드레스 "000000000"에 대응하여 코딩되어야 한다. 즉 32비트의 출력사이클에서 "삼성 전자"라는 데이터가 한꺼번에 얻어져야 한다. 만약, 도 7의 상부의 경우와 같이 코딩이 되면 "삼성 디램"이 리드되기 때문에 정상적으로 데이터 호환이 된 것이라 보기 어렵다.

- <57> 또한, 반대로 제2 프로세서(12)가 공유 메모리 뱅크(4)에 x32로 데이터를 라이트하고, 제1 프로세서(10)가 x16으로 데이터를 리드할 경우에, 상기 x32의 컬럼 어드레스 "000000000"에 대응되는 데이터 "삼성 전자"는 x16의 컬럼 어드레스 "000000000"와 "000000001"로 나뉘어져 "삼성"과 "전자"로 분리된다.
- <58> 이와 같이, 포트별로 데이터 입출력 비트단위가 다른 경우에도 공유 메모리 영역에서의 데이터 호환이 보장될 필요성이 있는데, 이는 도 8을 참조시 더욱 명확히 이해될 수 있을 것이다.
- <59> 도 8은 본 발명에 관련된 포트별 데이터 입출력 비트 단위를 타임 구간별로 보여주는 타이밍도이다.
- <60> 도 8을 참조하면, 시스템 클럭(CLK)이 구간 T1,T3,T5, 및 T7에서 하이상태를, 구간 T2,T4, 및 T6에서 로우상태를 유지하여, 클럭킹을 행할 때, SDR x16, DDR x16, 및 DDR x32의 데이터에 대한 출력 타이밍관계가 보여진다. 여기서, SDR은 싱글 데이터 레이트의 약어로서, 시스템 클럭의 한주기 마다 설정된 비트 단위의 데이터가 출력되는 동작모드를 가리킨다. 한편, DDR은 더블 데이터 레이트의 약어로서, 시스템 클럭의 반주기 마다 설정된 비트 단위의 데이터가 출력되는 동작모드를 가리킨다. 예컨대, DDR x16의 경우에 시스템 클럭의 라이징 에지에서 16비트의 데이터가 리드되고, 시스템 클럭의 폴링 에지에서 16비트의 데이터가 리드된다. DDR x16으로 저장된 데이터를 x32로 리드하는 경우에 도면에서와 같이 DDR x16의 첫 번째 이븐(even) 데이터(E0)와 첫 번째 오드(odd) 데이터(O1)는 DDR x32에서 첫 번째 이븐 데이터(E0')로 합하여져 출력된다. 마찬가지로, DDR x16의 두 번째 이븐(even) 데이터(E2)와 두 번째 오드(odd) 데이터(O3)는 DDR x32에서 두 번째 오드데이터(O1')로 합하여져 출력된다. 여기서, 도 8의 경우는 스타트 데이터가 이븐 스타트인 경우를 예로 든 것이다.
- <61> 도 8을 통하여 설명한 바와 같이, x16과 x32의 데이터 호환이 도 7의 하부의 경우와 같이 되도록 하기 위한 구현 방법은 3가지로 나뉘어질 수 있다.
- <62> 첫 번째는 리드 동작 시에 인가되는 x16 또는 x32의 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅하는 방법이다. 이는 제1 실시예를 통하여 설명될 것이다.
- <63> 두 번째는 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 연결을 데이터 입출력 비트의 사이즈에 따라 변환하는 방법이다. 이는 제2 실시예를 통하여 설명될 것이다.
- <64> 세 번째는 리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 순서를 인가되는 외부 명령에 따라 변경하는 방법이다. 이는 제3 실시예를 통하여 설명될 것이다.
- <65> 먼저, 도 9는 본 발명의 제1 실시예에 따른 멀티패스 액세스블 반도체 메모리 장치의 블록도이고, 도 10은 도 9 중 어드레스 코딩 시프팅부의 어드레스 비트 시프팅을 보여주는 테이블도이며, 도 11 및 도 12는 도 9 중 어드레스 코딩 시프팅부의 연결구성을 구별적 합성적으로 각기 보여주는 예시도들이다.
- <66> 도 9를 참조하면, 어드레스 코딩 시프팅부(ACS:500)를 포함하는 멀티패스 액세스블 반도체 메모리 장치의 블록이 도시된다. 상기 어드레스 코딩 시프팅부(ACS:500)는 도 10의 10b의 테이블에서 보여지는 바와 같이, 리드 동작 시에 인가되는 x16 또는 x32의 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅하는 역할을 한다. 도 10의 10b 테이블은 본 발명의 제1 실시예에 따라 x16으로 저장된 데이터를 x32로 리드할 경우에 컬럼 어드레스의 대응적 변환을 보여준다. 예를 들어, x16의 컬럼 어드레스 CA2는 1비트 다운 시프팅되어 x32의 컬럼 어드레스 CA1과 매칭되고, CA3는 CA2와 매칭되고, CA4는 CA3과 매칭된다. CA9는 CA8에 매칭되고, CA1은 CA0에 매칭된다. 여기서, CA0는 x32의 컬럼 어드레스와는 매칭됨이 없이 예외이다. 비교를 위해, 도 10의 테이블 10a에는 어드레스 매칭 없이 각각의 동작 단위에 대한 컬럼 어드레스가 나타나 있다. 테이블 10a와 같이 각기 고유한 컬럼 어드레스대로 공유 메모리 뱅크에 저장된 데이터를 리드하는 경우에는 도 7의 상부의 경우와 같은 현상이 발생된다.
- <67> 도 10의 10b 테이블과 같이 컬럼 어드레스를 서로 맵핑하는 것은 복잡한 로직회로를 요구함이 없이 도 11 및 도 12에서 보여지는 바와 같이 메탈 옵션 등으로 처리가능하다. 결국, 어드레스 코딩 시프팅부(ACS:500)의 내부 구현은 도 11이나 도 12에 보여지는 바와 같은 와이어링 배선 구조를 반도체 공정으로 형성하는 것에 의해 실현된다.
- <68> 이제 도 11을 참조하면, x16의 경우에 와이어링 구조(210)를 갖는 도 9의 어드레스 코딩 시프팅부(ACS:500)는 x32의 경우에 와이어링 구조(220)를 갖게 된다. 이에 따라, x16으로 저장된 데이터를 x32로 리드하는 경우, 이븐 컬럼 어드레스의 두 번째 컬럼 어드레스 비트(2E)는 이븐 컬럼 어드레스의 첫 번째 컬럼 어드레스 비트(1E)로 변경되고, 오드 컬럼 어드레스의 두 번째 컬럼 어드레스 비트(2O)는 오드 컬럼 어드레스의 첫 번째 컬럼 어드레스 비트(1O)로 변경된다. 또한, 이븐 컬럼 어드레스의 세 번째 컬럼 어드레스 비트(3E)는 이븐 컬럼 어드레

스의 두 번째 컬럼 어드레스 비트(2E)로 변경되고, 오드 컬럼 어드레스의 세 번째 컬럼 어드레스 비트(3O)는 오드 컬럼 어드레스의 두 번째 컬럼 어드레스 비트(2O)로 변경된다. 계속하여, 4E는 3E로, 4O는 3O로 변경된다. 도 11에서는 컬럼 어드레스를 이븐과 오드로 구별하고 도 10b의 테이블 중에서 CA2, CA3, 및 CA4에 대한 와이어링 구조를 예로 나타낸 것이다.

- <69> 제1,2 포트별 컬럼 어드레스에 대한 변환관계를 보다 기능적으로 설명하기 위해 이하에서는 도 12를 참조한다.
- <70> 도 12를 참조하면, 스위칭부(100)는 메탈 옵션을 기능적으로 나타내고 있으며, 도 11의 와이어링 구조(210)와 와이어링 구조(220)가 하나의 합성 와이어링 구조(200)로써 합성적으로 나타나 있다. 참조부호 300은 컬럼 어드레스 비트를 나타내며 메모리 셀의 비트 데이터를 대응시킬 수 있다. 이븐 및 오드로 구성된 4쌍의 x16 데이터는 x32의 경우에 2쌍의 x32 데이터로 구성된다.
- <71> 도 12에서, x16으로 저장된 데이터를 x32로 리드하는 경우에 상기 스위칭부(100)내의 모든 스위치들(S1-S6)은 접점(A)에서 이탈되어 오른쪽의 접점으로 연결된다. 이는 결국 메탈 옵션으로 달성된다. 이에 따라, 2E(이븐 컬럼 어드레스의 두 번째 컬럼 어드레스 비트)는 1E로 바뀐다. 또한, 2O는 1O로, 3E는 2E로, 3O는 2O로, 4E는 3E로, 4O는 3O로 치환된다. 결국, 이러한 컬럼 어드레스의 시프팅은 도 8의 DDR x16에서 DDR x32로 데이터를 리드하는 결과를 가져오게 됨을 이해하여야 한다.
- <72> 도 9를 다시 참조하면, 제1 포트(A)를 통하여 제1 프로세서(10)가 상기 공유 메모리 뱅크(4)를 액세스할 때 상기 제2 프로세서(12)는 실질적으로 동시에 상기 제2 포트(B)를 통하여 또 다른 메모리 뱅크를 액세스할 수 있는데, 이러한 멀티패스 액세스 동작은 도 9의 패스 결정부(201)를 기본적으로 포함하는 액세스 패스 형성부에 의해 구현된다.
- <73> 상기 제1,2 프로세서(10,12) 모두에 의해서 액세스될 수 있는 공유 메모리 뱅크(4)의 경우를 예를 들면, 공유 메모리 뱅크(4)내의 글로벌 입출력 라인(GIO)은 상기 제1,2 프로세서들(10,12)에 각기 대응적으로 연결되는 제1,2 포트(A,B)중의 하나에 선택적으로 연결될 수 있다. 그러한 선택적 연결은 패스 결정부(201)의 제어 동작에 의해 실현된다.
- <74> 패스 결정부(201)는 외부신호들을 논리 조합하여 패스 결정신호(PRB_MA, PRB_MB)를 생성한다. 상기 패스 결정부(200)에 인가되는 외부신호들은 상기 제1,2 포트(A,B)를 통해 각기 인가되는 로우 어드레스 스트로브 신호(RASB)와 라이트 인에이블 신호(WEB) 및 뱅크 선택 어드레스(BA)를 포함할 수 있다. 로우 및 컬럼 어드레스 멀티플렉서(28,38)는 상기 패스 결정부(201)와 함께 액세스 패스 형성부를 구성하며, 상기 패스 결정신호(PRB_MA, PRB_MB)에 응답하여 상기 제1,2 포트(A,B)를 통해 각기 인가되는 로우 및 컬럼 어드레스들(A_ADD, B_ADD, A_CADD, B_CADD)중에서 하나의 로우 및 컬럼 어드레스(A_ADD, A_CADD)를 선택하고 이를 상기 공유 메모리 뱅크(4)와 연결되어 있는 로우 디코더(30) 및 컬럼 디코더(40)에 각기 인가한다.
- <75> 상기 패스 결정신호(PRB_MA, PRB_MB)에 응답하여 상기 공유 메모리 뱅크(4)의 글로벌 입출력 라인쌍(GIO, GIOB)과 제1 데이터 입출력 라인쌍(DIO, DIOB:WDIO, WDIOB)간 또는 상기 공유 메모리 뱅크(4)의 글로벌 입출력 라인쌍(GIO, GIOB)과 제2 데이터 입출력 라인쌍 간을 연결하기 위한 글로벌 제1,2 멀티플렉서(120,121)와,
- <76> 상기 글로벌 제1 멀티플렉서(120)와 상기 제1 포트(A)간에 설치된 제1 입출력 관련회로(130,300,400)와 상기 글로벌 제2 멀티플렉서(121)와 상기 제2 포트(B)간에 설치된 제2 입출력 관련회로(131,310,410)는 입출력 관련 패스부에 포함될 수 있다.
- <77> 상기 공유 메모리 뱅크(4)에 행과 열의 매트릭스 형태로 배치되는 복수의 메모리 셀은, 도 9에서 보여지는 바와 같이 하나의 액세스 트랜지스터(AT)와 스토리지 커패시터(C)로 이루어진 디램 메모리 셀(MC)일 수 있다.
- <78> 상기 공유 메모리 뱅크(4) 하나에는 입출력 센스앰프 및 라이트 드라이버가 2개(130,131)로 배치되며, 상기 글로벌 제1,2 멀티플렉서(120,121)는 서로 반대의 스위칭 동작을 가진다.
- <79> 도 9를 참조시 보다 명확해질 수 있는 바로서, 제1,2 프로세서들(10,12)은, 액세스 동작시에 글로벌 입출력 라인쌍(GIO, GIOB)과 메모리 셀(MC)간에 존재하는 회로 소자들 및 라인들을 공통으로 사용하고, 각 포트에서 상기 글로벌 멀티플렉서(120,121)까지의 입출력 관련 회로 소자들 및 라인들을 독립적으로 사용한다.
- <80> 보다 구체적으로, 상기 공유 메모리 뱅크(4)의 글로벌 입출력 라인쌍(GIO, GIOB)과, 상기 글로벌 입출력 라인쌍과 동작적으로 연결되는 로컬 입출력 라인쌍(LIO, LIOB)과, 상기 로컬 입출력 라인쌍과는 컬럼 선택신호(CSL)에 의해 동작적으로 연결되는 비트라인 쌍(BLi, BLBi)과, 상기 비트라인 쌍에 설치되어 비트라인의 데이터를 감지 증폭하는 비트라인 센스앰프(5)와, 상기 비트라인 쌍에 메모리 셀을 형성하는 액세스 트랜지스터(AT)가 연결된

메모리 셀(MC) 모두는 상기 제1,2 포트를 통하여 각기 상기 제1,2 프로세서들(10,12)에 의해 공유되는 것이다.

- <81> 도 9와 같은 구성에서, 도 12와 같은 메탈 옵션에 의한 와이어링 구조를 갖는 상기 어드레스 코딩 시프팅부(ACS:500)는 도 10의 10b의 테이블에서 보여지는 바와 같이, 리드 동작 시에 인가되는 x16 또는 x32의 컬럼 어드레스를 데이터 입출력 비트의 사이즈에 따라 비트 시프팅하고, 이를 컬럼 어드레스 멀티플렉서(38)에 인가한다.
- <82> 도 13은 본 발명의 제2 실시예에 따른 멀티패스 액세스블 반도체 메모리 장치의 블록도이다. 도 9와 비교시 어드레스 코딩 시프팅부(ACS:500)의 구성이 없고, 대신에 제1,2 센스앰프 연결 변환부(SCS #1,#2:600,610)가 입출력 센스앰프 및 라이트 드라이버(130,131)에 각기 대응적으로 설치되어 있다. 상기 제1,2 센스앰프 연결 변환부(600,610)는 각기 x16과 x32의 데이터 출력이 제공되도록 하기 위해, 상기 센스앰프 출력 데이터의 퍼스트 데이터와 세컨드 데이터의 순서 조합이 구현되도록 맵핑을 한다. 이에 따라, 출력연결의 변환이 달성된다.
- <83> 도 14는 도 13중 센스앰프 출력 연결 변환부의 포트별 연결 예를 보여준다. 유사하게, 그러한 연결 변환은 메탈 옵션으로 구현될 수 있다. 와이어링 구조 610은 x32의 경우를, 와이어링 구조 600은 x16의 경우를 각기 가리킨다. 도 14에서, x32의 경우에 센스 앰프의 출력 0F,8F,16F,24F는 32비트 데이터를 구성하며 도 8의 첫 번째 데이터 E0'로서 출력된다. 또한, 센스 앰프의 출력 0S,8S,16S,24S도 32비트 데이터를 구성하며 도 8의 두 번째 데이터 O1'로서 출력된다. 라인 부호(A,B)는 첫 번째 데이터와 두 번째 데이터의 시작 데이터를 각기 가리킨다. 센스 앰프의 출력 0F는 이븐 #0(0:7)에 연결된 F에서 8비트로서 얻어지고, 센스 앰프의 출력 8F는 이븐 #1(8:15)에 연결된 F에서 8비트로서 얻어진다. 또한, 16F는 이븐 #2(16:23)에 연결된 F에서 8비트로서 얻어지고, 24F는 이븐 #3(24:32)에 연결된 F에서 얻어진다. 여기서, F는 센스앰프의 첫 번째 출력 데이터를 의미하며, 도 8의 첫 번째 데이터 E0'에 대응된다.
- <84> x16의 경우에는 도 8의 화살부호들(AR1-AR4)의 방향과는 반대 방향으로 데이터들이 분리되어 출력되어야 하기 때문에, 도 14의 와이어링 구조 600과 같이 출력연결이 변환되어야 한다.
- <85> 즉, x32에서 센스 앰프의 출력 0F,8F,16F,24F는 x16의 경우에 0F,8F,0S,8S로 각기 대응적으로 연결 변환된다. 또한, x32에서의 0S,8S,16S,24S는 x16의 경우에 16F,24F,16S,24S로 각기 대응적으로 연결 변환된다. 마찬가지로, 여기서, F는 첫 번째 데이터를 나타내는 약어이고, S는 두 번째 데이터를 나타내는 약어이다. 8F는 첫 번째 데이터 8비트에서 15비트 까지를 가리키고, 16F는 첫 번째 데이터 16비트에서 23비트 까지를 가리킨다.
- <86> 결국, 도 14의 경우에는 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 연결을 데이터 입출력 비트의 사이즈(x32,x16)에 따라 메탈 옵션으로 변환하는 것을 나타낸다. 도 8에서 보여지는 데이터 출력 동작을 충족하기 위해 도 14의 와이어링 구조도 마련된 것이다.
- <87> 도 15는 본 발명의 제3 실시예에 따른 멀티패스 액세스블 반도체 메모리 장치에서의 데이터 출력 순서 변경을 보여주는 예시도이다. 도 15의 경우에는 리드 동작모드에서 센스앰프 출력 데이터를 제공하는 입출력 센스앰프부의 출력 순서를 인가되는 외부 명령 예컨대 모드 레지스터 세트(MRS,EMRS) 신호에 따라 변경하는 것이므로, 메모리 회로내의 하드웨어적인 변경은 별도로 필요가 없게 된다. 순서 변경을 보여주는 와이어링 구조 710은 x32의 경우를, 와이어링 구조 700은 x16의 경우를 각기 가리킨다. 와이어링 구조 710과 700은 실질적으로 서로 동일하게 되어 있으나, 데이터 출력순서가 x32와 x16에 따라 바뀌게 된다.
- <88> x16에서 센스 앰프의 출력 0F는 이븐 #0(0:7)에 연결된 F에서 8비트로서 얻어지고, 센스 앰프의 출력 8F는 이븐 #1(8:15)에 연결된 F에서 8비트로서 얻어진다. 그렇지만, 16F는 오드 #0(16:23)에 연결된 S에서 8비트로서 얻어지고, 24F는 오드 #1(24:32)에 연결된 S에서 얻어진다. 상기 16F와 24F는 도 14에서와 같이 실질적으로 0S와 8S에 대응되는 셈이다. 결국, 하드웨어적인 변경 없이 외부의 명령에 따라 16비트 데이터 출력의 경우와 32비트 데이터 출력의 경우에 출력 순서를 바꾸어 주는 것에 의해서도 데이터 호환이 이루어짐을 알 수 있다.
- <89> 상기한 설명에서는 본 발명의 실시예들을 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 본 발명의 기술적 사상을 벗어나지 없이 메모리 내부의 बैं크 구성, 또는 회로 구성 및 액세스 방법을 다양하게 변형 또는 변경할 수 있음은 물론이다.
- <90> 예를 들어, 4개의 메모리 영역중 1개를 공유 메모리 영역으로 나머지 3개를 전용 메모리 영역으로 지정하거나, 4개의 메모리 영역 모두를 공유 메모리 영역으로 설정할 수 있을 것이다. 또한, 2개의 프로세서를 사용하는 시스템의 경우를 위주로 예를 들었으나, 3개 이상의 프로세서가 시스템에 채용되는 경우에 하나의 디램에 3개 이상의 포트를 설치하고 특정한 타임에 3개 중의 하나의 프로세서가 설정된 공유 메모리를 액세스하도록 할 수 있

을 것이다. 또한, 16비트 단위로 저장된 공유 메모리 뱅크의 데이터를 32비트 단위로 리드하거나, 32비트 단위로 저장된 공유 메모리 뱅크의 데이터를 16비트 단위로 리드하는 경우를 예로 들었으나, 이에 한정됨이 없이 8비트/16비트, 32비트/64비트, 또는 64비트/128비트 인 경우에도 데이터 호환이 가능하다. 그리고, 디램의 경우를 예로 들었으나 여기에 한정됨이 없이 스테이틱 랜덤 액세스 메모리나 불휘발성 메모리 등에서도 본 발명의 기술적 사상이 확장가능 할 수 있을 것이다.

발명의 효과

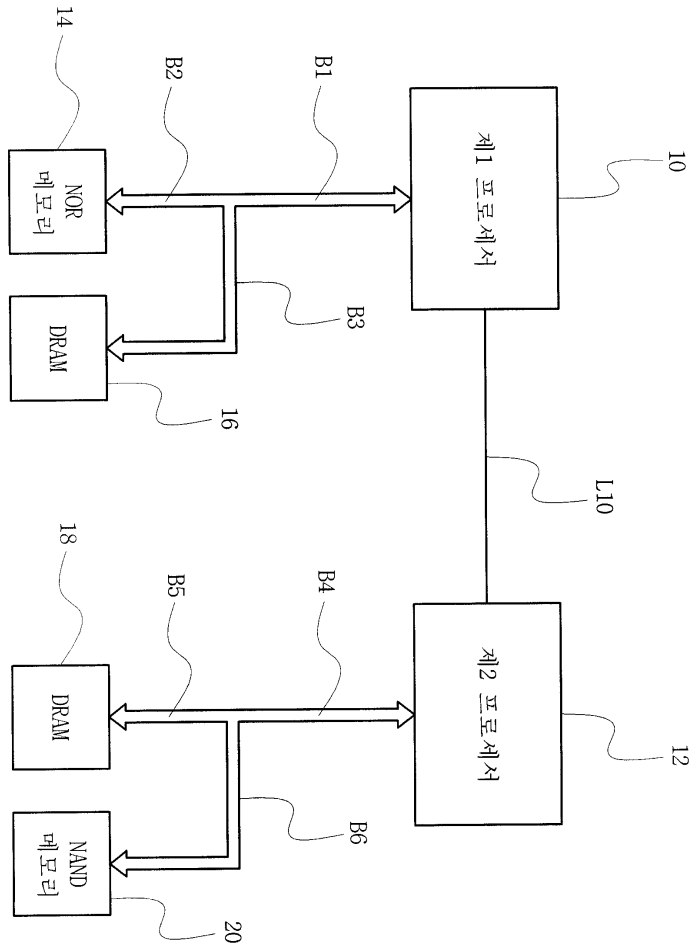
<91> 상술한 바와 같이, 본 발명에 따르면, 서로 다른 데이터 입출력 비트 단위로 데이터를 액세스 하는 경우에도 공유 메모리 뱅크에 대한 데이터 호환이 보장되는 효과가 있다. 또한, 그러한 공유 메모리 뱅크를 가지는 반도체 메모리 장치를 채용한 데이터 처리 시스템에서는 데이터 전송 및 처리속도가 효율적으로 되고 시스템 사이즈가 콤팩트하게 되며 시스템에서 차지하는 메모리의 코스트가 줄어드는 이점이 있다.

도면의 간단한 설명

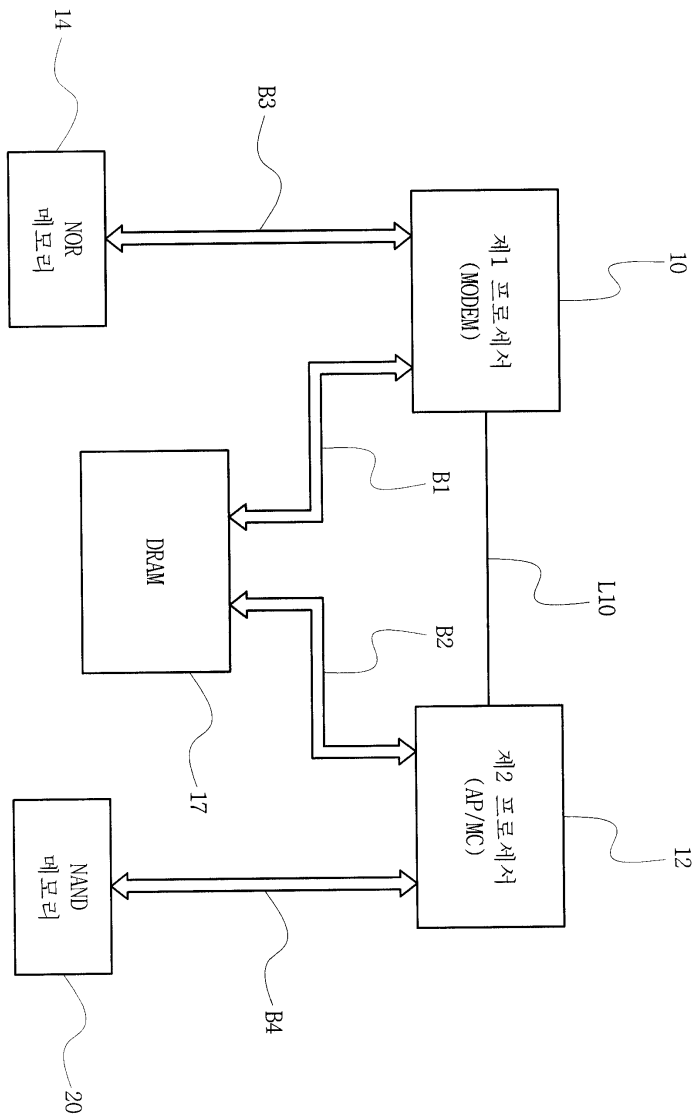
- <1> 도 1은 휴대용 통신 디바이스에 채용된 통상적인 멀티 프로세서 시스템의 블록도
- <2> 도 2는 본 발명에 적용되는 반도체 메모리를 채용한 멀티 프로세서 시스템의 블록도
- <3> 도 3은 전형적인 DRAM 메모리의 입출력 패스 구조를 보여주는 블록도
- <4> 도 4는 종래기술에 따른 멀티 프로세서 시스템의 메모리 어레이 포션들을 보여주는 블록도
- <5> 도 5는 본 발명에 적용되는 멀티패스 액세스블 DRAM을 갖는 멀티 프로세서 시스템의 블록도
- <6> 도 6은 본 발명에 적용되는 멀티패스 액세스블 반도체 메모리 장치의 메모리 셀 어레이를 구성하는 메모리 영역들과 프로세서들 간의 배치관계를 보여주는 시스템 블록도
- <7> 도 7은 도 6중 공유 메모리 뱅크에 대한 포트별 데이터 호환 이슈를 설명하기 위해 제시된 도면
- <8> 도 8은 본 발명에 관련된 포트별 데이터 입출력 비트 단위를 타임 구간별로 보여주는 타이밍도
- <9> 도 9는 본 발명의 제1 실시예에 따른 멀티패스 액세스블 반도체 메모리 장치의 블록도
- <10> 도 10은 도 9중 어드레스 코딩 시프팅부의 어드레스 비트 시프팅을 보여주는 테이블도
- <11> 도 11 및 도 12는 도 9중 어드레스 코딩 시프팅부의 연결구성을 구별적 합성적으로 각기 보여주는 예시도들
- <12> 도 13은 본 발명의 제2 실시예에 따른 멀티패스 액세스블 반도체 메모리 장치의 블록도
- <13> 도 14는 도 13중 센스앰프 출력 연결 변환부의 포트별 연결 예시도
- <14> 도 15는 본 발명의 제3 실시예에 따른 멀티패스 액세스블 반도체 메모리 장치에서의 데이터 출력 순서 변경을 보여주는 예시도

도면

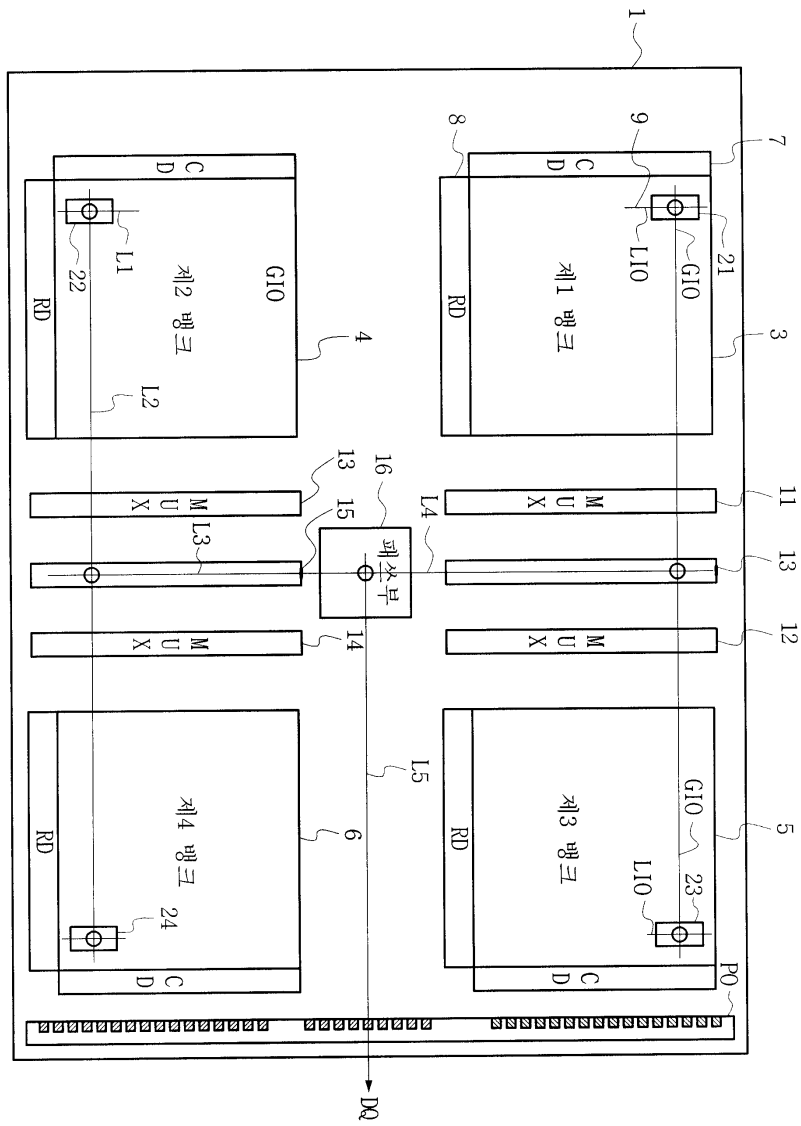
도면1



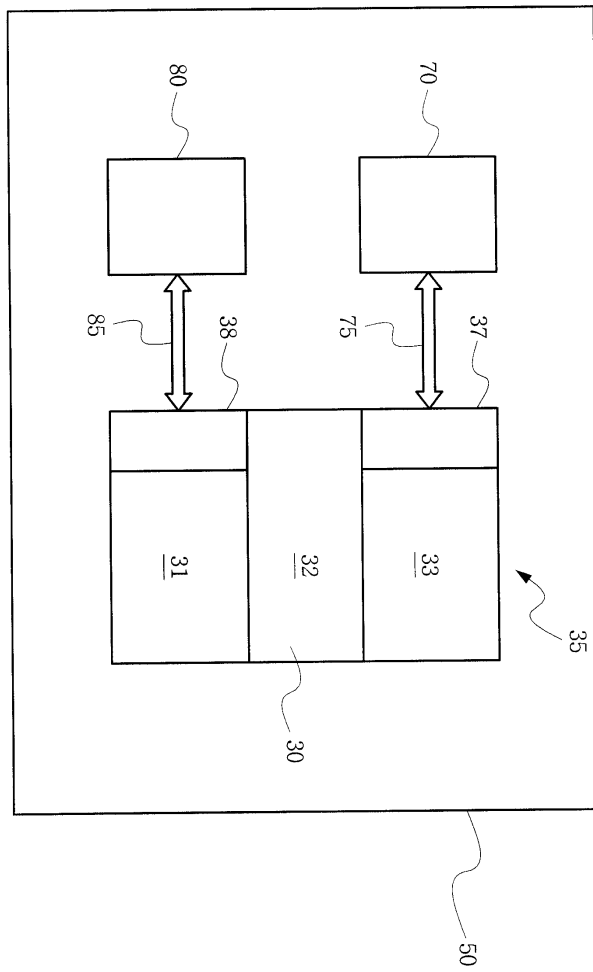
도면2



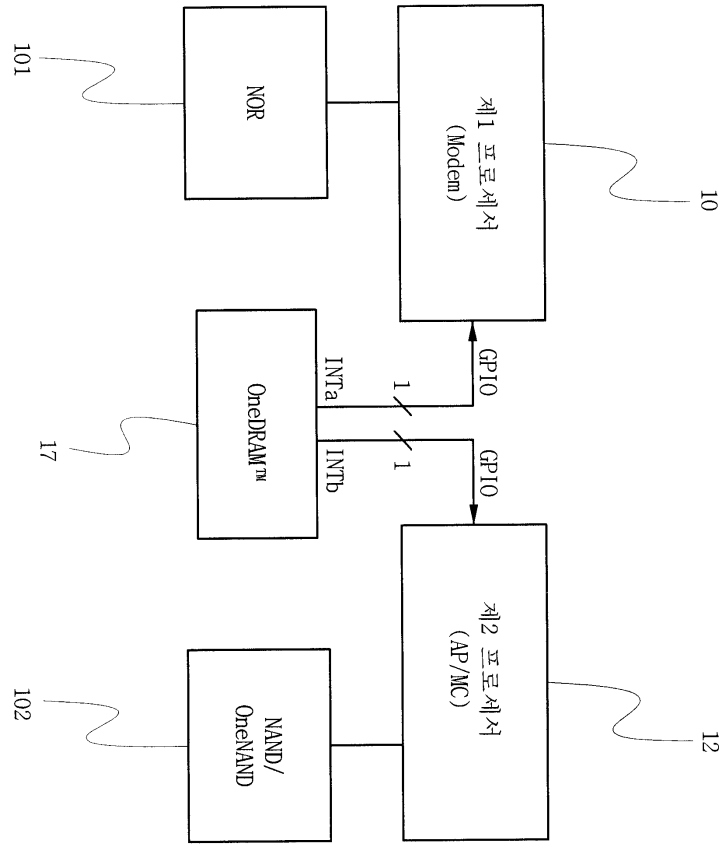
도면3



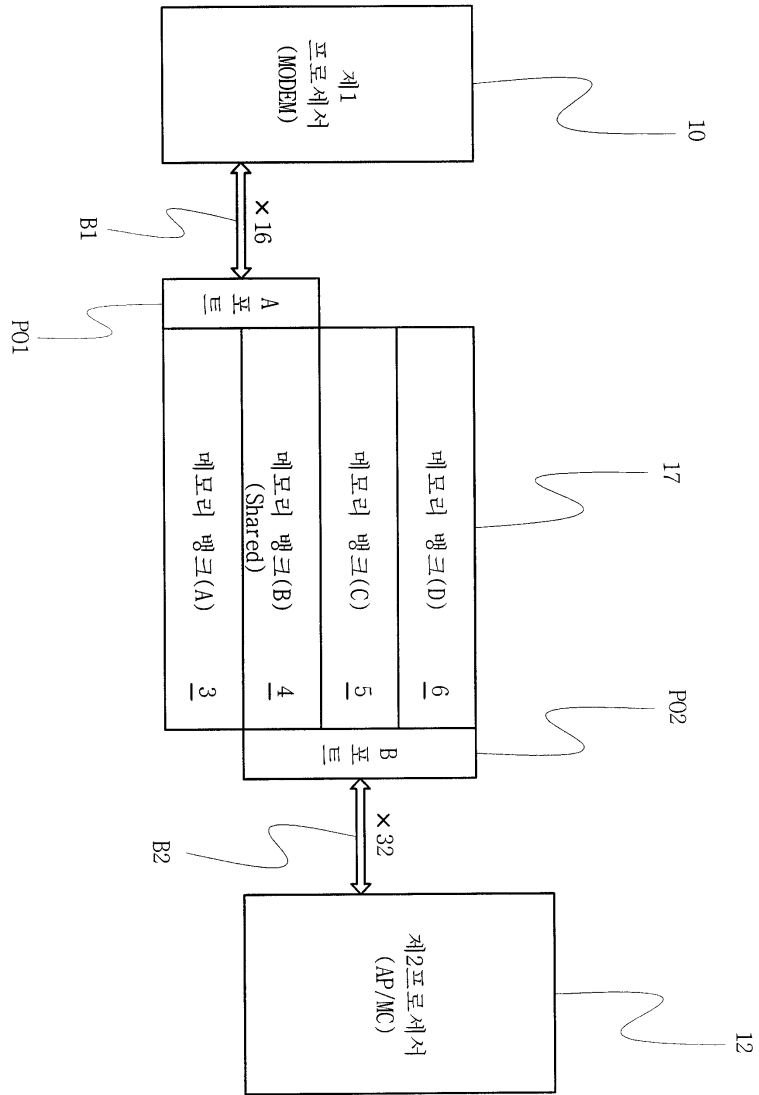
도면4



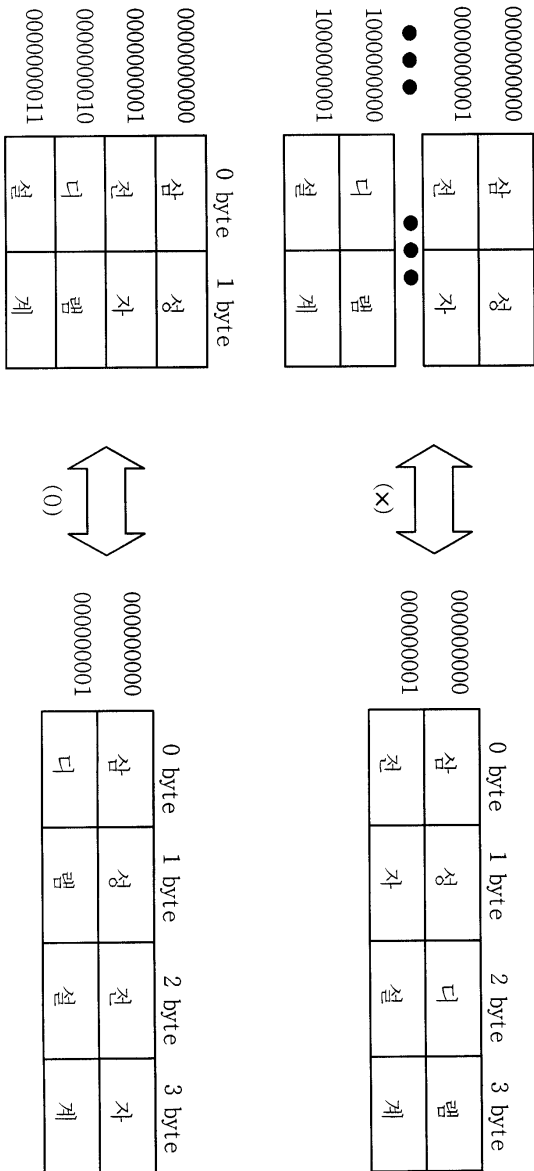
도면5



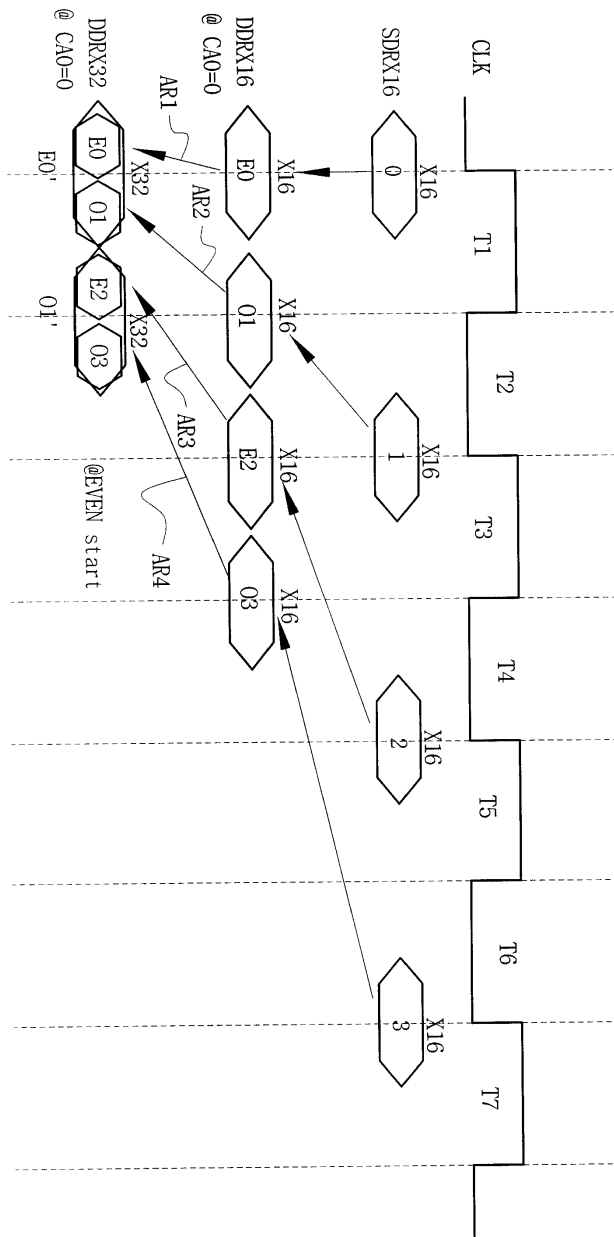
도면6



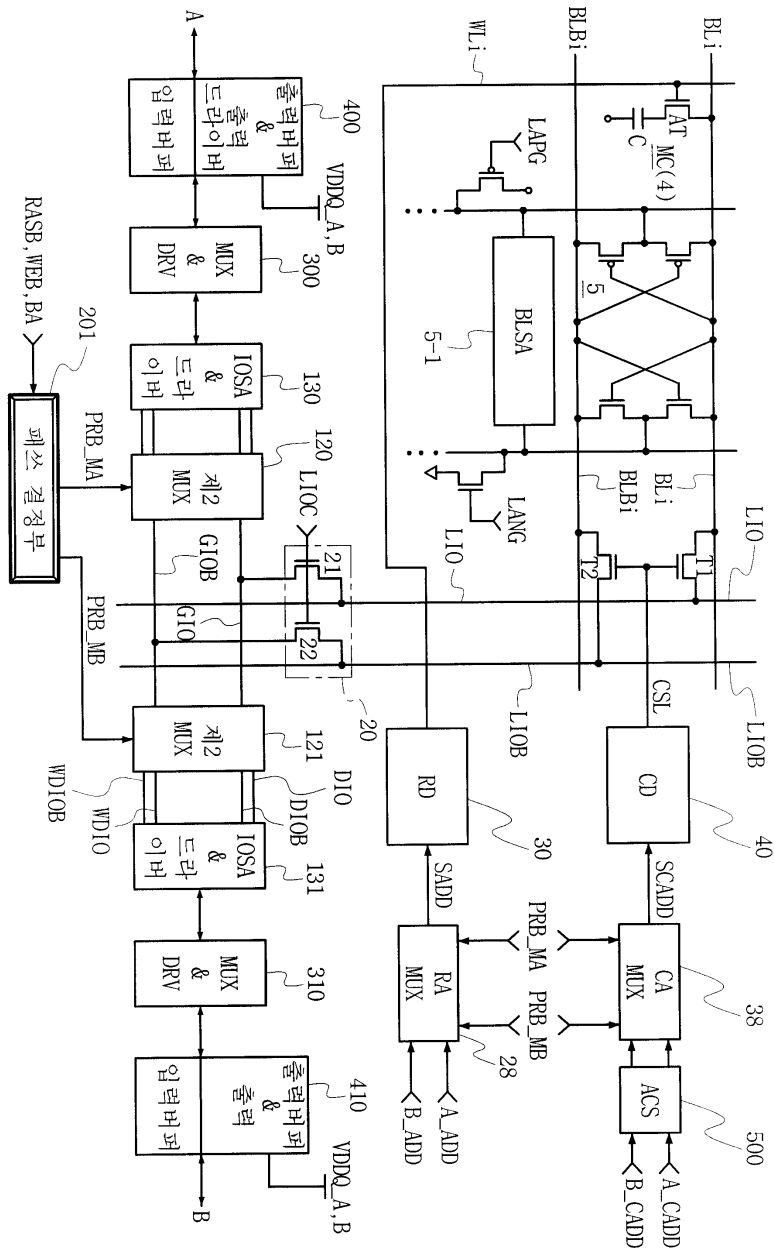
도면7



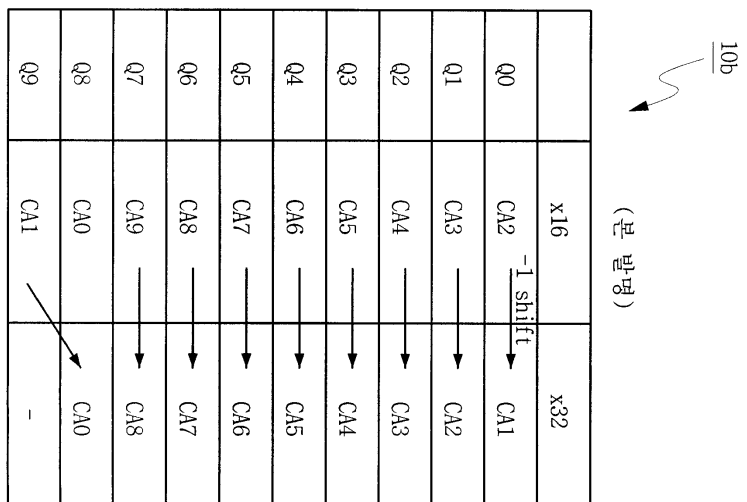
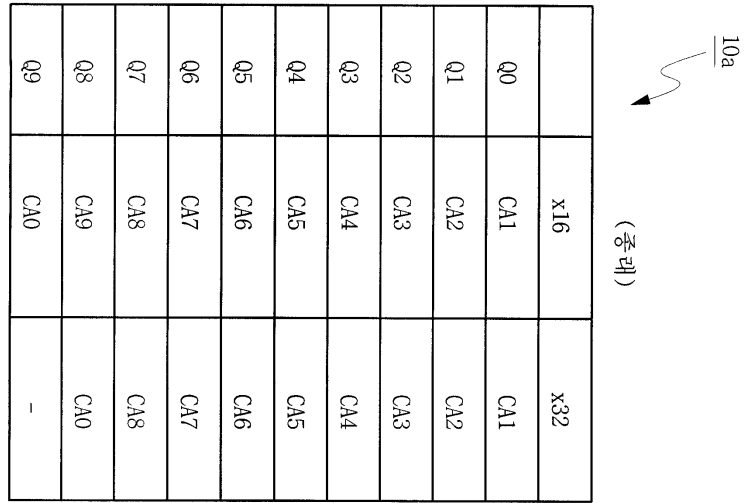
도면8



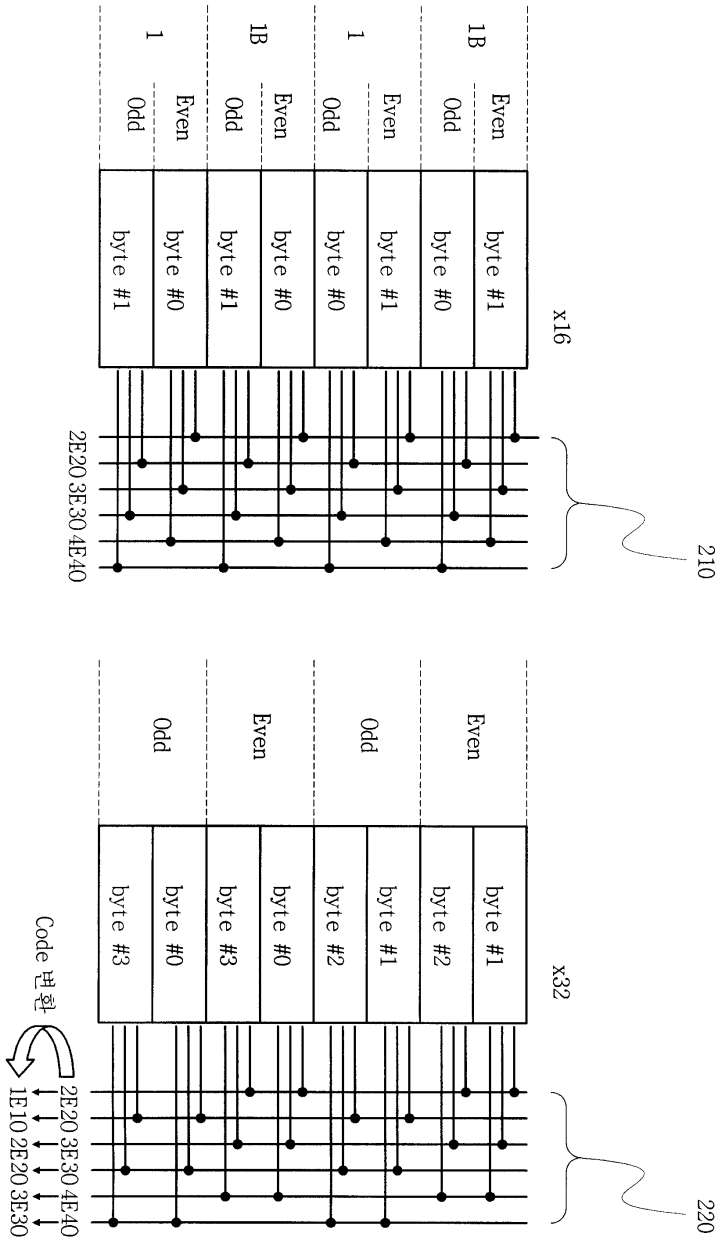
도면9



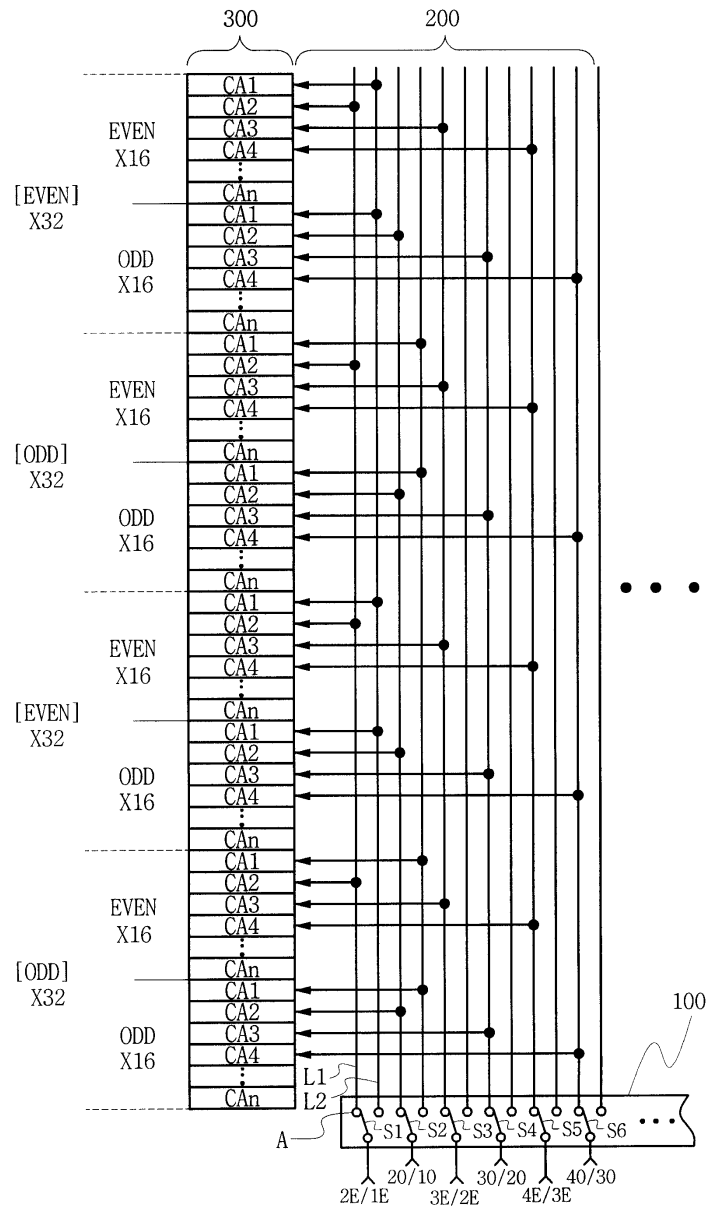
도면10



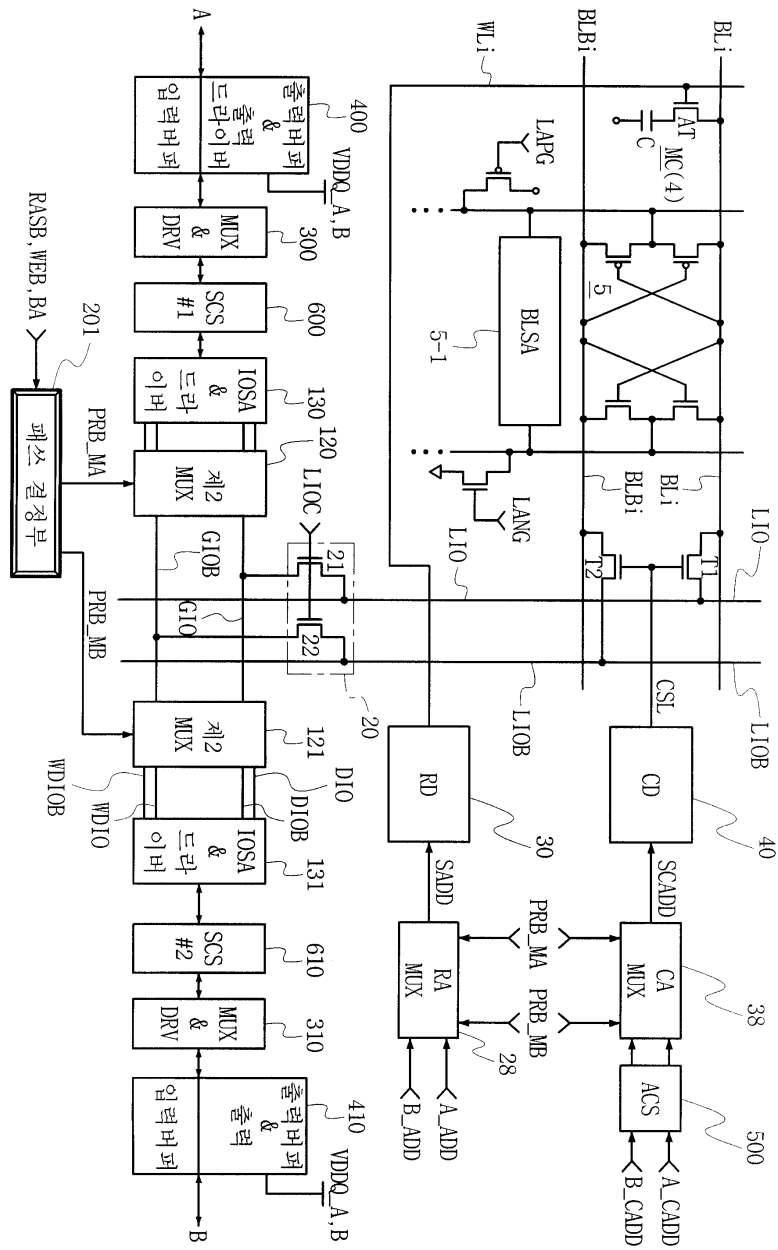
도면11



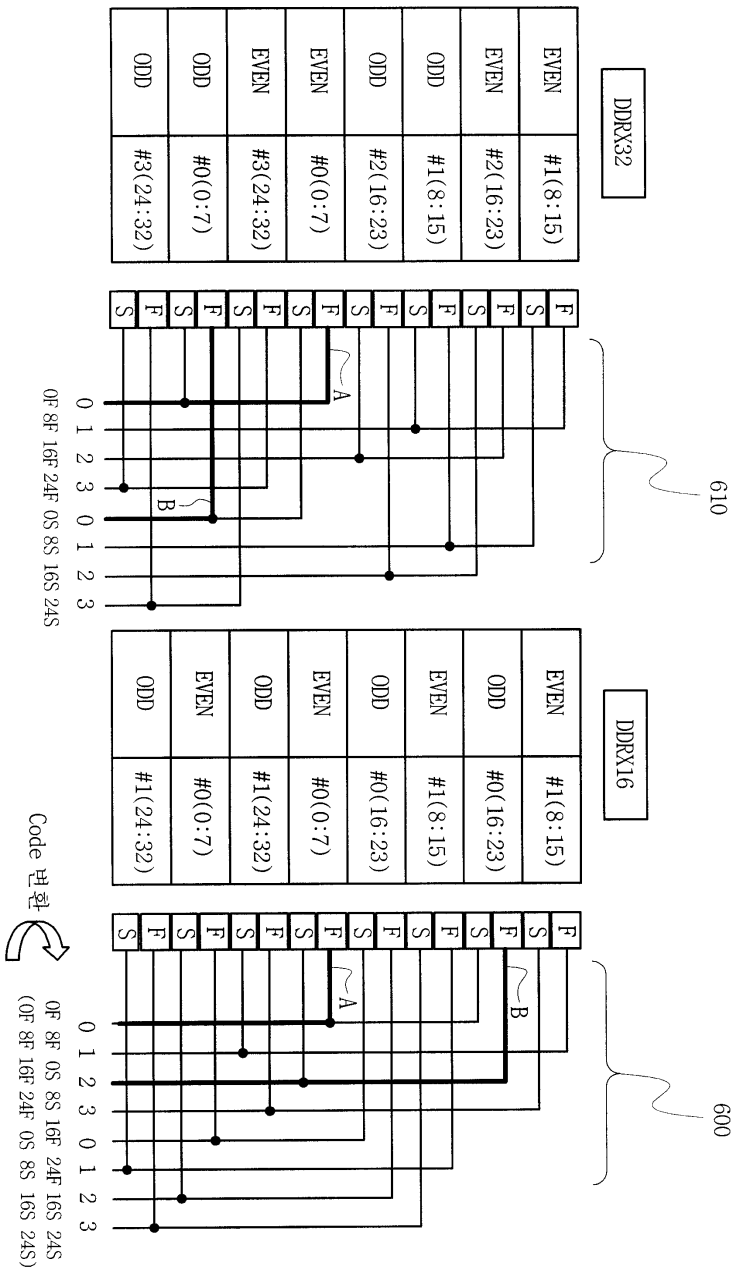
도면12



도면13



도면14



도면15

