(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/3205

(45) 공고일자 2005년10월10일
(11) 등록번호 10-0520175
(24) 등록일자 2005년09월30일

(21) 출원번호 10-2000-0075527
(22) 출원일자 2000년12월12일

(65) 공개번호 10-2002-0046036
(43) 공개일자 2002년06월20일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이해왕
충청북도청주시상당구율량동신라아파트가동603호

(74) 대리인 이후동
이정훈

심사관 : 김희주

(54) 반도체소자의 제조방법

요약

본 발명은 반도체 소자의 제조방법에 관한 것으로, SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플레쉬 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함)을 제조하기 위하여, 하나의 접지선, 중첩되는 제1워드라인과 제2워드라인, 제1워드라인과 제2워드라인 사이에 구비되는 비트라인 등을 갖는 구조로 하나의 MRAM 셀을 형성하여 소자의 고집적화를 가능하게 하고 공정 안정성을 향상시키는 기술이다.

대표도

도 2f

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 반도체소자의 제조방법을 도시한 단면도 및 회로도.

도 2a 내지 도 2f 는 본 발명의 실시예에 따른 반도체소자의 제조방법을 나타낸 단면도.

< 도면의 주요주분에 대한 부호의 설명 >

11,31 : 반도체기판 12 : 소자분리막

13,33 : 제1워드라인, 게이트전극

15,35 : 절연막 스페이서 17,39 : 접지선

16,37 : 제1층간절연막 18 : 제2층간절연막

19,57 : 제2워드라인 21,41 : 제1콘택플러그

22,43 : 제2콘택플러그 23,45 : 씨드층

24,47 : 제3층간절연막 25,49 : MTJ 셀

26,51 : 제4층간절연막 27,53 : 비트라인, 상부리드층

55 : 제5층간절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플레쉬 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 을 제조하는 기술에 관한 것이다.

대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로 강자성체 물질을 이용하는 MRAM 의 개발을 하고 있다.

상기 MRAM 은 강자성 박막을 다층으로 형성하여 각 박막의 자화방향에 따른 전류 변화를 감지함으로써 정보를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특성에 의해 고속, 저전력 및 고집적화를 가능하게 할뿐만 아니라, 플레쉬 메모리와 같이 비 휘발성 메모리 동작이 가능한 소자이다.

상기 MRAM 은 스핀이 전자의 전달 현상에 지대한 영향을 미치기 때문에 생기는 거대자기저항 (giant magnetoresistive, GMR) 현상이나 스핀 편극 자기투과 현상을 이용해 메모리 소자를 구현하는 방법이 있다.

상기 거대자기 저항(GMR) 현상을 이용한 MRAM 은, 비자성층을 사이에 둔 두 자성층에서 스핀방향이 같은 경우보다 다른 경우의 저항이 크게 다른 현상을 이용해 GMR 자기 메모리 소자를 구현하는 것이다.

상기 스핀 편극 자기 투과 현상을 이용한 MRAM 은, 절연층을 사이에 둔 두 자성층에서 스핀 방향이 같은 경우가 다른 경우보다 전류 투과가 훨씬 잘 일어난다는 현상을 이용하여 자기 투과접합 메모리 소자를 구현하는 것이다.

그러나, 상기 MRAM 에 대한 연구는 현재 초기 단계에 있으며, 주로 다층 자성 박막의 형성에 집중되어 있고, 단위 셀 구조 및 주변 감지 회로 등에 대한 연구는 아직 미비한 실정이다.

도 1 은 종래기술에 따른 반도체소자의 제조방법으로 MRAM 을 공정순으로 형성한 것을 도시한 단면도이다.

도 1 을 참조하면, 반도체기판(11)에 활성영역을 정의하는 소자분리막(12)을 형성한다.

그리고, 상기 반도체기판(11)의 활성영역 상에 게이트절연막이 구비되는 게이트전극(13)을 형성하고 그 측벽에 절연막 스페이서(15)를 형성한다.

이때, 상기 게이트전극(13)은 다결정실리콘으로 형성한 것이다.

그 다음, 전체표면상부에 제1층간절연막(16)을 형성하고 평탄화식각공정으로 평탄화된 제1층간절연막(16)을 형성한다. 이때, 상기 평탄화식각공정은 CMP 공정으로 실시한다.

그리고, 상기 제1층간절연막(16)을 식각하여 상기 반도체기판의 활성영역을 노출시키는 콘택홀(도시안됨)을 형성하고 상기 콘택홀을 매립하는 접지선(17)과 제1콘택플러그(21)를 형성한다.

그리고, 상기 제1층간절연막(16)의 상부에 라이트라인인 제2워드라인(19)이 구비되는 제2층간절연막(18)을 형성한다.

이때, 상기 제2워드라인(19)은 상기 접지선(17)과 중첩되되, 상기 제1워드라인(13)과 중첩되지 않도록 형성한다.

그 다음, 상기 제2층간절연막(18)을 통하여 상기 제1콘택플러그(21)를 접속되는 제2콘택플러그(22)를 형성함으로써 제1콘택플러그(21)와 제2콘택플러그(22)로 형성되는 하부리드층(21,22)을 형성한다.

그 다음, 상기 하부리드층(21,22)을 구성하는 제2콘택플러그(22)에 접속되는 씨드층(23)을 형성한다.

그리고, 상기 씨드층(23)을 노출시키는 제3층간절연막(24)을 형성한다.

그 다음, 전체표면상부에 질화막(도시안됨)을 형성한다.

그리고, 마그네틱 터널 정션(Magnetic Tunnel Junction : 이하 MTJ) 셀 영역을 형성하기 위한 마스크를 이용하여 상기 질화막을 식각함으로써 상기 라이트라인인 제2워드라인(19) 상측의 씨드층(23) 상에 MTJ 셀(25)을 형성한다.

여기서, 상기 MTJ 셀(25)은 반강자성층(도시안됨), 고정 강자성층(pinned ferromagnetic)(도시안됨), 터널 접합층(tunnel junction layer)(도시안됨) 및 자유 강자성층(free ferromagnetic)(도시안됨)을 적층하여 형성하되, 상기 라이트라인(19) 만큼 의 패턴 크기로 중첩하여 형성한다.

여기서, 상기 반 강자성층은 고정층의 자화 방향이 변하지 않도록 하는 역할을 하며, 상기 터널 접합층은 자화 방향이 한 방향으로 고정되어 있는 것이다. 그리고, 상기 자유 강자성층은 외부 자장에 의해 자화 방향이 바뀌어 지며, 상기 자유 강자성층의 자화 방향에 따라 "0" 또는 "1" 의 정보를 기억할 수 있다.

그 다음, 전체표면상부를 평탄화시키는 제4층간절연막(26)을 형성하고 상기 제4층간절연막(26)을 통하여 상기 MTJ 셀(25)의 자유 강자성층에 접속되는 상부리드층(27)인 비트라인을 형성한다.

한편, 상기 도 1를 참조하여 상기 MRAM 의 구조 및 동작을 설명하면 다음과 같다.

먼저, MRAM 의 단위 셀은 정보를 읽을 때 사용되는 리드라인인 제1워드라인(19)이 구비되는 전계효과트랜지스터 한 개와 MTJ 셀(25), 전류를 가하여 외부 자기장을 형성하여 MTJ 셀에 자화 방향을 결정하는 라이트라인인 제2워드라인(19), MTJ 셀에 수직 방향으로 전류를 가하여 자유층의 자화방향을 알 수 있게 하는 상부리드층인 비트라인(27)으로 이루어진다.

여기서, 상기 MTJ 셀 내의 정보를 읽는 동작은, 상기 리드라인인 제1워드라인(13)에 전압을 가해 전계효과 트랜지스터를 동작시키고 상기 비트라인(27)에 전류를 가할 때 흐르는 전류의 크기를 감지함으로써 MTJ 셀 내의 자유 강유전층의 자화 방향으로 체크하는 것이다.

상기 MTJ 셀 내에 정보를 기억시키는 동작은, 전계효과 트랜지스터를 오프(off) 상태로 유지한 채, 상기 라이트라인인 제2워드라인(19)과 비트라인(27)에 전류를 가해 발생되는 자기장으로 자유 강유전층(59)의 자화방향을 제어하는 것이다.

이때, 상기 비트라인(27)과 제2워드라인(19)에 동시에 전류를 가하는 이유는, 두 금속선이 수직으로 교차하는 지점에서 자기장이 가장 크게 발생되며 이것으로 인하여 여러 셀 배열 중에서 한 셀을 선택할 수 있기 때문이다. `

또한, 상기 MRAM 내부에서의 MTJ 셀의 동작을 설명하면 다음과 같다.

먼저, 상기 MTJ 셀에 수직 방향으로 전류가 흐를 경우 절연층을 통한 터널링 전류가 흐르게 되고,

터널 접합층과 자유 강자성층의 자화 방향이 같으면 터널링 전류가 커지며,

터널 접합층과 자유 강자성층의 자화 방향이 같으면 터널링 전류가 흐르게 작게 되는 TMR (tunneling magnetoresistance) 효과라 한다.

그리고, 상기 TMR 효과에 의한 전류 크기를 감지하여 자유 강자성층의 자화 방향을 감지하고 그에 따라 셀에 저장된 정보를 알 수 있다.

상기한 바와같이 종래기술에 따른 반도체소자의 제조방법은, 하나의 셀에 하나의 활성영역과 하나의 접지선, 제1워드라인, 제2워드라인 및 MTJ 셀을 형성하여야 하여 셀의 크기를 크게 형성하여야 하고, 하부리드층을 형성하는 콘택공정시 콘택의 높이가 높아 콘택 식각 및 매립 공정의 안정성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래기술의 문제점을 해소하기 위하여,

두 개의 셀을 하나의 활성영역에 형성하고 제1워드라인과 제2워드라인의 영역을 중첩시켜 한 평면에 형성하며, 비트라인을 제1워드라인과 제2워드라인 사이에 형성하여 콘택깊이를 감소시킴으로써 셀의 크기를 감소시키는 동시에 콘택 깊이를 감소시켜 반도체소자의 고집적화를 가능하게 하는 동시에 그에 따른 공정 안정성을 향상시키는 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적 달성을 위해 본 발명에 따른 반도체소자의 제조방법은,

단위 MRAM 셀에 두 개의 MTJ 셀이 구비되는 반도체소자의 제조방법에 있어서,

반도체기판의 활성영역에 게이트전극 및 절연막 스페이서를 구비하는 두개의 제1워드라인을 형성하는 공정과,
상기 제1워드라인 사이에서 활성영역과 접속되는 접지선을 형성하는 동시에 상기 제1워드라인 각 외측에 제1콘택플러그를 형성하는 공정과,

삭제

상기 제1콘택플러그에 접속되는 제2콘택플러그가 구비되는 층간절연막을 형성하는 공정과,
상기 제2콘택플러그에 접속되는 씨드층을 각각 형성하되, 상기 씨드층은 외측 끝부분이 상기 제2콘택플러그에 접속되고 내측은 서로 이격되어 구비되는 공정과,

상기 씨드층의 내측 끝부분에 접속되는 MTJ 셀을 각각 형성하는 공정과,

상기 MTJ 셀에 접속되는 비트라인을 형성하는 공정과,
상기 비트라인 상측에 제2워드라인을 형성하는 공정을 포함하는 것을 특징으로한다.

삭제

삭제

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 2a 내지 도 2f 는 본 발명의 실시예에 따른 반도체소자의 제조방법을 도시한 단면도로서, 제1워드라인이 각각 구비되는 두 개의 트랜지스터, 두 개의 하부리드층, 두 개의 씨드층, 두 개의 MTJ 셀, 상기 두 개의 MTJ 셀을 연결하는 비트라인 및 라이트라인 두 개의 제2워드라인을 하나의 MRAM 셀에 형성한 것을 도시한다.

도 2a를 참조하면, 반도체기판(31)에 활성영역을 정의하는 소자분리막(도시안됨)을 형성한다.

그리고, 상기 반도체기판(31)의 활성영역 상에 게이트절연막(도시안됨)이 구비되는 게이트전극(33)을 형성하고 그 측벽에 절연막 스페이서(35)를 형성하며 상기 반도체기판(31)의 활성영역 불순물을 주입하여 불순물 접합영역(도시안됨)을 형성함으로써 트랜지스터를 형성한다. 여기서, 게이트전극(33)과 절연막 스페이서(35)가 제1워드라인이 된다.

도 2b를 참조하면, 전체표면상부에 제1층간절연막(37)을 형성하고 평탄화식각공정으로 상기 게이트전극(33) 상부를 노출시키는 평탄화된 제1층간절연막을 형성한다. 이때, 상기 평탄화식각공정은 CMP 공정으로 실시한다.

그 다음, 상기 제1층간절연막(37)을 식각하여 반도체기판(31)의 활성영역을 노출시키는 콘택홀을 형성하고 이를 매립하는 제1콘택플러그(41) 및 접지선(39)을 형성한다.

이때, 상기 접지선(39)은 상기 트랜지스터를 구성하는 두 개의 게이트전극(33) 사이에 형성되며 활성영역과 접속된다.

도 2c를 참조하면, 전체표면상부에 상기 제1콘택플러그(41)를 노출시키는 콘택홀을 구비한 제2층간절연막(42)을 형성하고 상기 콘택홀에 플러그 물질을 매립하여 상기 제1콘택플러그(41)에 접속되는 제2콘택플러그(43)를 형성한다. 여기서, 제1콘택플러그(41)와 제2콘택플러그(43)는 하부리드층(41,43)을 형성한다.

이때, 상기 하부리드층(41,43)은 상기 두 개의 게이트전극(33) 바깥쪽으로 구비된다.

그 다음, 상기 제2콘택플러그(43)에 접속되는 씨드층(45)을 형성한다. 그리고, 상기 씨드층(45)의 외측 끝부분이 각각 상기 하부리드층(41)에 접속되고 내측 끝부분이 서로 이격되어 구비되며 단위 셀당 두 개씩 형성된다.

도 2d를 참조하면, 전체표면상부에 제3층간절연막(47)을 형성하고 이를 평탄화식각하여 씨드층(45)을 노출시키고 평탄한 제3층간절연막(47)을 형성한다.

삭제

그 다음, 상기 씨드층(45)의 내측 끝부분 상부에 각각 MTJ 셀(49)을 형성한다. 이때, 상기 MTJ 셀(49)은 반강자성층(도시안됨), 고정 강자성층, 터널 접합층 및 자유 강자성층의 적층구조로 형성한다.

도 2e를 참조하면, 전체표면상부에 제4층간절연막(51)을 형성하고 이를 평탄화시켜 형성하고 이를 평탄화식각하여 상기 MTJ 셀(49)를 노출시킨다.

그리고, 상기 두 개의 MTJ 셀(49)에 접속되는 상부리드층(53)인 비트라인을 형성한다.

도 2f를 참조하면, 전체표면상부에 제5층간절연막(55)을 형성하고 상기 그 상부에 라이트라인인 제2워드라인(57)을 형성한다.

이때, 상기 제2워드라인(57)은 상기 두 개의 게이트전극(33), 즉 제1워드라인 상측에 각각 형성된 것이다.

그리고, 상기 제2워드라인(57)은 상기 MTJ 셀(49)과 같은 크기로 중첩되어 형성된 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 제조방법은, 하나의 접지선, 중첩되는 제1워드라인과 제2워드라인, 제1워드라인과 제2워드라인 사이에 구비되는 비트라인 등을 갖는 구조로 하나의 MRAM 셀을 형성하여 소자의 고집적화를 가능하게 하고 공정 안정성을 향상시키는 효과를 제공한다.

(57) 청구의 범위

청구항 1.

단위 마그네틱 램(MRAM) 셀에 두 개의 마그네틱 터널 정션(Magnetic Tunnel Junction : 이하 MTJ) 셀이 구비되는 반도체소자의 제조방법에 있어서,

반도체기판의 활성영역에 게이트전극 및 절연막 스페이서를 구비하는 두개의 제1워드라인을 형성하는 공정과,

상기 제1워드라인 사이에서 활성영역과 접속되는 접지선을 형성하는 동시에 상기 제1워드라인 각 외측에 제1콘택플러그를 형성하는 공정과,

상기 제1콘택플러그에 접속되는 제2콘택플러그가 구비되는 층간절연막을 형성하는 공정과,

상기 제2콘택플러그에 접속되는 씨드층을 각각 형성하되, 상기 씨드층은 외측 끝부분이 상기 제2콘택플러그에 접속되고 내측은 서로 이격되어 구비되는 공정과,

상기 씨드층의 내측 끝부분에 접속되는 MTJ 셀을 각각 형성하는 공정과,

상기 MTJ 셀에 접속되는 비트라인을 형성하는 공정과,

상기 비트라인 상측에 제2워드라인을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 제2워드라인은 라이트라인이며 상기 MTJ 셀과 같은 크기로 중첩되어 구비되는 것을 특징으로 하는 반도체소자의 제조방법.

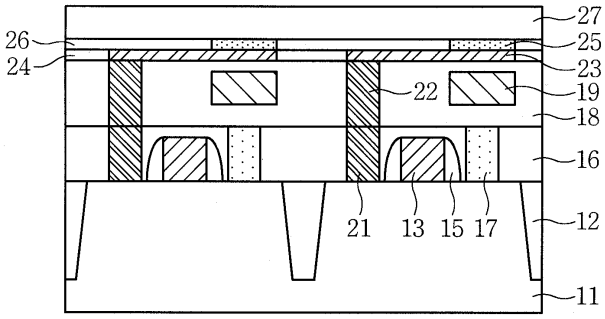
청구항 3.

제 1 항에 있어서,

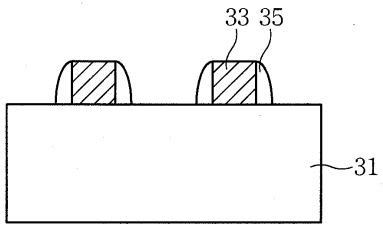
상기 MTJ 셀은 반강자성층, 고정 강자성층, 터널 접합층 및 자유 강자성층의 적층구조로 구비되는 것을 특징으로하는 반도체소자의 제조방법.

도면

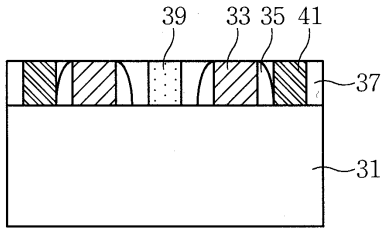
도면1



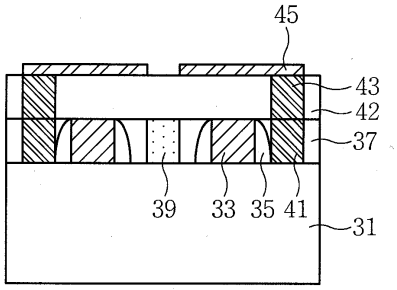
도면2a



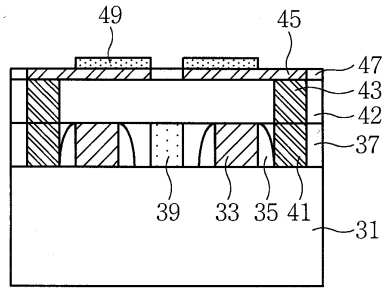
도면2b



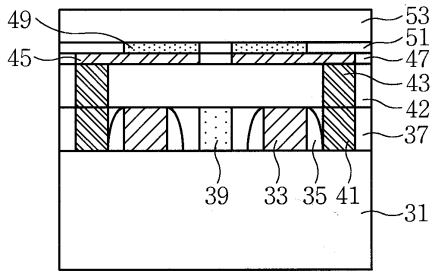
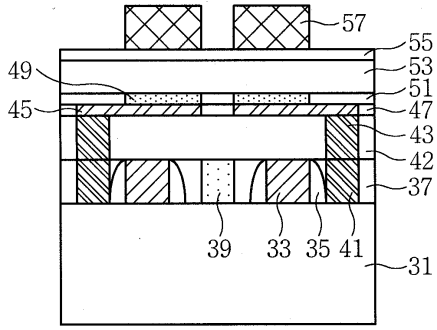
도면2c



도면2d



도면2e



도면2f