



(12) 发明专利

(10) 授权公告号 CN 110034765 B

(45) 授权公告日 2021.06.01

(21) 申请号 201910338368.1

(22) 申请日 2019.04.25

(65) 同一申请的已公布的文献号
申请公布号 CN 110034765 A

(43) 申请公布日 2019.07.19

(73) 专利权人 电子科技大学
地址 611731 四川省成都市高新区(西区)
西源大道2006号

(72) 发明人 樊华 杨静萱 冯全源 蔡经纬
李大刚 胡达千 岑远军

(74) 专利代理机构 电子科技大学专利中心
51203

代理人 陈一鑫

(51) Int. Cl.

H03M 1/44 (2006.01)

(56) 对比文件

CN 109639282 A, 2019.04.16

CN 107425852 A, 2017.12.01

CN 108832916 A, 2018.11.16

US 2017063363 A1, 2017.03.02

US 2014132437 A1, 2014.05.15

WO 2007088175 A1, 2007.08.09

Harijot Singh Bindra.A 30fJ/
comparison dynamic bias comparator.

《ESSCIRC 2017 - 43rd IEEE European Solid
State Circuits Conference》.2017,

李新. 高速低功耗电压比较器机构设计研
究.《制造业自动化》.2013,第35卷(第5期),

审查员 李旭梅

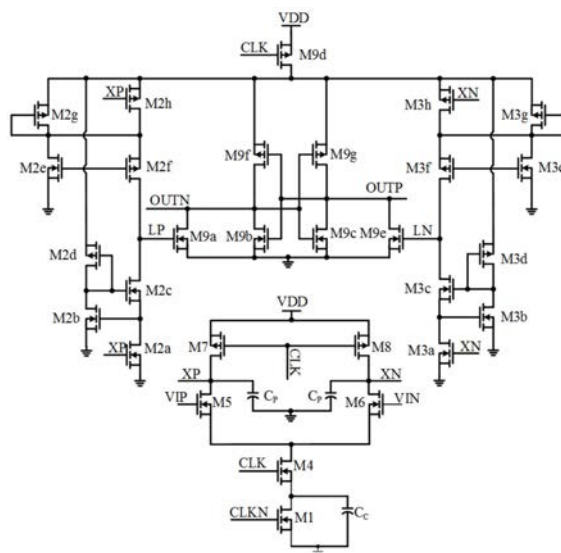
权利要求书2页 说明书4页 附图5页

(54) 发明名称

一种快速响应的动态锁存比较器

(57) 摘要

本发明公开了一种快速响应的动态锁存比较器,应用的技术领域是逐次逼近模数转换器。本发明的特征在于,提高复位时的比较器输出电压,有效提高比较器响应速度;因而本发明技术方案为一种快速响应的动态锁存比较器,该比较器包括:预放大结构和锁存结构。本发明提出的动态锁存比较器相比,本发明提出的动态锁存比较器响应时间更快。



1. 一种快速响应的动态锁存比较器,该比较器包括:预放大结构和锁存结构,其中:

预放大结构包括:两个PMOS管:第一PMOS管(M7)、第二PMOS管(M8);四个NMOS管:第一NMOS管(M1)、第二NMOS管(M4)、第三NMOS管(M5)、第四NMOS管(M6)、电容Cc、第一寄生电容、第二寄生电容;其中:

第一PMOS管(M7)漏极接第三NMOS管(M5)漏极,第一PMOS管(M7)的栅极输入时钟信号CLK,第一PMOS管(M7)的源极输入VDD信号,第三NMOS管(M5)的栅极接第一全差分输入信号(VIP),而第三NMOS管(M5)的漏极接第一寄生电容并且作为第一输出端XP,所述第一寄生电容另一端接地;第三NMOS管(M5)源极接第二NMOS管(M4)的漏极,第二NMOS管(M4)源极接第一NMOS管(M1)的漏极,第一NMOS管(M1)的源极接地,第一NMOS管(M1)的栅极接时钟CLKN,所述第二NMOS管(M4)源极与第一NMOS管(M1)漏极的共节点连接电容Cc的一端,电容Cc的另一端接地;所述第一PMOS管(M7)、第二PMOS管(M8)的源极都与电源电压(VDD)相连;

第二PMOS管(M8)漏极接第四NMOS管(M6)的漏极,第二PMOS管(M8)的栅极输入时钟信号CLK,第二PMOS管(M8)的源极输入VDD信号,第四NMOS管(M6)的栅极接第二全差分输入信号(VIN),而第四NMOS管(M6)的漏极接第二寄生电容并且作为第二输出端XN,所述第二寄生电容另一端接地;第四NMOS管(M6)源极接第二NMOS管(M4)的漏极;

所述锁存结构,含有降低响应时间电路和锁存输出电路,其中:

降低响应时间电路,含有:八个PMOS管:第三PMOS管(M2d)、第四PMOS管(M2f)、第五PMOS管(M2g)、第六PMOS管(M2h)、第七PMOS管(M3d)、第八PMOS管(M3f)、第九PMOS管(M3g)和第十PMOS管(M3h);八个NMOS管:第五NMOS管(M2a)、第六NMOS管(M2b)、第七NMOS管(M2c)、第八NMOS管(M2e)、第九NMOS管(M3a)、第十NMOS管(M3b)、第十一NMOS管(M3c)以及第十二NMOS管(M3e),其中:

所述降低响应时间电路:第一降低响应时间输入信号(XP)子电路,第二降低响应时间输入信号(NP)子电路,其中:

第一降低响应时间输入信号(XP)子电路为:

所述第五NMOS管(M2a)的源极接地,栅极连接第一输出端XP,然后依次串联第七NMOS管(M2c)、第四PMOS管(M2f)、第六PMOS管(M2h);所述第六NMOS管(M2b)的源极接地,漏极接第三PMOS管(M2d)的漏极,第六NMOS管(M2b)的栅极连接第五NMOS管(M2a)与第七NMOS管(M2c)的共节点;第七NMOS管(M2c)的栅极连接第六NMOS管(M2b)与第三PMOS管(M2d)的共节点的同时连接第三PMOS管(M2d)的栅极;所述第八NMOS管(M2e)的源极接地,漏极连接第五PMOS管(M2g)的漏极;第五PMOS管(M2g)的栅极与漏极共接后连接第六PMOS管(M2h)与第四PMOS管(M2f)的共节点,第五PMOS管(M2g)源极、第三PMOS管(M2d)的源极、第六PMOS管(M2h)的源极共接;所述第六PMOS管(M2h)的栅极连接第一输出端XP;

第二降低响应时间输入信号(NP)子电路为:

所述第九NMOS管(M3a)的源极接地,栅极接第一输出端XN,然后依次串联第十一NMOS管(M3c)、第八PMOS管(M3f)、第十PMOS管(M3h);所述第十NMOS管(M3b)的源极接地,漏极接第七PMOS管(M3d)的漏极,第十NMOS管(M3b)的栅极连接第九NMOS管(M3a)与第十一NMOS管(M3c)的共节点;第十一NMOS管(M3c)的栅极连接第十NMOS管(M3b)与第七PMOS管(M3d)的共节点的同时连接第七PMOS管(M3d)的栅极;所述第十二NMOS管(M3e)的源极接地,漏极连接第九PMOS管(M3g)的漏极;第九PMOS管(M3g)的栅极与漏极共接后连接第十PMOS管(M3h)与

第八PMOS管(M3f)的共节点,第九PMOS管(M3g)源极、第七PMOS管(M3d)的源极、第十PMOS管(M3h)的源极共接;所述第十PMOS管(M3h)的栅极连接第一输出端XN;

所述锁存输出电路包括:三个PMOS管:第十一PMOS管(M9f)和第十二PMOS管(M9g),第十三PMOS管(M9d);四个NMOS管:第十三NMOS管(M9a)、第十四NMOS管(M9b)、第十五NMOS管(M9c)和第十六NMOS管(M9e),其中:

第十三NMOS管(M9a)的源极、第十四NMOS管(M9b)的源极、第十五NMOS管(M9c)的源极和第十六NMOS管(M9e)的源极共同接地,所述第十三NMOS管(M9a)的漏极、第十四NMOS管(M9b)的漏极、第十五NMOS管(M9c)的栅极共同接作为最终的第一输出端(OUTN),第十四NMOS管(M9b)的栅极、第十五NMOS管(M9c)的漏极、第十六NMOS管(M9e)的漏极共同接作为最终的第二输出端(OUTP);所述第十四NMOS管(M9b)的栅极连接第十一PMOS管(M9f)的栅极,所述第十四NMOS管(M9b)的漏极连接第十一PMOS管(M9f)的漏极;所述第十五NMOS管(M9c)的漏极连接第十二PMOS管(M9g)的漏极,所述第十一PMOS管(M9f)的源极、第十二PMOS管(M9g)的源极、第十三PMOS管(M9d)的漏极共接;所述第十三PMOS管(M9d)的栅极接时钟CLK,源极接VDD;

所述第十三NMOS管(M9a)的栅极连接第七NMOS管(M2c)与第四PMOS管(M2f)的共节点,所述第十六NMOS管(M9e)的栅极连接第十一NMOS管(M3c)与第八PMOS管(M3f)的共节点;所述第十一PMOS管(M9f)的源极与第十PMOS管(M3h)的源极连接;

所述预放大结构的第一输出端(XP)与第一降低响应时间输入信号(XP)子电路中的第一输出端XP连接,所述预放大结构的第二输出端(XN)与第二降低响应时间输入信号(XN)子电路中的第二输出端XN连接。

一种快速响应的动态锁存比较器

技术领域

[0001] “动态锁存比较器”(Dynamic-latch Comparator)直接应用的技术领域是逐次逼近模数转换器(Successive Approximation Register Analog-to-Digital Converter,缩写为SAR ADC)。

背景技术

[0002] 随着电子及通信技术的发展,如今的混合信号集成电路的设计的方向主要集中在片上系统(SoC)的设计。混合信号SoC主要是将模拟电路模块,数字电路模块及存储器等集中于一个芯片之上,在无线通信、数字通信及手机芯片中得到广泛的应用。在混合信号SoC中,有些电路模块是处理模拟信号的,也有部分模块是处理数字信号的,并且要求两种信号之间必须能够进行转换。因此,模数转换器(ADC)是SoC芯片中比较重要的模块,ADC作为SoC芯片中模拟和数字模块的接口,成为了SoC设计中的专注的焦点。逐次逼近模数转换器的基本结构如图1所示,它包含四个模块:采样保持、DAC、比较器和寄存器部分,逐次逼近模数转换器基本由数字电路组成,面积小、功耗低。比较器是逐次逼近模数转换器中唯一的模拟元件,因此,逐次逼近模数转换器是所有模数转换器中模拟元件最少、数字化程度最高、随工艺进步占优势最明显的模数转换器。随着工艺不断地进步,数字电路的速度呈线性增加,逐次逼近模数转换器的采样率也随着工艺进步呈线性增加,速度不再是逐次逼近模数转换器最大的瓶颈,逐次逼近模数转换器是最适合于工艺进步的模数转换器,因此,逐次逼近模数转换器成为近年来的研究热点。文献[Y.Hwang and D.Jeong,“Ultra-low-voltage low-power dynamic comparator with forward body bias scheme for SAR ADC,”in Electronics Letters,vol.54,no.24,pp.1370-1372,29 11 2018.]提出一种高速动态两级比较器,该比较器由第一级预防大结构和第二级锁存器构成,有效提高整体的SAR ADC速度。但是,该比较器的缺陷在于:在比较器转换过程中消耗过多的能耗。在降低功耗方面文献[S.Liu,J.Paramesh,L.Pileggi,T.Rabuske and J.Fernandes,“A 125MS/s 10.4ENOB 10.1fJ/Conv-Step Multi-Comparator SAR ADC with Comparator Noise Scaling in 65nm CMOS,”ESSCIRC 2018-IEEE 44th European Solid State Circuits Conference (ESSCIRC),Dresden,2018,pp.22-25.]采用在第一级功能结束后关闭第一级放大电路,降低功耗。第二级的锁存结构输入端采用PMOS管构成,提高比较器的速度。

发明内容

[0003] 本发明提出一种快速响应的动态锁存比较器,并且该比较器适用于于全差分逐次逼近模数转换器。

[0004] 本发明的特征在于,提高复位时的比较器输出电压,有效提高比较器响应速度;因而本发明技术方案为一种快速响应的动态锁存比较器,该比较器包括:预放大结构和锁存结构,其中:

[0005] 预放大结构包括:两个PMOS管:第一PMOS管(M7)、第二PMOS管(M8);四个NMOS管:第

一NMOS管 (M1)、第二NMOS管 (M4)、第三NMOS管 (M5)、第四NMOS管 (M6)、电容 C_c 、第一寄生电容、第二寄生电容;其中:

[0006] 第一PMOS管 (M7) 漏极接第三NMOS管 (M5) 漏极,第一PMOS管 (M7) 的栅极输入时钟信号 (CLK),第一PMOS管 (M7) 的源极输入VDD信号,第三NMOS管 (M5) 的栅极接所述第一全差分输入信号 (VIP),而第三NMOS管 (M5) 的漏极接第一寄生电容并且作为第一输出端XP,所述第一寄生电容另一端接地;第三NMOS管 (M5) 源极接第二NMOS管 (M4) 的漏极,第二NMOS管 (M4) 源极接第一NMOS管 (M1) 的漏极,第一NMOS管 (M1) 的源极接地,第一NMOS管 (M1) 的栅极接时钟CLKN,所述第二NMOS管 (M4) 源极与第一NMOS管 (M1) 漏极的共节点连接电容 C_c 的一端,电容 C_c 的另一端接地;改变在复位状态使第二NMOS管 (M4) 漏极电压从而构成低功耗预防大电路结构;所述第一PMOS管 (M7)、第二PMOS管 (M8) 的源级都与电源电压 (VDD) 相连;

[0007] 第二PMOS管 (M8) 漏级接第四NMOS管 (M6) 的漏级,第二PMOS管 (M8) 的栅极输入时钟信号 (CLK),第二PMOS管 (M8) 的源极输入VDD信号,第四NMOS管 (M6) 的栅极接所述第一全差分输入信号 (VIN),而第四NMOS管 (M6) 的漏极接第二寄生电容并且作为第二输出端XN,所述第二寄生电容另一端接地;第四NMOS管 (M6) 源极接第二NMOS管 (M4) 的漏极;

[0008] 所述锁存结构,含有降低响应时间电路和锁存输出电路,其中:

[0009] 降低响应时间电路,含有:八个PMOS管:第三PMOS管 (M2d)、第四PMOS管 (M2f)、第五PMOS管 (M2g)、第六PMOS管 (M2h)、第七PMOS管 (M3d)、第八PMOS管 (M3f)、第九PMOS管 (M3g) 和第十PMOS管 (M3h);八个NMOS管:第五NMOS管 (M2a)、第六NMOS管 (M2b)、第七NMOS管 (M2c)、第八NMOS管 (M2e)、第九NMOS管 (M3a)、第十NMOS管 (M3b)、第十一NMOS管 (M3c) 以及第十二NMOS管 (M3e),其中:

[0010] 所述降低响应时间电路:第一降低响应时间输入信号 (XP) 子电路,第二降低响应时间输入信号 (NP) 子电路,其中:

[0011] 第一降低响应时间输入信号 (XP) 子电路为:

[0012] 所述第五NMOS管 (M2a) 的源极接地,栅极作为第一输出端XP,然后依次串联第七NMOS管 (M2c)、第四PMOS管 (M2f)、第六PMOS管 (M2h);所述第六NMOS管 (M2b) 的源极接地,漏极接第三PMOS管 (M2d) 的漏极,第六NMOS管 (M2b) 的栅极连接第五NMOS管 (M2a) 与第七NMOS管 (M2c) 的共节点;第七NMOS管 (M2c) 的栅极连接第六NMOS管 (M2b) 与第三PMOS管 (M2d) 的共接点的同时连接第三PMOS管 (M2d) 的栅极;所述第八NMOS管 (M2e) 的源极接地,漏极连接第五PMOS管 (M2g) 的漏极;第五PMOS管 (M2g) 的栅极与漏极共接后连接第六PMOS管 (M2h) 与第四PMOS管 (M2f) 的共接点,第五PMOS管 (M2g) 源极、第三PMOS管 (M2d) 的源极、第六PMOS管 (M2h) 的源极共接;所述第六PMOS管 (M2h) 的栅极作为第一输出端XP;

[0013] 第二降低响应时间输入信号 (NP) 子电路为:

[0014] 所述第九NMOS管 (M3a) 的源极接地,栅极接第一输出端XN,然后依次串联第十一NMOS管 (M3c)、第八PMOS管 (M3f)、第十PMOS管 (M3h);所述第十NMOS管 (M3b) 的源极接地,漏极接第七PMOS管 (M3d) 的漏极,第十NMOS管 (M3b) 的栅极连接第九NMOS管 (M3a) 与第十一NMOS管 (M3c) 的共节点;第十一NMOS管 (M3c) 的栅极连接第十NMOS管 (M3b) 与第七PMOS管 (M3d) 的共接点的同时连接第七PMOS管 (M3d) 的栅极;所述第十二NMOS管 (M3e) 的源极接地,漏极连接第九PMOS管 (M3g) 的漏极;第九PMOS管 (M3g) 的栅极与漏极共接后连接第十PMOS管 (M3h) 与第八PMOS管 (M3f) 的共接点,第九PMOS管 (M3g) 源极、第七PMOS管 (M3d) 的源极、第十

PMOS管 (M3h) 的源极共接;所述第十PMOS管 (M3h) 的栅极连接第一输出端XN;

[0015] 所述锁存输出电路包括:三个PMOS管:第十一PMOS管 (M9f) 和第十二PMOS管 (M9g), 第十三PMOS管 (M9d);四个NMOS管:第十三NMOS管 (M9a)、第十四NMOS管 (M9b)、第十五NMOS管 (M9c) 和第十六NMOS管 (M9e), 其中:

[0016] 第十三NMOS管 (M9a) 的源极、第十四NMOS管 (M9b) 的源极、第十五NMOS管 (M9c) 的源极和第十六NMOS管 (M9e) 的源极共同接地,所述第十三NMOS管 (M9a) 的漏极、第十四NMOS管 (M9b) 的漏极、第十五NMOS管 (M9c) 的栅极共同接作为最终的输出端 (OUTN), 第十四NMOS管 (M9b) 的栅极、第十五NMOS管 (M9c) 的漏极、第十六NMOS管 (M9e) 的漏极共同接作为最终的输出端 (OUTP);所述第十四NMOS管 (M9b) 的栅极连接第十一PMOS管 (M9f) 的栅极,所述第十四NMOS管 (M9b) 的漏极连接第十一PMOS管 (M9f) 的漏极;所述第十五NMOS管 (M9c) 的漏极连接第十二PMOS管 (M9g) 的漏极,所述第十一PMOS管 (M9f) 的源极、第十二PMOS管 (M9g) 的源极、第十三PMOS管 (M9d) 的漏极共接;所述第十三PMOS管 (M9d) 的栅极接时钟CLK,源极接VDD;

[0017] 所述第十三NMOS管 (M9a) 的栅极连接第七NMOS管 (M2c) 与第四PMOS管 (M2f) 的共节点,所述第十六NMOS管 (M9e) 的栅极连接第十一NMOS管 (M3c) 与第八PMOS管 (M3f) 的共节点;所述第十一PMOS管 (M9f) 的源极与第十PMOS管 (M3h) 的源极连接;

[0018] 所述预放大结构的第一输出端 (XP) 与第一降低响应时间输入信号 (XP) 子电路中的第一输出端XP连接,所述预放大结构的第二输出端 (XN) 与第二降低响应时间输入信号 (XN) 子电路中的第二输出端XN连接。

[0019] 本发明的有益效果是,与文献[S.Mahdavi,M.Jafarzadeh,M.Poreh and S.Ataei,"An ultra high-resolution low propagation delay time and low power with 1.25GS/s CMOS dynamic latched comparator for high-speed SAR ADCs in 180nm technology,"2017IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI),Tehran,2017,pp.0260-0265.]提出的动态锁存比较器相比,本发明提出的动态锁存比较器响应时间更快。

附图说明

[0020] 图1是逐次逼近模数转换器的基本结构。

[0021] 图2是文献[S.Mahdavi,M.Jafarzadeh,M.Poreh and S.Ataei,"An ultra high-resolution low propagation delay time and low power with 1.25GS/s CMOS dynamic latched comparator for high-speed SAR ADCs in 180nm technology,"2017IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI),Tehran,2017,pp.0260-0265.]动态锁存比较器的基本结构。

[0022] 图3是本发明所述的快速响应的动态锁存比较器。

[0023] 图4为文献[S.Mahdavi,M.Jafarzadeh,M.Poreh and S.Ataei,"An ultra high-resolution low propagation delay time and low power with 1.25GS/s CMOS dynamic latched comparator for high-speed SAR ADCs in 180nm technology,"2017IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI),Tehran,2017,pp.0260-0265.]的仿真结果。

[0024] 图5是本发明所述的动态锁存比较器仿真结果。

具体实施方式

[0025] 以下结合附图,详细说明本发明的内容:

[0026] 图2是文献[S.Mahdavi,M.Jafarzadeh,M.Poreh and S.Ataei,"An ultra high-resolution low propagation delay time and low power with 1.25GS/s CMOS dynamic latched comparator for high-speed SAR ADCs in 180nm technology," 2017IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI), Tehran, 2017, pp.0260-0265.]提出的动态锁存比较器。比较器两个输入端,一端接模拟输入信号 V_{in} ,另一端接模拟输入信号 V_{ip} ,该动态锁存比较器的通过第一级预防大结构对输入信号处理,输出 O_+ 和 O_- 。第二级锁存结构使用两个比较器串联避免静态电流,降低功耗。

[0027] 图3是本发明所述的快速响应比较器,适用于要求响应时间短的全差分逐次逼近模数转换器。它由预放大结构和锁存结构两部分构成,其中,预放大结构由一个NMOS管和PMOS管串联构成。在复位模式时,时钟信号CLK为低电平,预放大结构的输出XP和XN置为低电平,但是此时的低电平也是具有一定电压的,但是此低电平电压不足以使管子导通,对之后输出的数字信号没有影响,但是此种设计可以大大降低响应时间。在比较模式时,时钟信号CLK为高电平,XP和XN也从高电平逐渐变为低电平,它们从高电平变为低电平的速度与输入电压 V_{INP} 和 V_{INN} 的大小有关,输入电压越大,XP和XN从高电平变为低电平的斜率越大,消耗时间越少,反之,输入电压越小,XP和XN从高电平变为低电平的斜率越小,消耗时间越长。此设计在第一级预防大结构的底部添加NMOS管来降低功耗。锁存结构根据TIP和TIN从低电平变为高电平的时间差输出判决结果。假设 V_{INP} 大于 V_{INN} ,比较器输出OUTP为高电平,OUTN为低电平。反之,若 V_{INP} 小于 V_{INN} ,比较器输出OUTP为低电平,OUTN为高电平。

[0028] 图4为采用文献[S.Mahdavi,M.Jafarzadeh,M.Poreh and S.Ataei,"An ultra high-resolution low propagation delay time and low power with 1.25GS/s CMOS dynamic latched comparator for high-speed SAR ADCs in 180nm technology," 2017IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI), Tehran, 2017, pp.0260-0265]进行仿真,仿真结果表明当 V_{INP} 大于 V_{INN} 时,比较器OUTP输出为1.24V,OUTN输出为0.19V,响应时间为1.22ns。

[0029] 图5是本发明所述的动态锁存比较器仿真结果。本发明的动态锁存比较器采用电源电压为1.8V,工作在4MHz时钟频率下进行仿真,仿真结果表明当 V_{INP} 大于 V_{INN} 时,比较器OUTP输出为1.67V,OUTN输出为48.801 μ V,响应时间为0.506ns。与图4相比,本发明有效地降低了响应时间。

[0030] 比较器性能对比如下表1所示。

[0031] 表1:比较器性能对比

[0032]

	文献2017	本发明
工艺(μ m)	0.18	0.18
单端/差分	差分	差分
响应时间	1.22ns	0.506ns
输入信号范围(V)	0.1~1.9	0.1~1.9

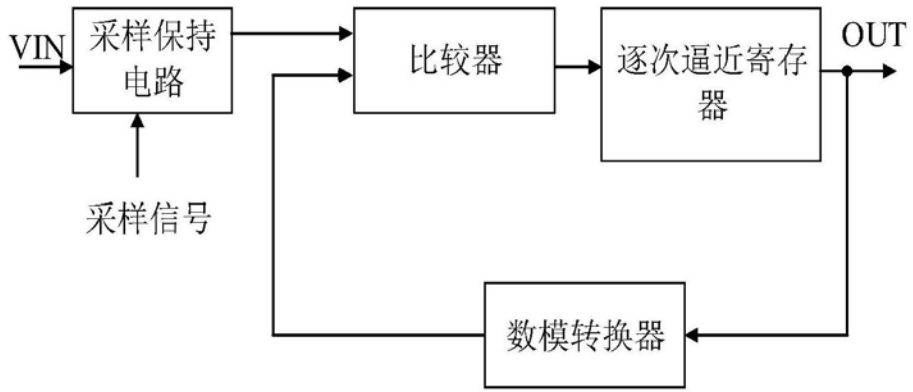


图1

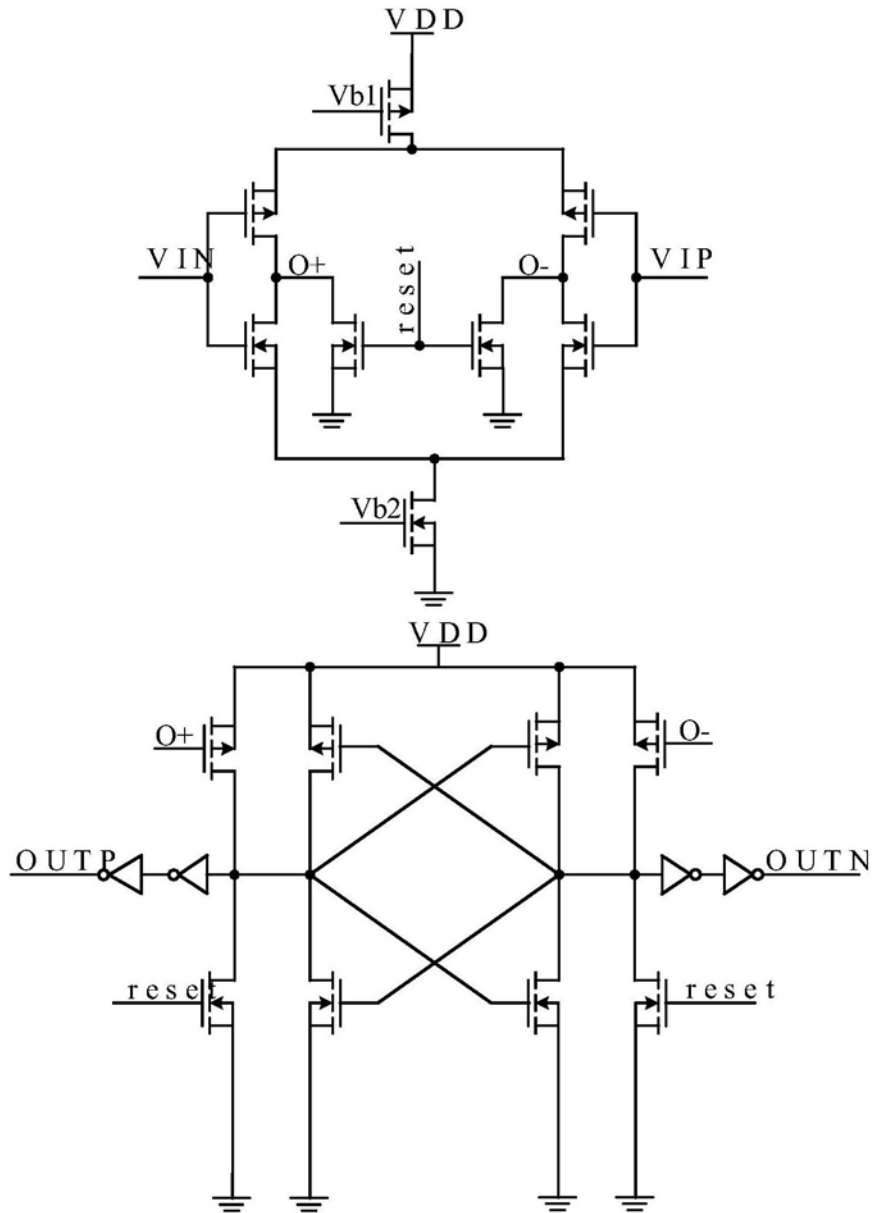


图2

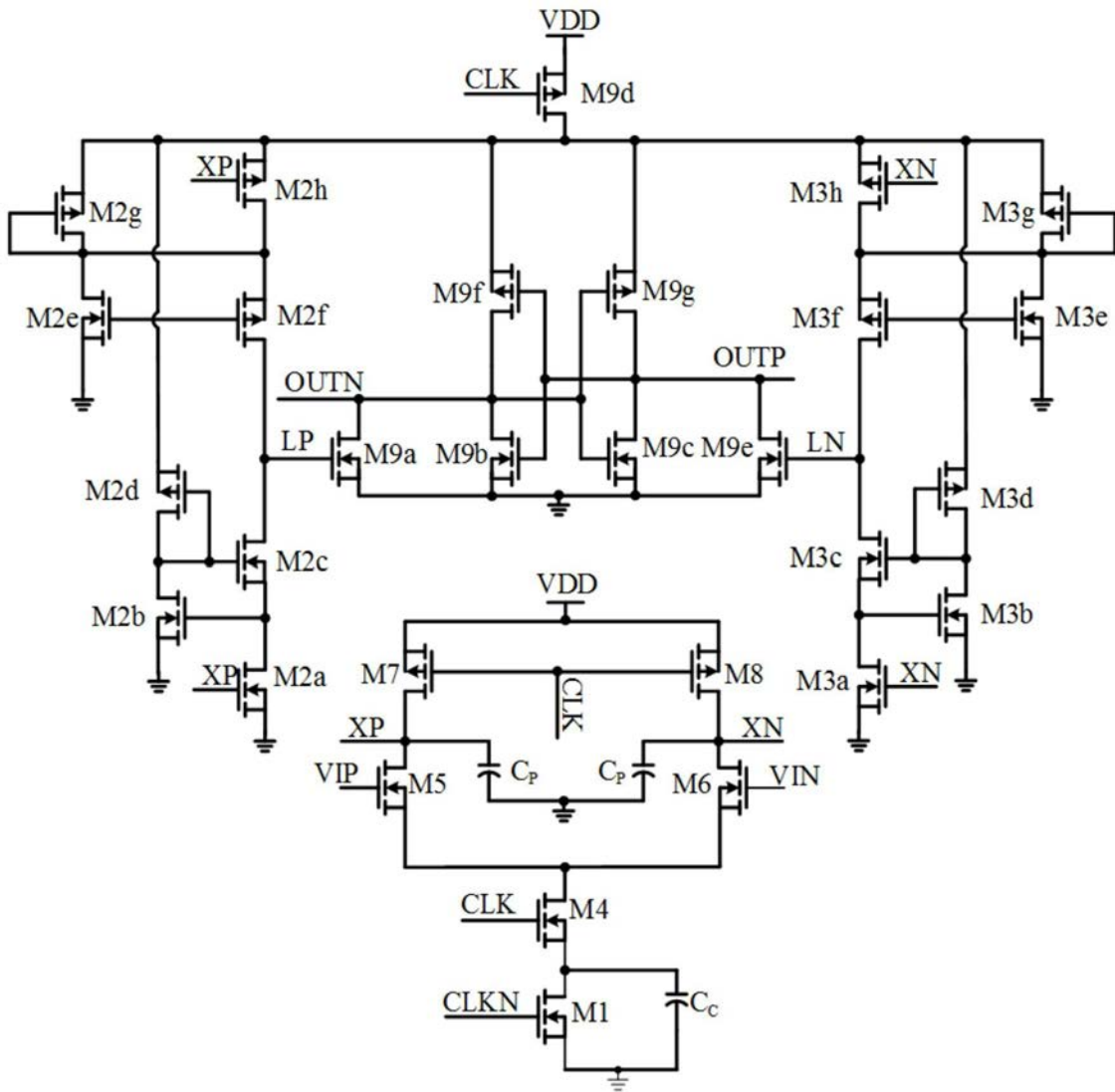


图3

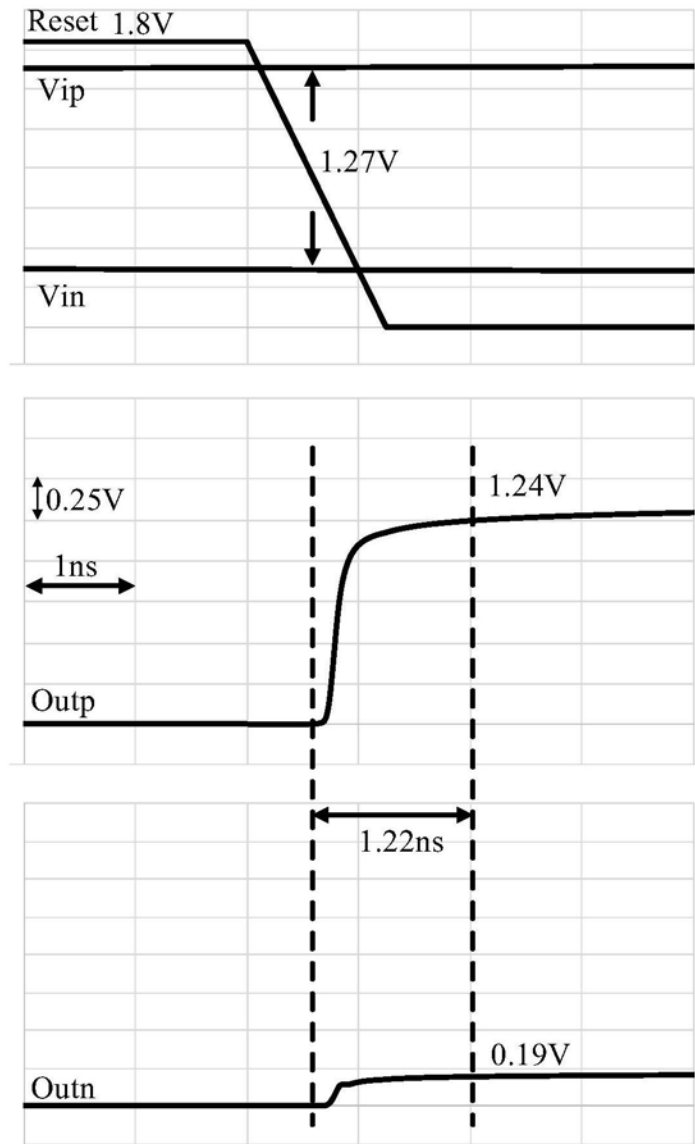


图4

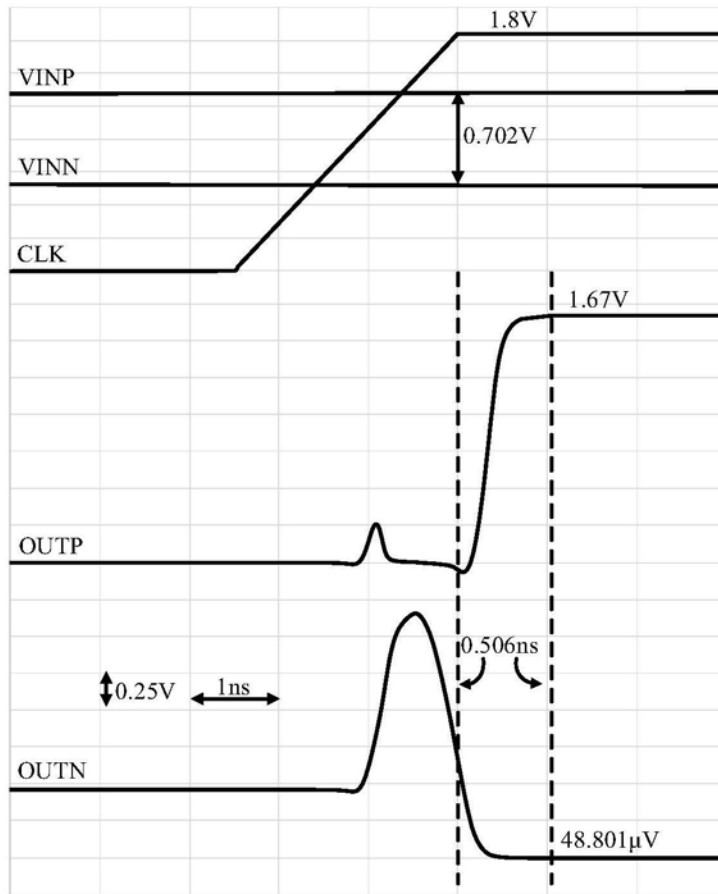


图5