



(12) 发明专利

(10) 授权公告号 CN 114068721 B

(45) 授权公告日 2022.12.13

(21) 申请号 202111302550.5

H01L 29/417 (2006.01)

(22) 申请日 2021.11.04

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 114068721 A

(43) 申请公布日 2022.02.18

(73) 专利权人 深圳真茂佳半导体有限公司

地址 518000 广东省深圳市南山区西丽街
道沙河西路健兴科技大厦C座310

(56) 对比文件

US 2011/0006362 A1, 2011.01.13

CN 113410307 A, 2021.09.17

CN 107026205 A, 2017.08.08

CN 111769156 A, 2020.10.13

审查员 张玉萍

(72) 发明人 任炜强

(74) 专利代理机构 北京维正专利代理有限公司

11508

专利代理师 朱鹏程

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

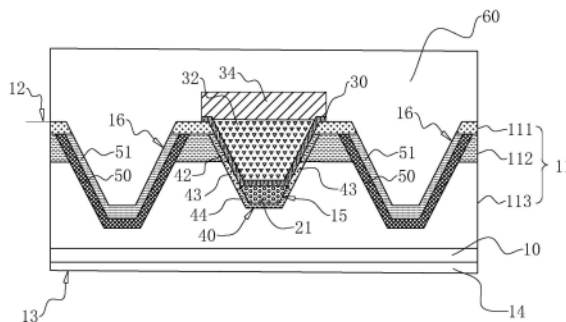
权利要求书3页 说明书14页 附图11页

(54) 发明名称

双梯形槽保护梯形槽碳化硅MOSFET器件及
制造方法

(57) 摘要

本申请涉及一种双梯形槽保护梯形槽碳化硅MOSFET器件及制造方法, MOSFET器件包括位于底部的漏极衬底、位于中部的漏极外延层、位于顶部的源极金属层、嵌入漏极外延层的栅极条和位于漏极衬底底部的漏极金属层;栅极条设置在漏极外延层中的倒梯形切面的第一沟槽中,并通过层间膜条和栅介质层进行绝缘处理;顺着第一沟槽的轮廓表面形成重定义沟道层,以导通源极金属层和漏极金属层;顺着漏极外延层中的倒梯形切面的第二沟槽的轮廓表面形成缓冲层,以使源极金属层与漏极延伸层之间形成PN结隔离。本申请有利于漏极衬底与顶面源极电子流均匀到达漏极金属层的各个区域。



1. 一种双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于,包括:

漏极衬底(10),具有由漏极外延层(11)提供的处理表面(12)与对应的背面(13),由所述漏极外延层(11)包括从下往上依次形成的漏极延伸层(113)、沟道层(112)和有源层(111),由所述处理表面(12)形成有倒梯形切面的第一沟槽(15)以及位于所述第一沟槽(15)两侧且呈水平对称的倒梯形切面的第二沟槽(16),所述第一沟槽(15)与所述第二沟槽(16)的槽底止于所述漏极延伸层(113)中;所述漏极外延层(11)顺着所述第一沟槽(15)的轮廓表面形成重定义沟道层(40);所述漏极外延层(11)还顺着所述第二沟槽(16)的轮廓表面形成缓冲层(50);

漏极金属层(14),形成于所述背面(13)上,以导通所述漏极衬底(10);

栅介质层(30),沿着所述第一沟槽(15)侧壁轮廓设置于所述第一沟槽(15)内;

栅极条(32),设置于所述栅介质层(30)形成的轮廓中,所述栅极条(32)具有相对于所述栅介质层(30)裸露的外表面,所述外表面高于所述沟道层(112)的顶面,所述栅极条(32)的底面低于所述沟道层(112)的底面;

层间膜条(34),对准所述第一沟槽(15)图案化形成在所述漏极衬底(10)上,覆盖所述栅极条(32)的外表面;

源极金属层(60),设置于所述漏极衬底(10)上,所述源极金属层(60)以欧姆接触方式还直接形成在第二沟槽(16)中;

其中,所述漏极延伸层(113)的离子注入电性和所述有源层(111)为同电性,所述漏极延伸层(113)的离子注入电性和所述沟道层(112)为反电性,以使所述漏极外延层(11)中形成双向PN结隔离;所述缓冲层(50)的离子注入电性与所述沟道层(112)为同电性并且与所述漏极延伸层(113)为反电性,以使所述源极金属层(60)与所述漏极延伸层(113)之间形成PN结隔离。

2. 根据权利要求1所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于:所述重定义沟道层(40)的一侧设置有截止段(43),所述截止段(43)将所述重定义沟道层(40)隔断为位于所述截止段(43)上方的导电沟道段(42)和位于所述截止段(43)下方的隔离段(44),所述截止段(43)的顶部高于所述栅极条(32)的底部;所述导电沟道段(42)和所述隔离段(44)为同电性,所述导电沟道段(42)和所述截止段(43)为反电性。

3. 根据权利要求1所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于:所述重定义沟道层(40)的两侧均对称设置有截止段(43),所述截止段(43)将所述重定义沟道层(40)隔断为位于所述截止段(43)上方的导电沟道段(42)和位于所述截止段(43)下方的隔离段(44),所述截止段(43)的顶部高于所述栅极条(32)的底部;所述导电沟道段(42)和所述隔离段(44)为同电性,所述导电沟道段(42)和所述截止段(43)为反电性。

4. 根据权利要求2或3所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于:所述截止段(43)的掺杂类型为中掺杂、重掺杂或者轻掺杂。

5. 根据权利要求1所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于:所述栅极条(32)的外表面低于所述栅介质层(30)的上表面,以使所述层间膜条(34)覆盖所述栅极条(32)时能嵌入所述栅介质层(30)形成的轮廓内。

6. 根据权利要求1所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于:在所述栅介质层(30)的底壁和所述第一沟槽(15)的底壁之间设置有厚氧层(21)。

7. 根据权利要求1所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于:所述缓冲层(50)中沿所述第二沟槽(16)轮廓表面设置有欧姆接触层(51),所述缓冲层(50)的掺杂类型为轻掺杂,所述欧姆接触层(51)的掺杂类型为重掺杂。

8. 根据权利要求1所述的双梯形槽保护梯形槽碳化硅MOSFET器件,其特征在于,利用所述栅极条(32)的电场效应,来自所述源极金属层(60)的电子流由所述有源层(111)沿着所述第一沟槽(15)的侧壁轮廓移动到所述漏极衬底(10),并经过所述漏极衬底(10)到达所述漏极金属层(14)。

9. 一种双梯形槽保护梯形槽碳化硅MOSFET器件的制造方法,其特征在于,包括以下步骤:

提供漏极衬底(10),具有由漏极外延层(11)提供的处理表面(12)与对应的背面(13);

在所述处理表面(12)以离子注入方式使所述漏极外延层(11)中从下往上依次形成漏极延伸层(113)、沟道层(112)和有源层(111);

在所述处理表面(12)刻蚀形成倒梯形切面的第一沟槽(15),以及在第一沟槽(15)的两侧刻蚀形成水平对称的第二沟槽(16),所述第一沟槽(15)的槽底和所述第二沟槽(16)的槽底均止于所述漏极延伸层(113);

在所述第一沟槽(15)的轮廓表面以离子注入方式形成重定义沟道层(40),在所述第二沟槽(16)的轮廓表面以离子注入方式形成沟道延伸层(41),使所述重定义沟道层(40)、沟道延伸层(41)的电性和所述沟道层(112)的电性相同;

在所述重定义沟道层(40)的侧壁以离子注入方式截止段(43),所述截止段(43)将所述重定义沟道层(40)分为导电沟道段(42)和隔离段(44),所述导电沟道段(42)的电性、所述隔离段(44)的电性和所述沟道层(112)的电性相同,所述导电沟道段(42)的电性和所述截止段(43)的电性相反;

在所述第一沟槽(15)内淀积形成栅介质层(30),以使所述第一沟槽(15)的内壁绝缘处理;

在所述栅介质层(30)中淀积形成栅极条(32),使所述栅极条(32)相对于所述栅介质层(30)具有裸露的外表面,所述外表面高于所述沟道层(112)的顶面,所述外表面低于所述栅介质层(30)的顶面;

对准所述第一沟槽(15)在所述栅极条(32)上淀积层间膜条(34),以覆盖所述栅极条(32)的外表面;

在所述第二沟槽(16)内注入离子,以形成缓冲层(50),所述缓冲层(50)的电性和所述沟道层(112)的电性相同;

在所述处理表面(12)上淀积金属形成源极金属层(60),且所述源极金属层(60)在所述第二沟槽(16)内和所述缓冲层(50)欧姆接触;

在所述背面(13)金属化形成漏极金属层(14)。

10. 根据权利要求9所述的制造方法,其特征在于,在提供所述漏极衬底(10)的步骤之后,还包括:

在所述处理表面(12)上淀积屏蔽氧化层(17),所述屏蔽氧化层(17)的材质包括氧化硅,所述漏极外延层(11)为导电型半导体晶圆;

或/与,在形成沟道层(112)和有源层(111)的步骤中,包括:光刻定义沟道层(112)区

域;之后在所述沟道层(112)区域内注入离子,以使所述沟道层(112)的电性与所述漏极延伸层(113)的电性相反;再光刻定义有源层(111)区域;然后在所述有源层(111)区域内注入离子,以使所述有源层(111)的电性和所述沟道层(112)的电性相反;最后淀积形成表面酸化膜(18);

或/与,在刻蚀第一沟槽(15)和第二沟槽(16)的步骤中,包括:光刻定义第一沟槽(15)和第二沟槽(16)的刻槽区域;之后以电感耦合等离子体刻蚀所述处理表面(12),以形成垂直型沟槽,且垂直型沟槽的槽底止于所述漏极延伸层(113);再以热氯气体刻蚀所述垂直型沟槽的侧面,以形成倒梯形的第一沟槽(15)和倒梯形的第二沟槽(16);

或/与,在形成重定义沟道层(40)和沟道延伸层(41)的步骤中,包括:在MOSFET器件表面生长牺牲氧化层(20);之后在所述第一沟槽(15)的轮廓表面的轮廓表面注入离子以形成重定义沟道层(40);然后在所述第二沟槽(16)的轮廓表面的轮廓表面注入离子以形成沟道延伸层(41);再以热退火方式激活离子;

或/与,在重定义沟道层(40)中形成截止段(43)的步骤中,包括:在碳化硅器件表面淀积高K介质形成厚氧层(21),所述高K介质为K值大于二氧化硅K值的介质;之后以淀积方式在所述高K介质上形成氮化硅介质层(22);再在所述第一沟槽(15)内光刻定义氮化硅刻蚀区域,使所述氮化硅刻蚀区域能覆盖所述沟道层(112);然后在所述第一沟槽(15)的一个侧壁或者两个侧壁上注入离子;最后以热退火方式激活离子;

或/与,在形成栅介质层(30)的步骤中,包括:去除氮化硅介质层(22),去除的方法包括化学机械研磨或/与回刻蚀;之后光刻保护位于所述截止段(43)下方的所述厚氧层(21);再去掉其他的所述厚氧层(21),去除的方法包括化学机械研磨或/与回刻蚀;在所述第一沟槽(15)内的所述厚氧层(21)光刻保护之后,以原子层淀积的方式、外延单晶硅并氧化的方式或者生长氧化层并注入离子的方式中的一种或者多种方式组合在碳化硅器件表面形成栅介质层(30);

或/与,在形成栅极条(32)的步骤中,包括:在碳化硅器件表面上淀积多晶硅薄膜;之后以回刻蚀或/与化学机械研磨的方式,使位于所述第一沟槽(15)内和所述第二沟槽(16)内的所述栅极条(32)的顶面高度低于所述栅介质层(30)的顶面高度;

或/与,在形成层间膜条(34)的步骤中,包括:对准所述第一沟槽(15)在所述栅极条(32)上淀积绝缘介质,所述绝缘介质的材质为二氧化硅或者硼磷硅玻璃;之后光刻定义层间膜条(34)刻蚀区域,使所述有源层(111)能直接显露;再依次去除位于所述第二沟槽(16)上方的所述层间膜条(34)、所述栅极条(32)和所述栅介质层(30),去除方式包括化学机械研磨或/与回刻蚀;

或/与,在形成缓冲层(50)的步骤之后,包括:在所述第二沟槽(16)的轮廓表面向所述缓冲层(50)内以离子注入方式形成高掺杂的欧姆接触层(51)。

双梯形槽保护梯形槽碳化硅MOSFET器件及制造方法

技术领域

[0001] 本申请涉及半导体晶体管的领域,尤其是涉及一种双梯形槽保护梯形槽碳化硅MOSFET器件及制造方法。

背景技术

[0002] 碳化硅属于第三代半导体材料,因其具有宽的禁带宽度(禁带宽度大于2.2eV)、高的热导率、高的击穿场强、高的电子饱和速率以及高的抗辐射能力,可以实现更好的电子浓度和运动控制,更适合制作应用于高温、高压、高频、强辐射以及大功率的电子器件。

[0003] 目前MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor,金属-半导体场效应晶体管)器件已有多种结构,主要包括有以下几类:平面型MOS管、沟槽型MOS管以及超级结型MOS管。其中平面型MOS管结构是将源极接点与漏极接点设计在半导体衬底的同一表面,随着晶圆薄化与器件微小化的趋势发展,由晶圆背面漏电流的问题会越来越是一个需要面对与克服的难题;沟槽型MOS管存在硅极限的限制,导致实现同样导通电阻占用更大的晶圆面积器件的功率密度无法提升;而超级结型MOS管制程工艺过于复杂。

发明内容

[0004] 为了改善沟槽型MOS管中因其内部导通电子流常汇聚在一起容易导致沟槽型MOS管被烧毁的情况,本申请提供一种双梯形槽保护梯形槽碳化硅MOSFET器件及制造方法。

[0005] 第一方面,本申请提供一种双梯形槽保护梯形槽碳化硅MOSFET器件,采用如下的技术方案:

[0006] 一种双梯形槽保护梯形槽碳化硅MOSFET器件,包括:

[0007] 漏极衬底,具有由漏极外延层提供的处理表面与对应的背面,由所述漏极外延层包括从下往上依次形成的漏极延伸层、沟道层和有源层,由所述处理表面形成有倒梯形切面的第一沟槽以及位于所述第一沟槽两侧且呈水平对称的倒梯形切面的第二沟槽,所述第一沟槽与所述第二沟槽的槽底止于所述漏极延伸层中;所述漏极外延层顺着所述第一沟槽的轮廓表面形成重定义沟道层;所述漏极外延层还顺着所述第二沟槽的轮廓表面形成缓冲层;

[0008] 漏极金属层,形成于所述背面上,以导通所述漏极衬底;

[0009] 栅介质层,沿着所述第一沟槽侧壁轮廓设置于所述第一沟槽内;

[0010] 栅极条,设置于所述栅介质层形成的轮廓中,所述栅极条具有相对于所述栅介质层裸露的外表面,所述外表面高于所述沟道层的顶面,所述栅极条的底面低于所述沟道层的底面;

[0011] 层间膜条,对准所述第一沟槽图案化形成在所述漏极衬底上,覆盖所述栅极条的外表面;

[0012] 源极金属层,设置于所述漏极衬底上,所述源极金属层以欧姆接触方式还直接形成在第二沟槽中;

[0013] 其中,所述漏极延伸层的离子注入电性和所述有源层为同电性,所述漏极延伸层的离子注入电性和所述沟道层为反电性,以使所述漏极外延层中形成双向PN结隔离;所述缓冲层的离子注入电性与所述沟道层为同电性并且与所述漏极延伸层为反电性,以使所述源极金属层与所述漏极延伸层之间形成PN结隔离。

[0014] 通过采用上述技术方案,源极金属层导通位于所述第一沟槽两侧的有源层,并且沿所述第一沟槽轮廓表面形成有重定义沟道层,重定义沟道层导通至漏极延伸层中,使得来自源极金属层的电子流通过有源层,经重定义沟道层进入漏极延伸层中,最后达到漏极金属层,以实现器件的开通;具体是栅极条和源极金属层在外加电压时,栅极条和第二沟槽之间产生电场,并且电场范围完全覆盖整个沟道层,沟道层中的载流子在靠近第一沟槽侧面形成导电沟道,即在重定义沟道层和沟道层接触部分形成导电沟道,实现电子流在第一沟槽的两侧从源极金属层流动至漏极金属层,并且沿着第一沟槽轮廓形成倒梯形的栅极条,提升了重定义沟道层中的电子迁移率,增加了器件的导通特性;电子流在第一沟槽两侧进行分散流动,避免了电子流如熔丝效应集中于漏极衬底的背面的某个局部区域。

[0015] 此外,由于重定义沟道层在沿着倒梯形的第一沟槽轮廓形成,电子流在进入漏极延伸层后,电子流会逐渐汇聚在一起;缓冲层和沟道层的电性相同,使得第二沟槽具有电子流隔离栅的作用,减小电子流汇聚的情况;同时重定义沟道层和沟道层具有相同电性,重定义沟道层的底部同样对电子流具有隔离作用,将电子流汇聚在电子流进入漏极延伸层的起始点附近,减少电子流在漏极延伸层中的扩散效应,提升导通特性。

[0016] 在第一沟槽两侧水平对称的倒梯形的第二沟槽对栅极条进行保护,使栅极条底部电场变小,增加了栅氧的可靠性,提高了器件的雪崩耐量能力;并且两个倒梯形的第二沟槽增加了漏极外延层和源极金属层的接触面积,提升了散热性能,增加了短路耐量能力。

[0017] 可选的,所述重定义沟道层的一侧设置有截止段,所述截止段将所述重定义沟道层隔断为位于所述截止段上方的导电沟道段和位于所述截止段下方的隔离段,所述截止段的顶部高于所述栅极条的底部;所述导电沟道段和所述隔离段为同电性,所述导电沟道段和所述截止段为反电性。

[0018] 通过采用上述技术方案,截止段和导电沟道段接触面形成PN结隔离,在栅极条的电场作用下,电子流从截止段导通至漏极延伸层中,进一步减少电子流的扩散。并且在所述重定义沟道层的一侧设置截止段,可以使得第一沟槽底部的隔离段不浮空,与沟道层的电位相同,增加隔离段的稳定性,提升器件的动态性能。

[0019] 可选的,所述重定义沟道层的两侧均对称设置有截止段,所述截止段将所述重定义沟道层隔断为位于所述截止段上方的导电沟道段和位于所述截止段下方的隔离段,所述截止段的顶部高于所述栅极条的底部;所述导电沟道段和所述隔离段为同电性,所述导电沟道段和所述截止段为反电性。

[0020] 通过采用上述技术方案,重定义沟道层在第一沟槽的两侧呈对称设置,来自源极金属层的电子流从第一沟槽的两端分隔开,分别通过第一沟槽两侧的重定义沟道层导通至漏极延伸层中,实现电子流在漏极延伸层中的均匀化,提升器件的导通特性。

[0021] 可选的,所述截止段的掺杂类型为中掺杂、重掺杂或者轻掺杂。

[0022] 可选的,所述栅极条的外表面低于所述栅介质层的上表面,以使所述层间膜条覆盖所述栅极条时能嵌入所述栅介质层形成的轮廓内。

[0023] 通过采用上述技术方案,在使用层间模条对栅极条进行覆盖过程中,层间膜条能够更好地和栅介质层进行结合,从而使栅极条形成嵌埋结构,在使用过程中,增加栅极条和源极金属层之间的电容。

[0024] 可选的,在所述栅介质层的底壁和所述第一沟槽的底壁之间设置有厚氧层。

[0025] 通过采用上述技术方案,设置厚氧层以使得位于第一沟槽底部的栅介质层能承受更高的电场,尽量避免第一沟槽底部栅介质层被电场击穿或损坏。

[0026] 可选的,所述缓冲层中沿所述第二沟槽轮廓表面设置有欧姆接触层,所述缓冲层的掺杂类型为轻掺杂,所述欧姆接触层的掺杂类型为重掺杂。

[0027] 通过采用上述技术方案,在缓冲层和漏极延伸层之间形成的PN结中,在承受反向电压时,由于重掺杂的欧姆接触层能够吸引/排斥电子,使缓冲层和漏极延伸层之间的PN结中的空间电荷区变宽,提升了器件的雪崩耐量能力。

[0028] 可选的,利用所述栅极的电场效应,来自所述源极金属层的电子流由所述有源层沿着所述第一沟槽的侧壁轮廓移动到所述漏极衬底,并经过所述漏极衬底到达所述漏极金属层。

[0029] 通过采用上述技术方案,利用所述栅极的电场效应,实现电子流在由源极金属层顶面至漏极金属层底面的流通过程中,电子流在位于所述处理表面的第一沟槽两侧分流并在位于所述漏极外延层的所述第一沟槽之间的分隔,尽量避免电子流如熔丝效应集中于漏极衬底的背面的局部区域而导致漏极衬底容易被烧毁的问题。

[0030] 第二方面,本申请还提供一种双梯形槽保护梯形槽碳化硅MOSFET器件的制造方法,包括以下步骤:

[0031] 提供漏极衬底,具有由漏极外延层提供的处理表面与对应的背面;

[0032] 在所述处理表面以离子注入方式使所述漏极外延层中从下往上依次形成漏极延伸层、沟道层和有源层;

[0033] 在所述处理表面刻蚀形成倒梯形切面的第一沟槽,以及在第一沟槽的两侧刻蚀形成水平对称的第二沟槽,所述第一沟槽的槽底和所述第二沟槽的槽底均止于所述漏极延伸层;

[0034] 在所述第一沟槽的轮廓表面以离子注入方式形成重定义沟道层,在所述第二沟槽的轮廓表面以离子注入方式形成沟道延伸层,使所述重定义沟道层、沟道延伸层的电性和所述沟道层的电性相同;

[0035] 在所述重定义沟道层的侧壁以离子注入方式截止段,所述截止段将所述重定义沟道层分为导电沟道段和隔离段,所述导电沟道段的电性、所述隔离段的电性和所述沟道层的电性相同,所述导电沟道段的电性和所述截止段的电性相反;

[0036] 在所述第一沟槽内淀积形成栅介质层,以使所述第一沟槽的内壁绝缘处理;

[0037] 在所述栅介质层中淀积形成栅极条,使所述栅极条相对于所述栅介质层具有裸露的外表面,所述外表面高于所述沟道层的顶面,所述外表面低于所述栅介质层的顶面;

[0038] 对准所述第一沟槽在所述栅极条上淀积层间膜条,以覆盖所述栅极条的外表面;

[0039] 在所述第二沟槽内注入离子,以形成缓冲层,所述缓冲层的电性和所述沟道层的电性相同;

[0040] 在所述处理表面上淀积金属形成源极金属层,且所述源极金属层在所述第二沟槽

内和所述缓冲层欧姆接触；

[0041] 在所述背面金属化漏极金属层。

[0042] 通过采用上述技术方案，利用刻蚀形成的倒梯形的第一沟槽和倒梯形的第二沟槽，减少半导体制程中在漏极外延层中填充厚氧层、栅介质层以及栅极条的工艺难度；同时，倒梯形的第一沟槽和倒梯形的第二沟槽还便于离子注入。

[0043] 可选的，在提供所述漏极衬底的步骤之后，还包括：

[0044] 在所述处理表面上淀积屏蔽氧化层，所述屏蔽氧化层的材质包括氧化硅，所述漏极外延层为导电型半导体晶圆；

[0045] 或/与，在形成沟道层和有源层的步骤中，包括：光刻定义漂移区域；之后在所述漂移区域内注入离子，以使所述沟道层的电性与所述漏极延伸层的电性相反；再光刻定义有源区域；然后在所述有源区域内注入离子，以使所述有源层的电性和所述沟道层的电性相反；最后淀积形成表面酸化膜；

[0046] 或/与，在刻蚀第一沟槽和第二沟槽的步骤中，包括：光刻定义第一沟槽和第二沟槽的刻槽区域；之后以电感耦合等离子体刻蚀所述处理表面，以形成垂直型沟槽，且垂直型沟槽的槽底止于所述漏极延伸层；再以热氯气体刻蚀所述垂直型沟槽的侧面，以形成倒梯形的第一沟槽和倒梯形的第二沟槽；

[0047] 或/与，在形成重定义沟道层和沟道延伸层的步骤中，包括：在MOSFET器件表面生长牺牲氧化层；之后在所述第一沟槽的轮廓表面的轮廓表面注入离子以形成重定义沟道层；然后在所述第二沟槽的轮廓表面的轮廓表面注入离子以形成沟道延伸层；再以热退火方式激活离子；

[0048] 或/与，在重定义沟道层中形成截止段的步骤中，包括：在碳化硅器件表面淀积高K介质形成厚氧层，所述高K介质为K值大于二氧化硅K值的介质；之后以淀积方式在所述高K介质上形成氮化硅介质层；再在所述第一沟槽内光刻定义氮化硅刻蚀区域，使所述氮化硅刻蚀区域能覆盖所述沟道层；然后在所述第一沟槽的一个侧壁或者两个侧壁上注入离子；最后以热退火方式激活离子；

[0049] 或/与，在形成栅介质层的步骤中，包括：去除氮化硅介质层，去除的方法包括化学机械研磨或/与回刻蚀；之后光刻保护位于所述截止段下方的所述厚氧层；再去除其他的所述厚氧层，去除的方法包括化学机械研磨或/与回刻蚀；在所述第一沟槽内的所述厚氧层光刻保护之后，以原子层淀积的方式、外延单晶硅并氧化的方式或者生长氧化层并注入离子的方式中的一种或者多种方式组合在碳化硅器件表面形成栅介质层；

[0050] 或/与，在形成栅极条的步骤中，包括：在碳化硅器件表面上淀积多晶硅薄膜；之后以刻蚀或/与化学机械研磨的方式，使位于所述第一沟槽内和所述第二沟槽内的所述栅极条的顶面高度低于所述栅介质层的顶面高度；

[0051] 或/与，在形成层间膜条的步骤中，包括：对准所述第一沟槽在所述栅极条上淀积绝缘介质，所述绝缘介质的材质为二氧化硅或者硼磷硅玻璃；之后光刻定义层间膜条刻蚀区域，使所述有源层能直接显露；再依次去除位于所述第二沟槽上方的所述层间膜条、所述栅极条和所述栅介质层，去除方式包括化学机械研磨或/与回刻蚀；

[0052] 或/与，在形成缓冲层的步骤之后，包括：在所述第二沟槽的轮廓表面向所述缓冲层内以离子注入方式形成高掺杂的欧姆接触层。

[0053] 通过采用上述技术方案,以相应的制备方法形成相应的结构,利用上述对应的特征达到如上所述相应的技术效果。

[0054] 综上所述,本申请包括以下至少一种有益技术效果:

[0055] 1. 设置倒梯形的第一沟槽以及嵌入第一沟槽内的栅极条,栅极条在第一沟槽内的两侧形成导电沟道段,电子流在第一沟槽两侧进行分散流动,并且设置倒梯形的第二沟槽,对电子流进行隔离,避免了电子流如熔丝效应集中于漏极衬底的背面的某个局部区域;

[0056] 2. 作为源极金属层接触孔的倒梯形的第二沟槽,增大了接触孔面积,因此提升了器件的散热性能和电流性能,使得导电沟道段的散热性能好,提升了短路耐量能力,倒梯形的栅极条提升了导电沟道段的电子迁移率,降低了导通电阻,因此导通特性优;

[0057] 3. 作为源极金属层接触孔的倒梯形的第二沟槽,第二沟槽下的重掺杂欧姆接触层,在器件承受反向电压时,能够吸收/释放更多的电子,使得缓冲层与漏极延伸层之间的PN结中的空间电荷区变宽,提高了器件的雪崩耐量能力;

[0058] 4. 在器件反向阻断时,电场全部集中在第一沟槽底部和第一沟槽两侧的PN结区域,第一沟槽底部的厚氧层与第二沟槽下的缓冲层的加入有利于减小第一沟槽底部的电场,以抵御反向击穿电压的电场,减少栅介质层承受的电场强度,保护栅介质层避免其被提前击穿,增加第一沟槽底部栅介质层的可靠性;

[0059] 5. 倒梯形的栅极条结构的设计有助于降低器件导通电阻和导通功耗,还可使器件具有较小的输入电容,提升器件开关速率,可有效节约器件面积,功率密度更大。

附图说明

[0060] 图1是本发明一较佳实施例中双梯形槽保护梯形槽碳化硅MOSFET器件在横切栅极条的局部结构示意图。

[0061] 图2是本发明一较佳实施例中双梯形槽保护梯形槽碳化硅MOSFET器件在使用状态中电子流流动示意图。

[0062] 图3是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中提供漏极衬底的示意图。

[0063] 图4是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在处理表面上注入离子形成沟道层的示意图。

[0064] 图5是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在处理表面上注入离子形成有源层的示意图。

[0065] 图6是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在处理表面上淀积形成表面酸化膜的示意图。

[0066] 图7是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在处理表面刻蚀形成第一沟槽和第二沟槽的示意图。

[0067] 图8是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中通过牺牲氧化层来注入离子形成重定义沟道层和沟道延伸层的示意图。

[0068] 图9是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在MOSFET器件上淀积形成厚氧层的示意图。

[0069] 图10是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过

程中在厚氧层上淀积形成氮化硅介质层的示意图。

[0070] 图11是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在第一沟槽内刻蚀离子注入区域的示意图

[0071] 图12是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在重定义沟道层的两侧上形成截止段的示意图。

[0072] 图13是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中保留截止段下方的厚氧层并去除其他厚氧层的示意图。

[0073] 图14是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在MOSFET器件上形成栅介质层的示意图。

[0074] 图15是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在栅介质层上淀积形成栅极层的示意图。

[0075] 图16是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中将栅介质层刻蚀形成栅极条的示意图。

[0076] 图17是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中是在MOSFET器件上淀积形成层间膜层的示意图。

[0077] 图18是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中将层间膜层刻蚀形成层间膜条并显露第二沟槽的示意图。

[0078] 图19是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在第二沟槽的表面注入离子形成缓冲层的示意图。

[0079] 图20是本发明一较佳实施例中制作双梯形槽保护梯形槽碳化硅MOSFET器件的过程中在第二沟槽的表面注入离子形成欧姆接触层的示意图。

[0080] 图21是本发明另一较佳实施例中双梯形槽保护梯形槽碳化硅MOSFET器件在横切栅极条的局部结构示意图。

[0081] 图22是本发明另一较佳实施例中双梯形槽保护梯形槽碳化硅MOSFET器件在使用状态中电子流流动示意图。

[0082] 附图标记说明：

[0083] 10、漏极衬底；11、漏极外延层；111、有源层；112、沟道层；113、漏极延伸层；12、处理表面；13、背面；14、漏极金属层；15、第一沟槽；16、第二沟槽；17、屏蔽氧化层；18、表面酸化膜；

[0084] 20、牺牲氧化层；21、厚氧层；22、氮化硅介质层；23、抗蚀剂层；

[0085] 30、栅介质层；31、栅极层；32、栅极条；33、层间膜层；34、层间膜条；

[0086] 40、重定义沟道层；41、沟道延伸层；42、导电沟道段；43、截止段；44、隔离段；

[0087] 50、缓冲层；51、欧姆接触层；

[0088] 60、源极金属层。

具体实施方式

[0089] 以下结合附图对本申请作进一步详细说明。

[0090] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是作为理解本发明的发明构思一部分实施例，而不能

代表全部的实施例,也不作唯一实施例的解释。基于本发明中的实施例,本领域普通技术人员在理解本发明的发明构思前提下所获得的所有其他实施例,都属于本发明保护的范围内。

[0091] 需要说明,若本发明实施例中有涉及方向性指示(诸如上、下、左、右、前、后……),则该方向性指示仅用于解释在某一特定姿态下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0092] 为了更方便理解本发明的技术方案,以下将本发明的双梯形槽保护梯形槽碳化硅MOSFET器件及制造方法做进一步详细描述与解释,但不作为本发明限定的保护范围。以下实施例中以N沟道型MOSFET表示,在不同示例变化上也可以调整为P沟道型MOSFET。并且,本领域技术人员应当知道说明书所指的源极与漏极是一种相对概念,不是绝对概念,在变化例具体应用中,示例的源极可以作为漏极连接使用,示例的漏极可以作为源极连接使用。当说明书中记载的源极作为源极连接,当说明书中记载的漏极必然作为漏极连接;当说明书中记载的源极作为漏极连接,当说明书中记载的漏极必然作为源极连接。为了方便理解本申请的技术方案,说明书与保护范围仍使用“源极”与“漏极”,实际上不限于源极与漏极,而是在使用上代表两个不同电位极的第一电极与第二电极。此外,说明书中记载的“反电极”即是与基础极相反的电极,例如在设置源漏极的极性时,若基础极是N型,则反电极是P型,反之亦然。

[0093] 图1绘示了本发明一较佳实施例中的双梯形槽保护梯形槽碳化硅MOSFET器件在横切栅极条32的局部结构示意图,图2绘示了本发明一较佳实施例中的双梯形槽保护梯形槽碳化硅MOSFET器件在使用状态下电子流向示意图,图3至图20绘示了本发明一较佳实施例中的双梯形槽保护梯形槽碳化硅MOSFET器件在制备过程中个别步骤的示意图,图21绘示本发明另一较佳实施例中的双梯形槽保护梯形槽碳化硅MOSFET器件在横切栅极条32的局部结构示意图,图22绘示了本发明另一较佳实施例中的双梯形槽保护梯形槽碳化硅MOSFET器件在使用状态下电子流向示意图。附图所示包括多个实施例具有共性的部分,变化例具有差异或区别的部分另以文字方式描述。因此,应当基于产业特性与技术本质,熟知本领域的技术人员应正确且合理的理解与判断以下所述的个别技术特征或其任意多个的组合是否能够表征到同一实施例,或者是多个技术本质互斥的技术特征仅能分别表征到不同变化实施例。

[0094] 参照图1,本发明实施例公开一种双梯形槽保护梯形槽碳化硅MOSFET器件,主要包括:漏极衬底10、设置于漏极衬底10下方的漏极金属层14,开设在漏极衬底10上且均呈倒梯形切面的第一沟槽15和第二沟槽16,设置于第一沟槽15内的栅极条32以及设置于漏极衬底10上的源极金属层60。通过栅极条32的电场作用,在第一沟槽15的两侧形成重定义沟道层40,以实现源极金属层60和漏极金属层14的导通,实现MOSFET器件电子流开关的基本功能。本实施例中,该MOSFET器件为N沟道MOSFET,在变化的实施例中,本领域的技术人员还可以调整为P沟道MOSFET。

[0095] 在漏极衬底10上同质外延生长形成漏极外延层11,漏极衬底10具有由漏极外延层11提供的处理表面12与对应的背面13。漏极金属层14由漏极外延层11提供的背面13金属化形成,在使用过程中以更好地实现漏极衬底10的与其他电子器件的电连接;具体地,将漏极衬底10的背面13处进行研磨处理,使其厚度变薄;然后淀积金属形成漏极金属层14。漏极衬

底10是由半导体材料制造而成的晶圆片,漏极衬底10可以直接进入晶圆制造环节生产半导体器件,也可以进行外延工艺加工生产漏极外延层11。漏极衬底10在MOSFET器件生产过程中提供支撑作用和适当的电学应用基础,其具有一定的导电性。漏极衬底10的材质可以为单晶硅、碳化硅、金属氧化物、第Ⅲ和第Ⅴ族化合物或者第Ⅱ和第Ⅵ族化合物,示例中选用碳化硅作为漏极衬底10的材料。且漏极衬底10为重N型掺杂。碳化硅是第三代半导体材料代表之一,是碳元素和硅元素形成的化合物,跟传统半导体材料硅相比,它具有高临界击穿电场、高电子迁移率等明显的优势,是制造高压、高温、高功率半导体器件的优良半导体材料。处理表面12是漏极衬底10在进行外延工艺后,进行后续工艺处理的表面,背面13是漏极衬底10相对于处理表面12的一个表面。漏极衬底10面晶向为(000-1),漏极外延层11和漏极衬底10具有适配的晶格结构,以更好地生长漏极外延层11。并且通过设置漏极外延层11的厚度和漏极外延层11的掺杂浓度,来使MOSFET器件具有不同的击穿电压。具体地,漏极外延层11的材质也为碳化硅,并且漏极外延层11为轻N型掺杂。

[0096] 在漏极外延层11中,从下往上依次形成漏极延伸层113、沟道层112和有源层111,其中,漏极延伸层113的离子注入电性和有源层111为同电性,漏极延伸层113的离子注入电性和沟道层112为反电性,以使漏极外延层11中在竖向方向上形成双向PN结隔离,有源层111和源极金属层60接触导通,通过在沟道层112中形成一个导电沟道,以实现MOSFET器件的电子流开关导通。具体地,漏极延伸层113为轻N型掺杂,沟道层112为轻P型掺杂,有源层111为重N型掺杂。

[0097] 在漏极外延层11提供的处理表面12上刻蚀形成第一沟槽15和第二沟槽16,第一沟槽15和第二沟槽16均为倒梯形状,第二沟槽16的数量为偶数个,且相邻的两个第二沟槽16之间设置一个第一沟槽15。示例中的第一沟槽15位于处理表面12的中部,第二沟槽16数量为两个,且水平对称分布在第一沟槽15的两侧。第一沟槽15和第二沟槽16的槽底止于漏极延伸层113中,即第一沟槽15与第二沟槽16的深度均超过有源层111和沟道层112的厚度,但不超过漏极外延层11的厚度。

[0098] 第一沟槽15内从下往上依次设置厚氧层21、栅介质层30和栅极条32。随着MOSFET器件的尺寸缩小,栅氧厚度和栅漏极间距进一步减小,栅漏电流急剧增加,通过增加栅介质层30和漏极金属层14之间的间距,降低栅漏电流。具体地,厚氧层21设置在第一沟槽15底部,并且厚氧层21与第一沟槽15底壁之间的厚度相对于与第一沟槽15侧壁之间的厚度更厚,进一步增加栅介质层30和漏极延伸层113之间的距离。厚氧层21可以用淀积高K介质的方式形成、可以用淀积二氧化硅的方式形成或者淀积单晶硅并通过热氧化的方式形成。本实施例中,厚氧层21的形成方式为淀积高K介质。高K介质为介电常数大于二氧化硅的介电常数的介质,例如 HfO_2 (二氧化铪)或者 ZnO_2 (过氧化锌)。高K介质能够在保持栅电容不变的同时,增加栅介质层30的物理厚度,达到降低栅漏电流和提高器件可靠性的双重目的。栅介质层30沿着厚氧层21的上表面以及第一沟槽15的两个侧壁形成一种倒梯形结构。栅极条32设置在栅介质层30所形成的倒梯形结构中,使得栅极条32形成嵌入结构,相对于栅介质层30具有一裸露的外表面。栅介质层30具有绝缘性,以隔离开栅极条32以及第一沟槽15的侧壁或者厚氧层21;栅介质层30可通过生长热氧化层的方式、原子层淀积高K介质的方式或者外延单晶硅氧化的方式中的一种或者多种方式形成。通过在栅介质层30上淀积多晶硅薄膜来形成栅极条32,栅极条32的裸露的外表面要低于栅介质层30的两端面并且要高于沟道层

112的顶面,栅极条32的底面低于沟道层112的下表面;具体地,栅介质层30的两端均延伸至有源层111靠近第一沟槽15侧壁的拐角处,栅介质层30底壁低于沟道层112的下表面,以使沟道层112中的电子能够完全处于栅极条32所形成的电场中,便于形成导电沟道。

[0099] 沿着第一沟槽15轮廓表面形成有重定义沟道层40,重定义沟道层40的顶端延伸至沟道层112的上表面,重定义沟道层40的低端延伸至漏极延伸层113中。重定义沟道层40在栅极条32的电场作用下导通有源层111和漏极,实现MOSFET器件的源极和漏极之间的导通。重定义沟道层40具有倒梯形结构,电子流从重定义沟道层40中流出时,电子流在漏极延伸层113中扩散范围小。在重定义沟道层40的两侧上对称设置有截止段43。截止段43将整个重定义沟道层40从下往上分为隔离段44和导电沟道段42,截止段43的顶部高于栅极条32的底部。截止段43的电性、漏极延伸层113的电性和有源层111的电性均相同,导电沟道段42的电性、沟道层112的电性和隔离段44的电性均相同。示例中,截止段43、源漏延伸层113和有源层111均为N型,导电沟道段42、沟道层112和隔离段44的电性均为P型。在栅极条31的电场作用下,导电沟道段42由P型导电类型转变为N型导电类型,以此实现有源层111和漏极延伸层113的导通,进而实现源极金属层60和漏极金属层14之间的导通。

[0100] 在栅极条32的上方,形成有层间膜条34。层间膜条34对准第一沟槽15并覆盖在栅极条32上,以完全包覆栅极条32,同时对栅极条32起到隔离的作用,有效隔离栅极条32和源极金属层60。层间膜条34的材质可以是PSG(磷硅玻璃)或BPSG(硼磷硅玻璃)。图中绘示的层间膜条34虽然只有一层,在不同变化示例中可以是多层叠加的绝缘结构。由于栅极条32的外表面低于栅介质层30的两端面,在形成层间膜条34时,层间膜条34下端部会嵌入到栅介质层30形成的倒梯形结构中,从而使栅极条32能够被栅介质层30和层间膜条34包覆的更加紧密,以避免在栅介质层30和层间膜条34密封处,由于制作工艺的问题,栅极条32可能会和源极金属层60导通导致MOSFET器件的栅极和源极电性短路。被嵌埋在栅介质层30和层间膜条34中的栅极条32可以利用自身的端部延伸至MOSFET器件封装外作为MOSFET的栅极端,也可以连接引线到MOSFET器件封装外,还可以在源极金属层60上以导电栓柱贯穿源极金属层60和层间膜条34并电性连接到栅极条32上,因此栅极条32的场电位可以独立调整。

[0101] 源极金属层60形成在处理表面12上,并延伸至第二沟槽16中。倒梯形的第二沟槽16增加了漏极延伸层113和源极金属层60的接触面积,使得器件散热效果更好,提升了短路耐量。在第二沟槽16内形成有缓冲层50,缓冲层50和源极金属层60欧姆接触。缓冲层50的电性和漏极延伸层113的电性相反,缓冲层50和漏极延伸层113之间形成PN结效应,以使得源极金属层60和之间漏极金属层14之间存在单向导通特性,防止在使用过程中,MOSFET器件因过压而被烧坏;同时,在应用电路中存在反向感生电压时,为反向感生电压提供通路,避免反向感生电压击穿MOS管。

[0102] 具体地,在缓冲层50中沿着第二沟槽16轮廓表面还形成有欧姆接触层51,缓冲层50为轻P型掺杂,欧姆接触层51为重P型掺杂。重P型掺杂的欧姆接触层51能够 and 源极金属层60有更好的欧姆接触;除此之外,重P型掺杂的欧姆接触层51对漏极延伸层113中游离的自由电子有更强的吸引作用力,使得缓冲层50和漏极延伸层113之间形成的PN结中的空间电荷区变厚,增加了雪崩耐量能力。

[0103] 在MOSFET器件导通过程中,缓冲层50和欧姆接触层51还起到隔离栅的作用;当电子流沿着重定义沟道层40从截止段43进入漏极延伸层113时,缓冲层50、欧姆接触层51以及

重定义沟道层40中的隔离段44对电子流起到限制作用,限制电子流在漏极延伸层113中的水平漂移,以使电子流能够较快的到达漏极衬底10,提高导通特性。

[0104] 除此之外,在MOSFET器件阻断时,即第一沟槽15两侧的重定义沟道层40没有电子流时,由于源极金属层60接低电平,漏极金属层14接高电平,漏极金属层14和源极金属层60之间形成电场,并且源极金属层60和欧姆接触层51之间是欧姆接触,漏极延伸层113中的电子会在电场作用下流向重P型掺杂的欧姆接触层51,从而降低缓冲层50和漏极延伸层113之间形成的PN结附近的电子浓度,使得PN结中的空间电荷区变宽,进一步增加了MOSFET器件的雪崩耐量能力。

[0105] 参照图2,在较佳示例的使用过程,利用所述栅极条32的电场效应,来自所述源极金属层60的电子流由所述第一沟槽15的侧边分流沿着所述重定义沟道层40移动到所述漏极延伸层113中,均匀分布在所述漏极外延层11的所述背面13或导通至该背面13的漏极金属层14,减少电子流全部汇聚在一点导致漏极衬底10容易被烧毁。利用所述栅极条32的电场效应,实现电子流由顶面至底面的过程中,在处理表面12上的第一沟槽15两侧分流并在所述漏极延伸层113之间的分隔均匀化。

[0106] 本申请实施例的实施原理为:利用倒梯形的第一沟槽15和倒梯形的第二沟槽16,使得设置于第一沟槽15内的栅极条32在第一沟槽15底部的电场变小,增加了设置于栅极条32和第一沟槽15之间的栅介质层30的可靠性,提升了MOSFET器件的可控性。在第二沟槽16内设置缓冲层50,使得源极金属层60和漏极衬底10之间具有PN结效应,倒梯形的第二沟槽16增加了源极金属层60的散热效果。在第一沟槽15底部设置厚氧层21,增加了栅极条32和漏极衬底10之间的距离,减少栅漏之间由于较高电压差导致器件不可控。在第一沟槽15的侧壁处形成两个重定义沟道层40,以导通有源层111和漏极延伸层113,实现MOSFET器件的源极和漏极导通,其中,重定义沟道层40的顶部延伸至有源层111,使得导通电子流在第一沟槽15两侧均匀化,避免电子流全部汇聚在一起容易烧毁漏极衬底10。

[0107] 在导通时,源极金属层60接低电平,漏极金属层14接高电平,通过在栅极条上施加高于源极金属层的电平,使得重定义沟道层40中从上往下形成导电沟道段42、截止段43和隔离段44,在栅极条32的电场作用下,电子流从源极金属层60流至有源层111中并进入导电沟道段42;由于截止段43和隔离段44之间形成PN结效应,在PN结的内建电场的作用下,电子流最终从截止段43处于栅极条32的底面处扩散至漏极延伸层113中;并且隔离段44和缓冲层50之间是同电性,抑制了电子流在漏极延伸层113中的水平扩散,使得电子流能更快地到达漏极衬底10或漏极金属层14,提升了导通特性。

[0108] 参阅图3至图20,本发明一较佳实施例还提出一种双梯形槽保护梯形槽碳化硅MOSFET器件制作方法,用于制作上述任意技术方案组合的双梯形槽保护梯形槽碳化硅MOSFET器件,工艺步骤如下。

[0109] 参照图3,对应步骤S1是提供漏极衬底10,具有由漏极外延层11提供的处理表面12与对应的背面13。该步骤中,漏极衬底10通常为晶圆形态,具体是碳化硅晶圆。在漏极衬底10上偏轴 $4^{\circ}\sim 8^{\circ}$ 生长漏极外延层11,以利于漏极外延层11和漏极衬底10晶向结构的结合,漏极外延层11为导电型半导体晶圆,具体是碳化硅晶圆。漏极外延层11提供的处理表面12作为工艺制作步骤中经常需要进行处理的表面,而背面13则是漏极衬底10相对于处理表面12对立的一个表面。在提供漏极衬底10步骤之后,在处理表面12上以LPCVD(Low Pressure

Chemical Vapor Deposition, 低压力化学气相沉积法) 淀积二氧化硅以形成屏蔽氧化层 17, 厚度在 300~18kÅ, 具有硬掩膜的作用。示例中, 漏极外延层 11 和漏极衬底 10 是同质外延, 均为 N 型半导体; 且漏极衬底 10 为重 N 型掺杂, 漏极外延层 11 为轻 N 型掺杂。

[0110] 参照图 4 和图 5, 在所述处理表面 12 以离子注入方式使所述漏极外延层 11 中从下往上依次形成漏极延伸层 113、沟道层 112 和有源层 111。对应步骤 S2 是在所述处理表面 12 以离子注入方式在漏极外延层 11 中形成沟道层 112; 对应步骤 S3 是在所述处理表面 12 以离子注入方式在所述沟道层 112 中形成有源层 111。步骤 S2 中的次步骤包括: S21、光刻定义沟道层 112 区域和防护圈区域。S22、在所述漂移区域内注入离子, 以使所述沟道层 112 的电性与所述漏极延伸层 113 的电性相反。具体地, 光刻显影后使用 Al 离子注入以形成沟道层 112; Al 离子注入时温度范围在 400~500°C, 注入能量在 30~400keV, 注入 Al 离子时可包含多次注入, 注入剂量为 $10^{13} \sim 9 \times 10^{14}$ ions/cm²; 也可以在 25°C 注入, 注入能量在 30~400keV, 注入 Al 离子时可包含多次注入, 注入剂量为 $10^{13} \sim 9 \times 10^{14}$ ions/cm²。步骤 S3 中的次步骤包括: S31、光刻定义有源层 111 区域。S32、在所述有源区域内注入离子, 以使所述有源层 111 的电性和所述沟道层 112 的电性相反。具体地, 光刻显影后注入 N 离子, 注入能量在 30~190keV, 注入 N 离子时可包含多次注入, 注入剂量为 $10^{13} \sim 9 \times 10^{15}$ ions/cm²。

[0111] 参照图 6, 作为一个选置步骤 S4, 在漏极外延层 11 中形成有源层 111 后, 还包括: 在所述处理表面 12 上形成酸化膜。具体地, 在处理表面 12 上以 LPCVD 淀积二氧化硅以形成硬掩膜, 硬掩膜的厚度在 5000~30000Å。

[0112] 参照图 7, 对应步骤 S5 是在所述处理表面 12 刻蚀形成倒梯形切面的第一沟槽 15, 以及在第一沟槽 15 的两侧刻蚀形成水平对称的第二沟槽 16, 所述第一沟槽 15 的槽底和所述第二沟槽 16 的槽底均止于所述漏极延伸层 113。在刻蚀形成第一沟槽 15 和第二沟槽 16 的步骤中, 包括: S51、光刻定义第一沟槽 15 和第二沟槽 16 的刻槽区域。S52、以电感耦合等离子体刻蚀所述处理表面 12, 以形成垂直型沟槽, 且垂直型沟槽的槽底止于所述漏极延伸层 113。具体地, 第一沟槽 15 和第二沟槽 16 的深度在 0.5~2μm, 刻蚀气体为 SF₆ (六氟化硫) + O₂ 或者 SF₆。S53、以热氯气体刻蚀所述垂直型沟槽的侧面, 以形成倒梯形的第一沟槽 15 和倒梯形的第二沟槽 16。具体地, 刻蚀气体包括但不限于 Cl₂、BCl₃、SF₆ 或者 CF₄ 其中任意一种和 O₂ 的混合气体, 刻蚀温度在 700~1000°C, 并且 O₂ 的流速是 Cl₂、BCl₃、SF₆ 或者 CF₄ 其中任意一种气体的流速的 0.5~1 倍, 最终将垂直型的第一沟槽 15 和第二沟槽 16 刻蚀形成倒梯形的第一沟槽 15 和第二沟槽 16, 第一沟槽 15 和第二沟槽 16 的侧面相对于漏极衬底 10 底面之间的夹角呈 50~70°。

[0113] 参照图 8, 对应步骤 S6 是在所述第一沟槽 15 的轮廓表面形成重定义沟道层 40, 在所述第二沟槽 16 的轮廓表面形成沟道延伸层 41。在形成重定义沟道层 40 和沟道延伸层 41 的步骤中, 包括: S61、在 MOSFET 器件表面生长牺牲氧化层 20, 牺牲氧化层 20 在形成重定义沟道层 40 之后去除, 去除方式包括化学剂腐蚀。S62、是在所述第一沟槽 15 的轮廓表面以离子注入方式形成重定义沟道层 40, 在所述第二沟槽 16 的轮廓表面以离子注入方式形成沟道延伸层 41, 使所述重定义沟道层 40、沟道延伸层 41 和所述沟道层 112 的电性相同。具体地, 使用 Al 离子注入以形成重定义沟道层 40; Al 离子注入时温度范围在 400~500°C, 注入能量在 30~400keV, 注入 Al 离子时可包含多次注入, 注入剂量为 $10^{12} \sim 9 \times 10^{12}$ ions/cm²; 也可以在 25°C 注入, 注入能量在 30~400keV, 注入 Al 离子时可包含多次注入, 注入剂量为 $10^{12} \sim 9 \times 10^{13}$ ions/cm²; 注入 Al 离子时, Al 离子的注入方向为从第一沟槽 15 或者第二沟槽 16 的开口处向第一沟

槽15或者第二沟槽16的侧壁和底壁,A1离子的注入方向与垂直第一沟槽15或者第二沟槽16的底壁方向之间呈 $0^{\circ}\sim 40^{\circ}$ 夹角,注入深度为 $0.1\sim 0.5\mu\text{m}$ 。S63、以热退火方式激活离子。具体地,在 $1500\sim 1800^{\circ}\text{C}$ 的温度下退火使A1离子激活,退火的时间为 $10\sim 60\text{min}$,退火的氛围为氮气或氩气。

[0114] 参照图9,作为一个选置步骤S7,在形成重定义沟道层40之后,在MOSFET器件表面形成厚氧层21。具体地,形成厚氧层21的方式可以是淀积高K介质,所述高K介质为K值大于二氧化硅K值的介质,例如 HfO_2 或者 ZnO_2 ;可以是淀积二氧化硅;也可以是淀积单晶硅然后经热氧化处理。最终形成的厚氧层21位于第一沟槽15底部或者第二沟槽16底部的厚度要厚于位于第一沟槽15侧壁或者第二沟槽16侧壁的厚度。

[0115] 参照图10,作为一个选置步骤S8,在形成厚氧层21之后,在厚氧层21表面形成氮化硅介质层22。具体地,氮化硅介质层22的厚度在 $2000\sim 10000\text{\AA}$ 。

[0116] 参照图11,作为一个选置步骤S9,在形成氮化硅介质层22之后,包括:S91、在氮化硅介质层22上图案化形成抗蚀剂层23。S92、通过抗蚀剂层23光刻定义氮化硅刻蚀区域。具体地,在氮化硅介质层22位于第一沟槽15的侧壁上对称刻蚀,以形成离子注入区域,便于在重定义沟道层40形成截止段43。其中,氮化硅刻蚀区域刻蚀的厚度不超过氮化硅在第一沟槽15侧壁的厚度,以避免重定义沟道层40直接显露出来。

[0117] 参照图12,对应步骤S10是在第一沟槽15侧壁的重定义沟道层40内形成截止段43。所述截止段43将所述重定义沟道层40分为导电沟道段42和隔离段44,且所述导电沟道段42、所述隔离段44和所述沟道层112的电性相同,所述导电沟道段42的电性和所述截止段43的电性相反。具体地,向离子注入区域内注入N离子,注入能量在 $30\sim 400\text{keV}$,注入N离子时可包含多次注入,注入剂量为 $10^{12}\sim 9\times 10^{14}\text{ions}/\text{cm}^2$ 。N离子的注入方向与垂直第一沟槽15的底壁方向之间呈 $20^{\circ}\sim 40^{\circ}$ 夹角,在重定义沟道层40位于第一沟槽15的两个侧壁中均形成截止段43,截止段43将整个重定义沟道层40从下往上分为隔离段44和导电沟道段42。截止段43中的离子掺杂类型可以是中N型掺杂、重N型掺杂或者轻N型掺杂。第一沟槽15的底部四周的隔离段44仍为P型区域。

[0118] 参照图13和图14,在MOSFET器件上形成栅介质层30,以使所述第一沟槽15的内壁绝缘处理,避免栅极条32与漏极衬底10之间形成电性导通。

[0119] 作为一个选置步骤S11,在重定义沟道层40内形成截止段43之后,包括:S111、激活N离子,具体地,在 $1100\sim 1200^{\circ}\text{C}$ 的温度下退火使N离子激活。S112、在所述厚氧层21上去除氮化硅介质层22,去除方法包括化学机械研磨或/与回刻蚀。S113、光刻保护位于所述截止段43下方的所述厚氧层21,然后去掉其它部位的厚氧层21。

[0120] 作为一个选置步骤S12,在MOSFET器件上形成栅介质层30。具体地,栅介质层30的形成方式包括以下任意一种次步骤:S121、以原子层淀积的方式形成栅介质层30;具体地,通过淀积高K介质,高K介质包括但不限于 HfO_2 、 ZnO_2 或者 Al_2O_3 。高K介质淀积厚度在 $400\sim 1200\text{\AA}$ 。S122、外延单晶硅并氧化的方式形成栅介质层30;具体地,在MOSFET器件上外延单晶硅,然后在 $600\sim 800^{\circ}\text{C}$ 温度范围内对单晶硅进行氧化处理,最终形成氧化层的厚度在 $400\sim 1200\text{\AA}$ 之间。S123、生长氧化层并注入离子的方式形成栅介质层30;具体地,在 $1100\sim 1400^{\circ}\text{C}$ 温度范围内通氧气生长热氧化层,然后在 $1100\sim 1300^{\circ}\text{C}$ 温度范围内进行N元素或P元素下进行退火,最后在高于或等于 $1100\sim 1300^{\circ}\text{C}$ 温度范围内进行氩气退火。最终形成栅介质层30

厚度为400~1200Å。

[0121] 参照图15和图16,在所述栅介质层30中淀积形成栅极条32,使所述栅极条32相对于所述栅介质层30具有裸露的外表面,所述外表面高于所述沟道层112的底面,所述外表面低于所述栅介质层30的顶面。

[0122] 对应步骤S13是在栅介质层30上形成栅极层31。具体地,在栅介质层30上形成栅极层31包括用LPCVD方式进行多晶硅淀积,通过原位方式掺杂或注入掺杂离子,以降低MOSFET器件在使用时栅极电压的分布,掺杂浓度 $10^{18} \sim 10^{21}$ ions/cm³,最终形成的多晶硅厚度为1000~15000Å。

[0123] 对应步骤S14是刻蚀栅极层31形成栅极条32。具体地,对处于处理表面12上方的栅极层31进行刻蚀,使所述外表面高于所述沟道层112的底面,以及所述外表面低于所述栅介质层30的顶面。刻蚀方法包括化学机械研磨或/与回刻蚀,最终使得栅极条32具有相对于栅介质层30裸露的外表面,且外表面低于栅介质层30顶面10~1000Å。

[0124] 参照图17和图18,对准所述第一沟槽15在所述栅极条32上淀积层间膜条34,以覆盖所述栅极条32的外表面。对应步骤S15是在处理表面12上形成层间膜层33以覆盖栅极条32的外表面。具体地,在栅极条32上方淀积介质形成层间膜层33,介质包括但不限于PSG或BPSG。

[0125] 对应步骤S16是定向刻蚀层间膜层33以形成对准栅极条32的层间膜条34。具体地,形成层间膜条34的次步骤包括:S161、光刻定义刻蚀区域。S162、去除位于第二沟槽16上方的层间膜层33。S163、去除位于第二沟槽16内的栅极条32。S164、去除位于第二沟槽16内的厚氧层21,以显露出第二沟槽16表面。以上步骤中的去除方法包括化学机械研磨或/与回刻蚀。

[0126] 参照图19和图20,在所述第二沟槽16内注入离子,以形成缓冲层50,所述缓冲层50的电性和所述沟道层112的电性相同,在所述缓冲层50中沿着所述第二沟槽16轮廓表面注入离子,以形成欧姆接触层51。

[0127] 参照图18和图19,对应步骤S17是在所述第二沟槽16的轮廓表面以离子注入方式形成低掺杂的缓冲层50,所述缓冲层50完全覆盖所述沟道延伸层41,且缓冲层50的厚度要厚于沟道延伸层41。具体地,使用Al离子注入以形成缓冲层50;Al离子注入时温度范围在400~500℃,注入方向为垂直第二沟槽16的底壁,注入能量在30~400keV,注入Al离子时可包含多次注入,注入剂量为 $10^{13} \sim 9 \times 10^{14}$ ions/cm²;也可以在25℃注入,注入能量在30~400keV,注入Al离子时也可包含多次注入,注入剂量为 $10^{13} \sim 9 \times 10^{14}$ ions/cm²。

[0128] 参照图20,对应步骤S18是在所述缓冲层50中沿着所述第二沟槽16的轮廓表面向所述缓冲层50内以离子注入方式形成高掺杂的欧姆接触层51。具体地,继续使用Al离子注入以形成欧姆接触层51;Al离子注入时温度范围在400~500℃,注入方向为与垂直第二沟槽16的底壁的方向呈0~40°夹角,注入能量在30~190keV,注入Al离子时可包含多次注入,注入剂量为 $10^{14} \sim 10^{15}$ ions/cm²。

[0129] 参照图1,对应步骤S19是在所述处理表面12上淀积金属形成源极金属层60,且所述源极金属层60在所述第二沟槽16内和所述缓冲层50欧姆接触。具体地,在器件表面上淀积金属,经热退火后形成欧姆接触。淀积金属的材质包括但不限于Al、AlCu(铜铝合金)或者AlSiCu(铝硅铜合金),最终形成的源极金属层60厚度为1~10μm。

[0130] 继续参照图1,对应步骤S20是在所述背面13金属化形成漏极金属层14。具体地,将漏极衬底10减薄,减薄的方式包括化学机械研磨或/与回刻蚀;对处于背面13的漏极衬底10进行金属化以形成漏极金属层14。

[0131] 本申请方法实施例的实施原理为:位于处理表面12上的源极金属层60以及嵌埋于倒梯形的第一沟槽15中的栅极条32,建立了沿第一沟槽15侧壁的重定义沟道层40,使得MOSFET器件为上下板电位导通结构,电子流能均匀输出(或输入)在漏极金属层14,当MOSFET器件安装在载板上即完成漏极接触连接,能节省一个电极位的连接操作。电子流由有源层111进入第一沟槽15的两端进行分流,在栅极条32的电场效应下,第一沟槽15两端的重定义沟道层40导通,到达漏极衬底10,以形成较均匀的电子流分布,适用于半导体高功率器件的应用。

[0132] 参照图21和图22,与第一变化实施例不同之处在于,截止段43设置在重定义沟道层40中的任意一侧。

[0133] 本申请实施例的实施原理为:在栅极条32的电场作用下,电子流从源极金属层60流至有源层111中并进入导电沟道段42;重定义沟道层40的其中一侧设置有截止段43,由于截止段43和隔离段44之间形成PN结效应,在PN结的内建电场的作用下,电子流最终从截止段43处于栅极条32的底面处扩散至漏极延伸层113中;而位于重定义沟道层40的另一侧,电子流从有源层111中直接流入到隔离段44中,电子流从沟道层112和漏极延伸层113接触的拐角处扩散至漏极延伸层113中;由于底部的隔离段44和沟道层112之间是同电性,能够保证隔离段44的电位不浮空,增加MOSFET器件的可控性。并且隔离段44和靠近截止段43的缓冲层50之间是相同电位,更好地抑制了电子流从截止段43流出并在漏极延伸层113中的水平扩散。

[0134] 以上均为本申请的较佳实施例,并非依此限制本申请的保护范围,故:凡依本申请的结构、形状、原理所做的等效变化,均应涵盖于本申请的保护范围之内。

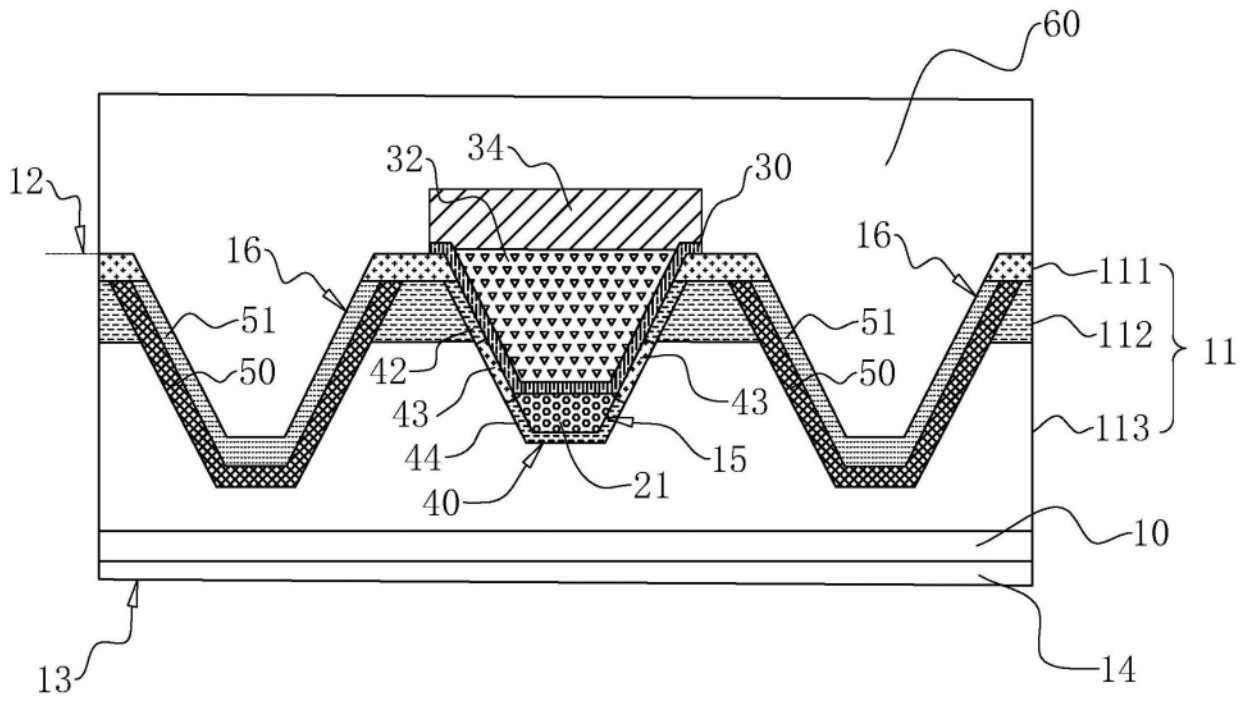


图1

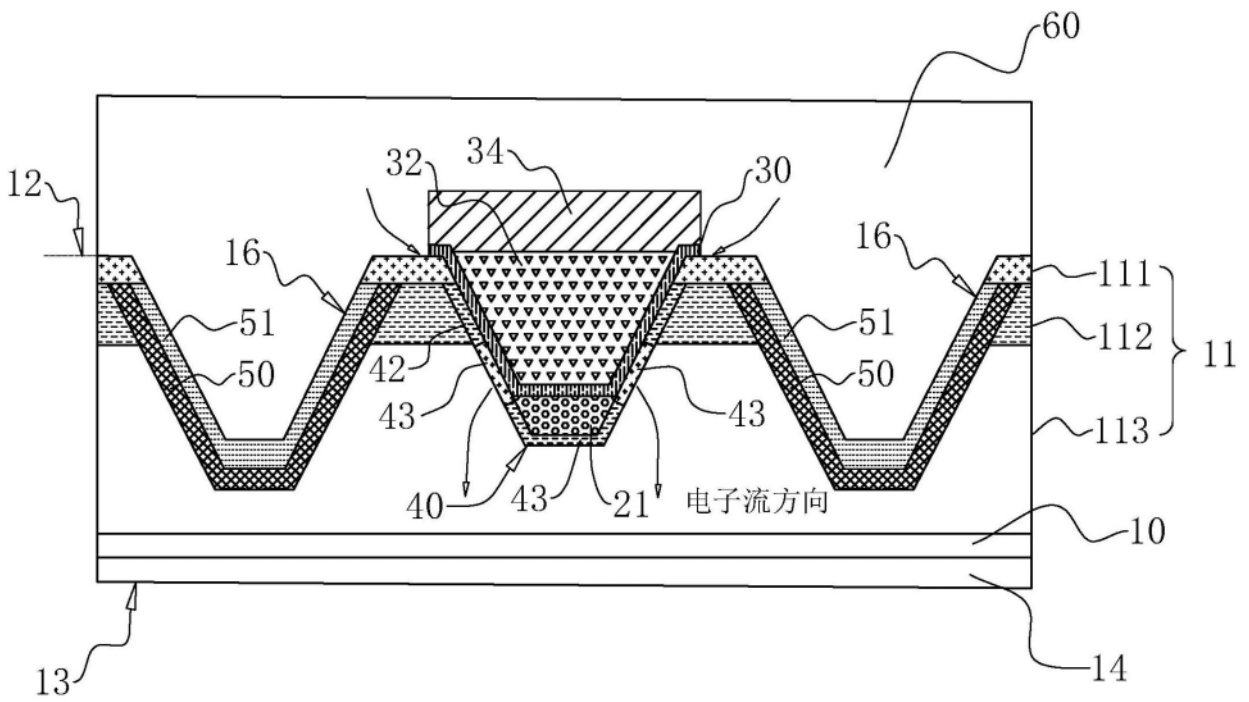


图2

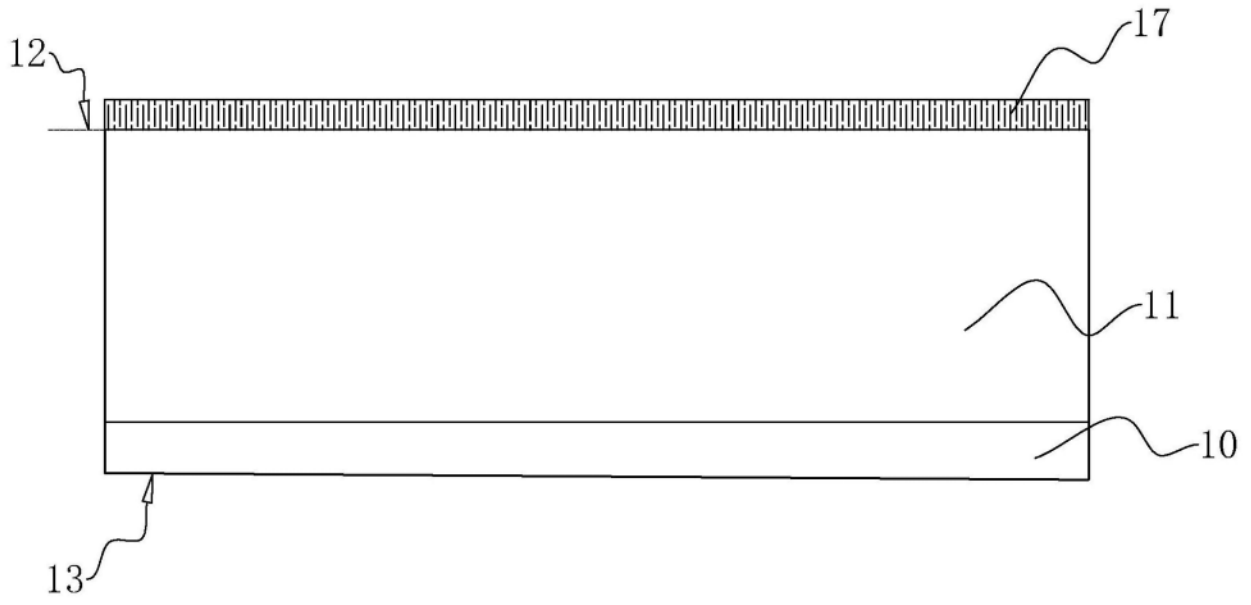


图3

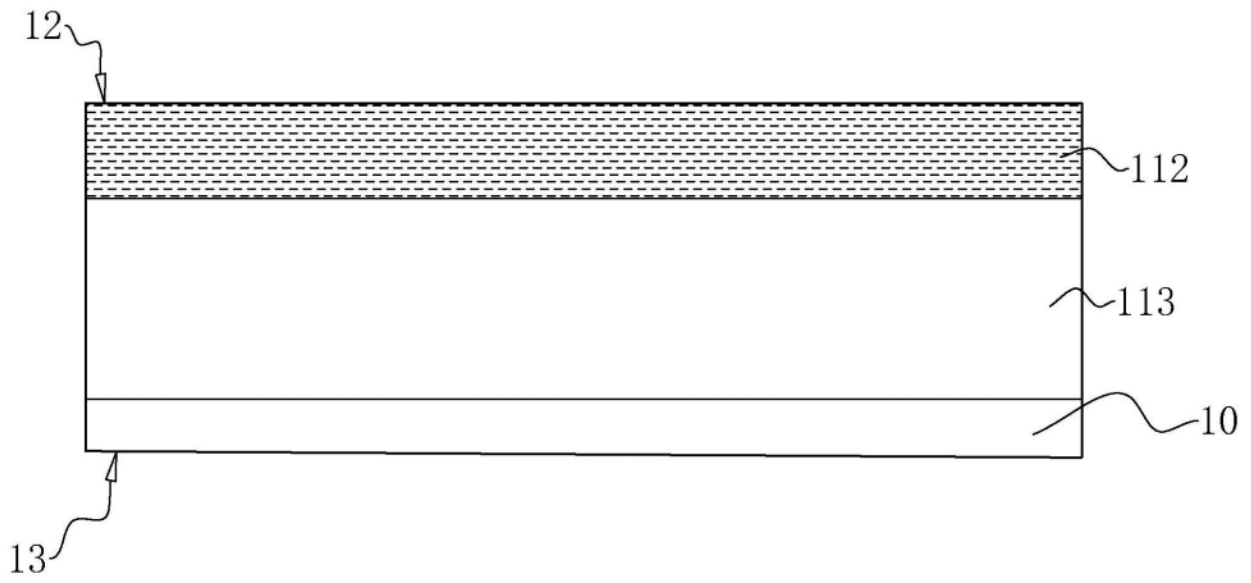


图4

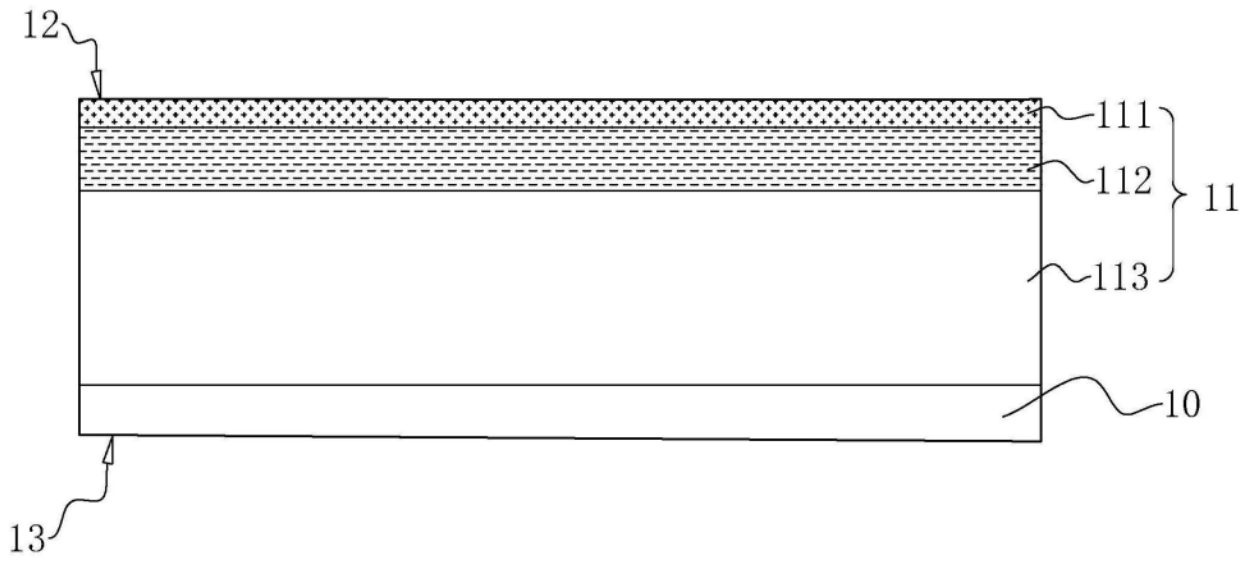


图5

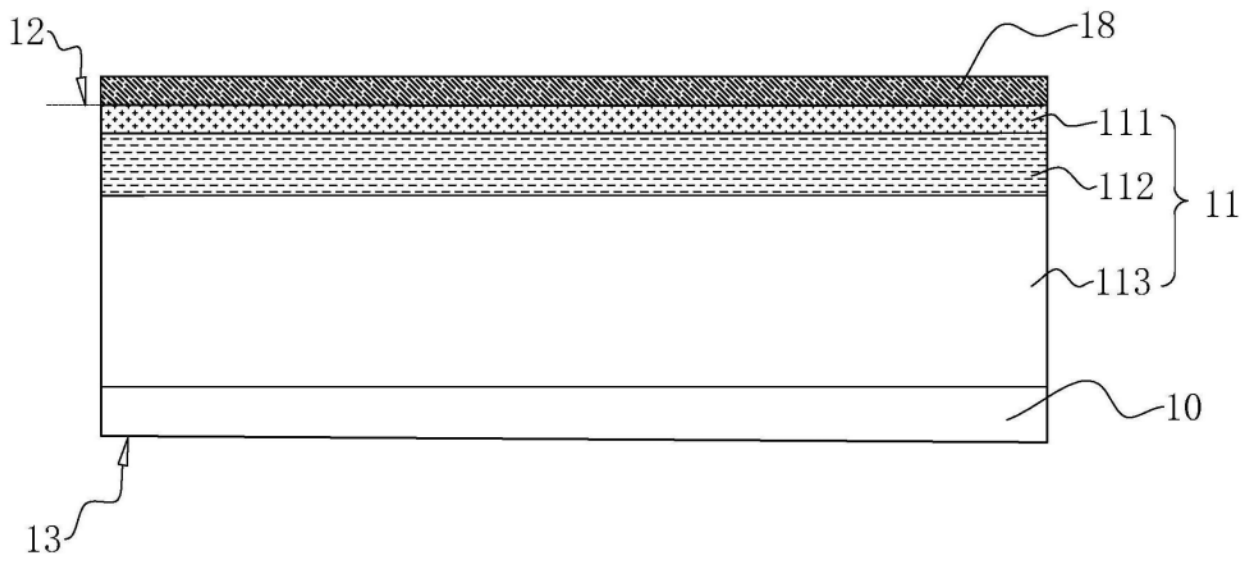


图6

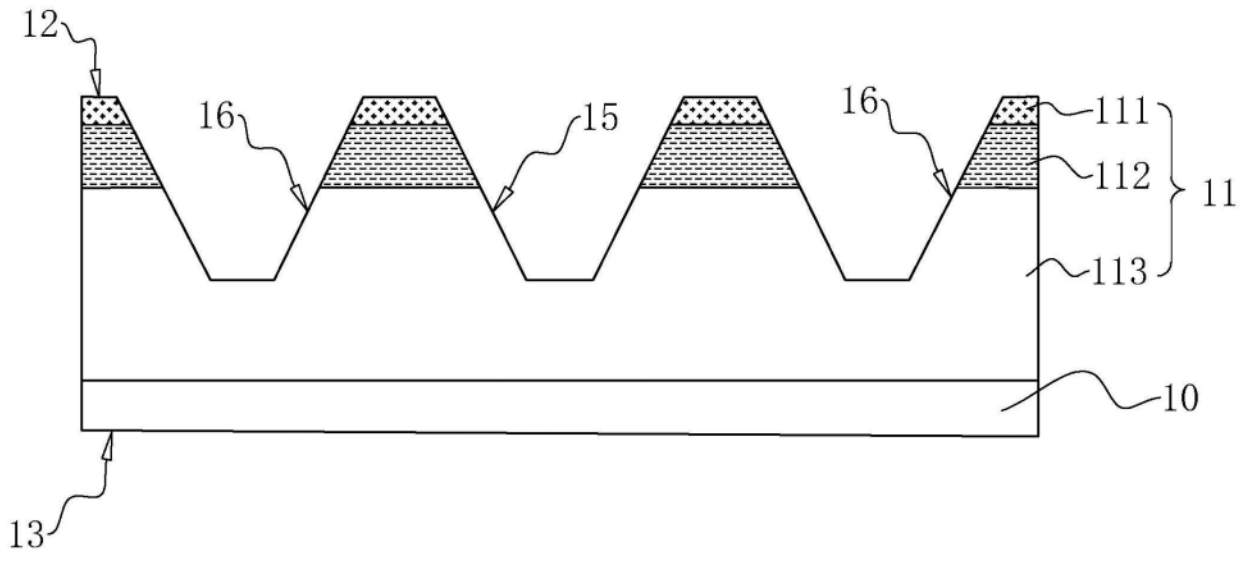


图7

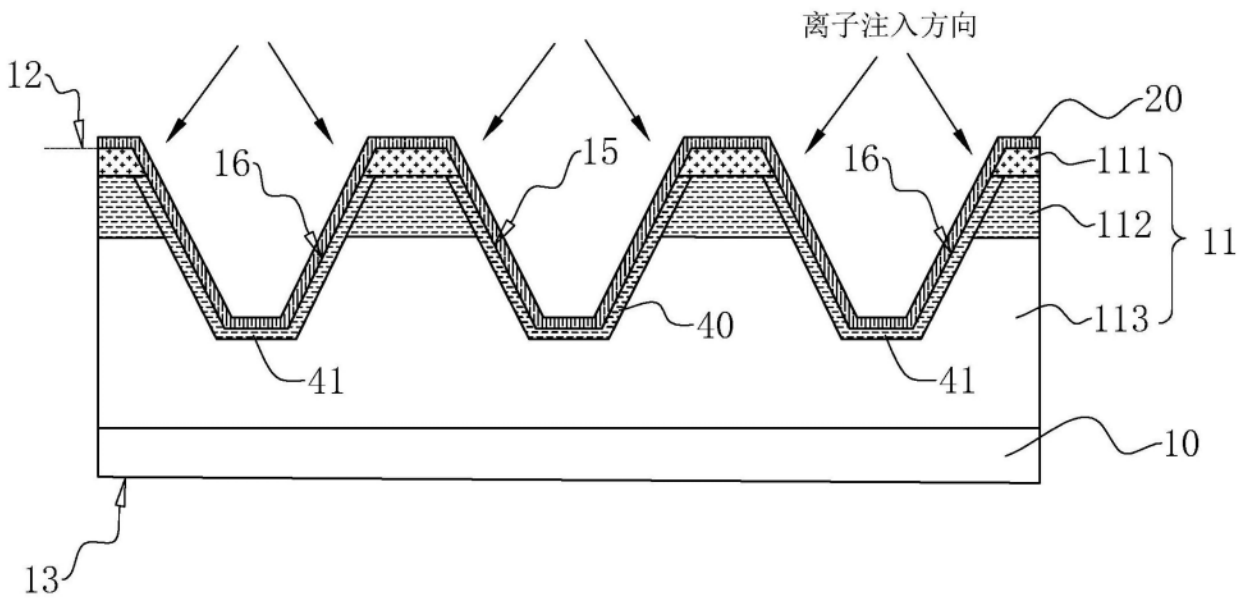


图8

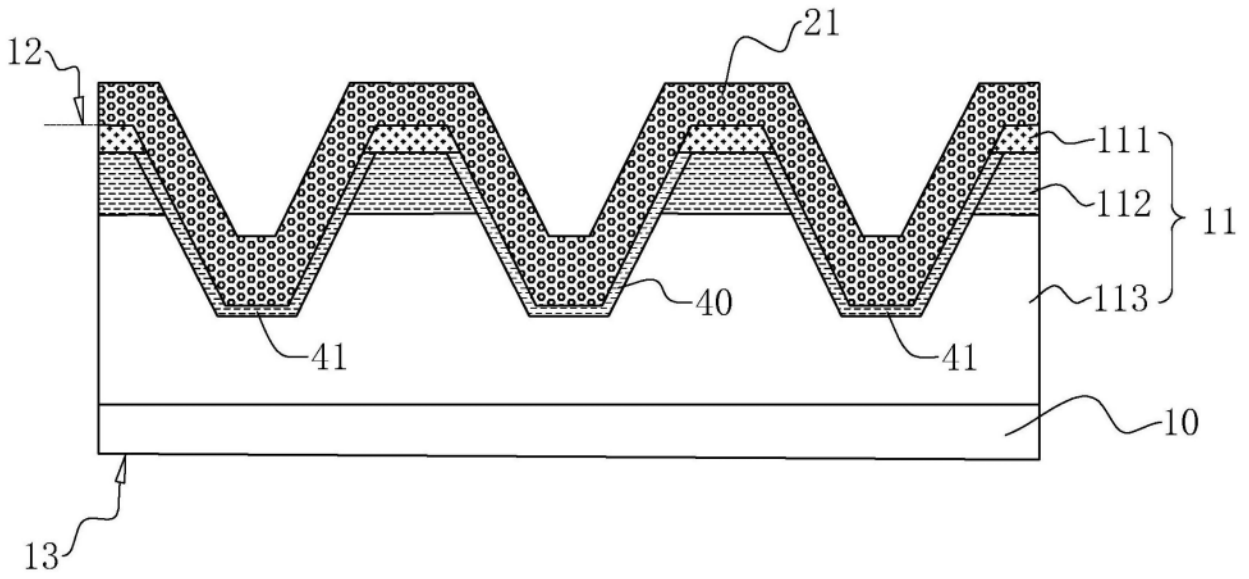


图9

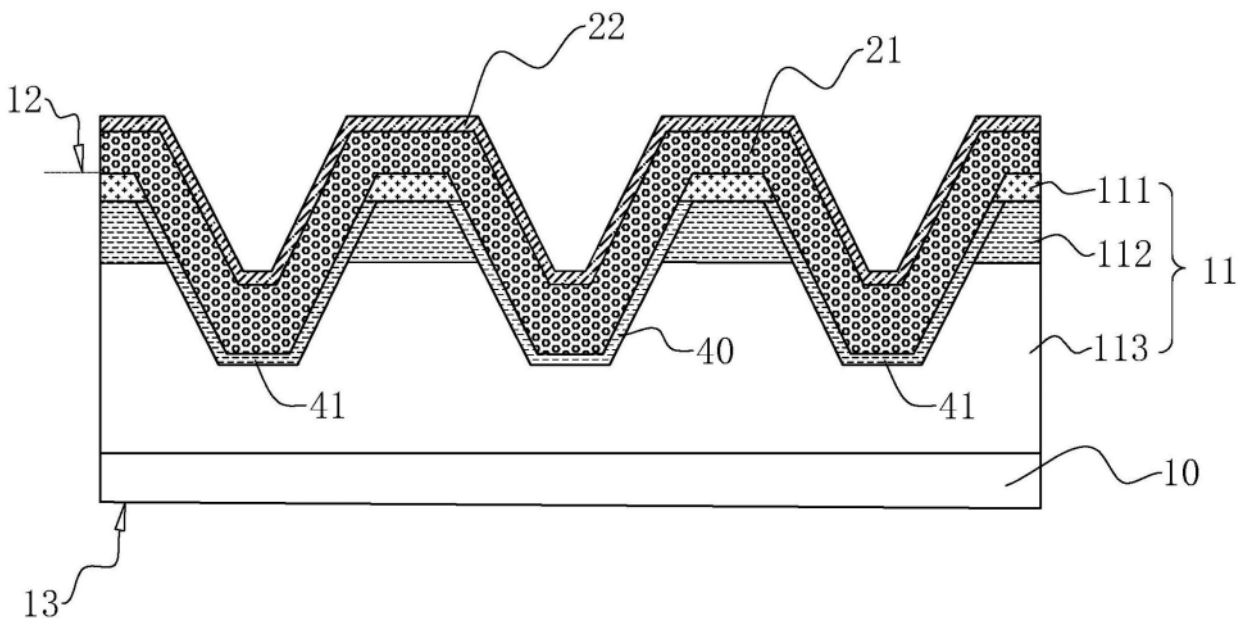


图10

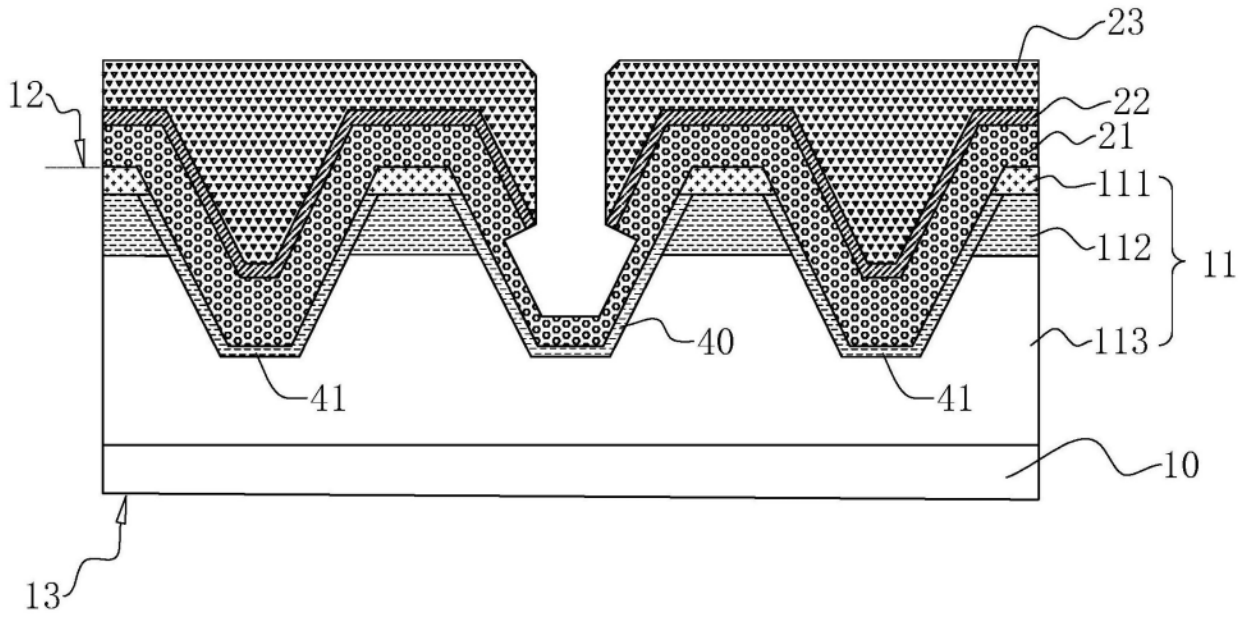


图11

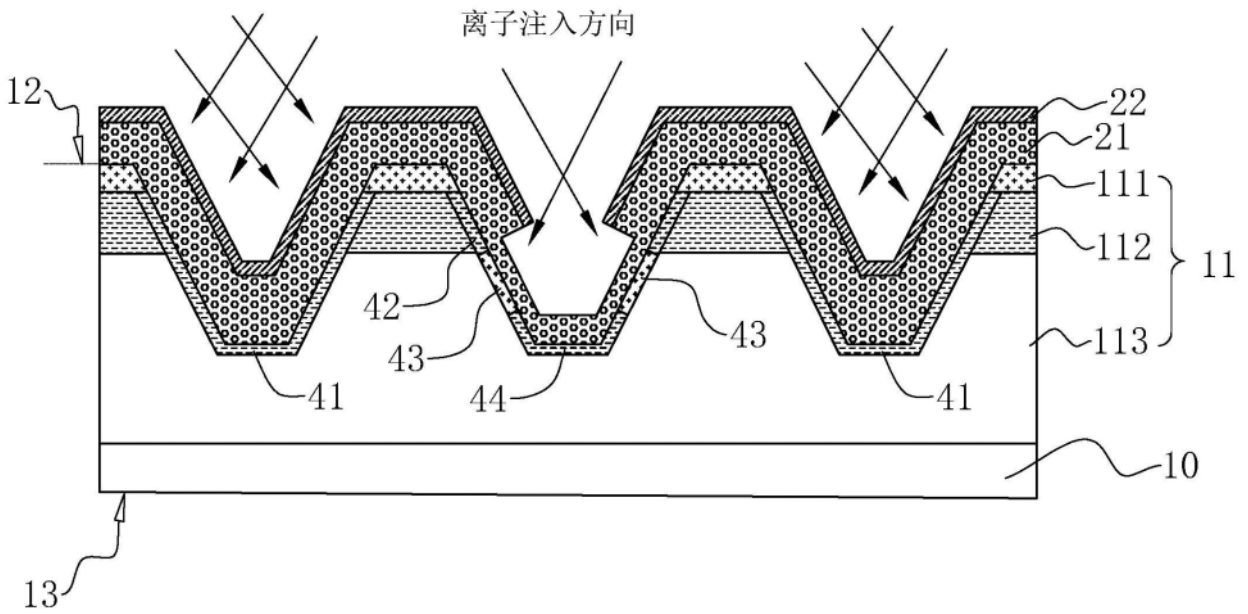


图12

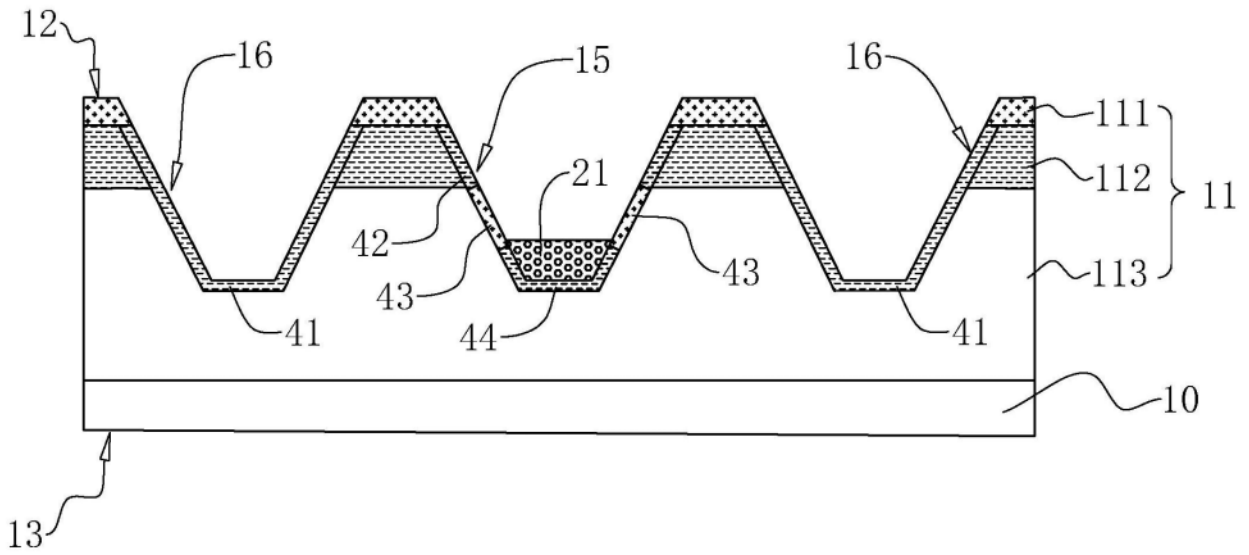


图13

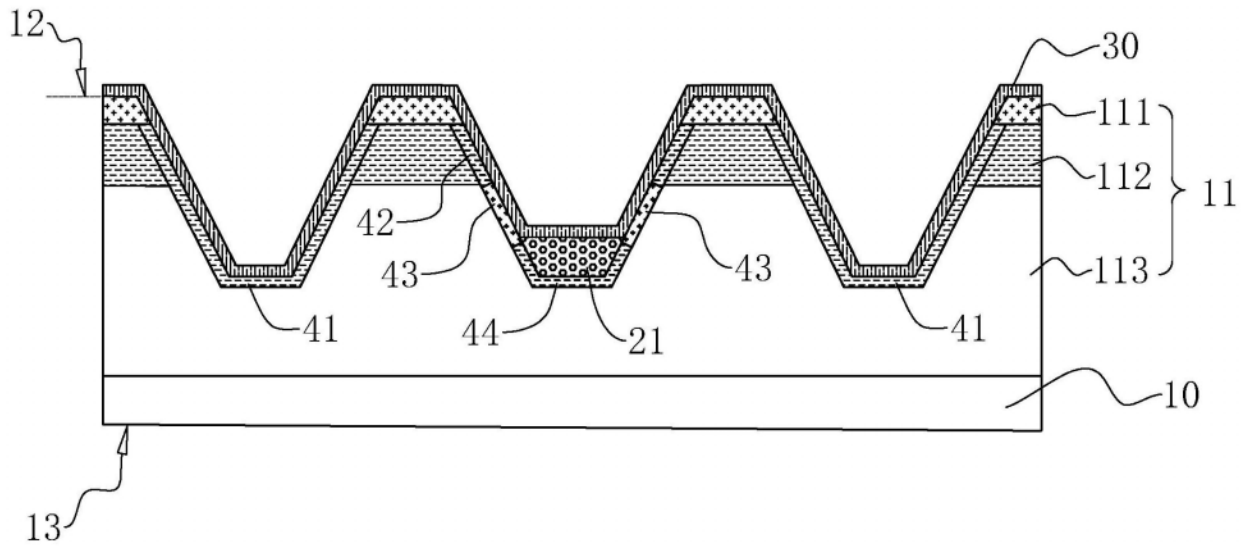


图14

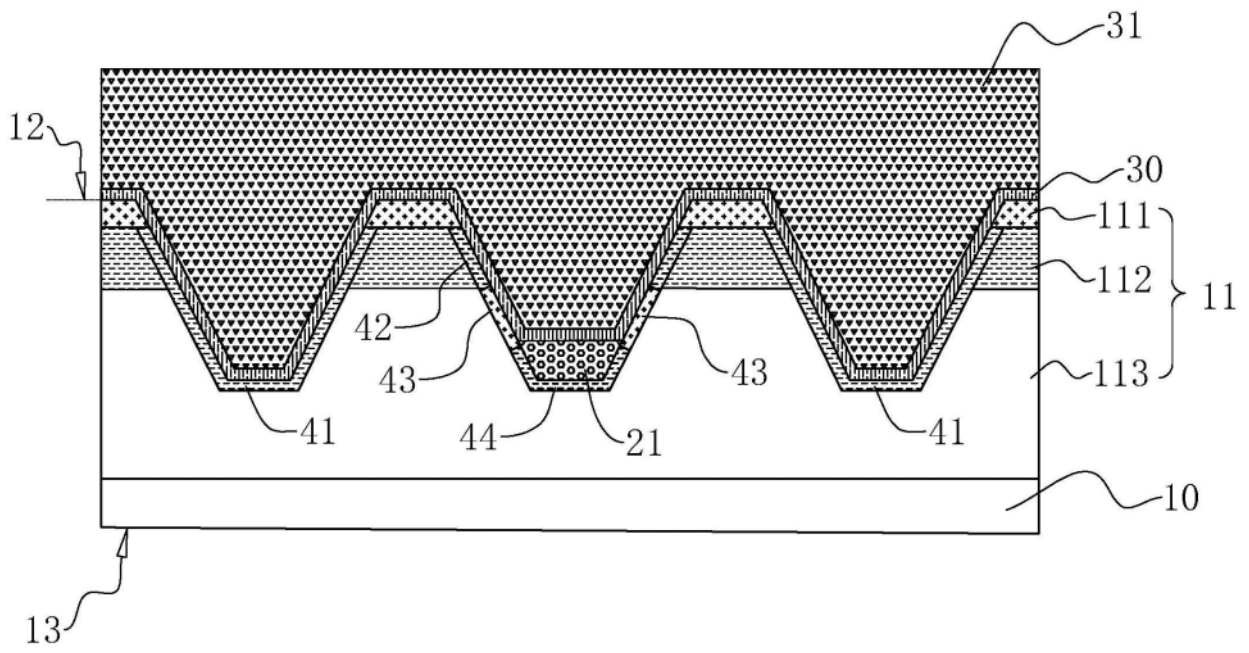


图15

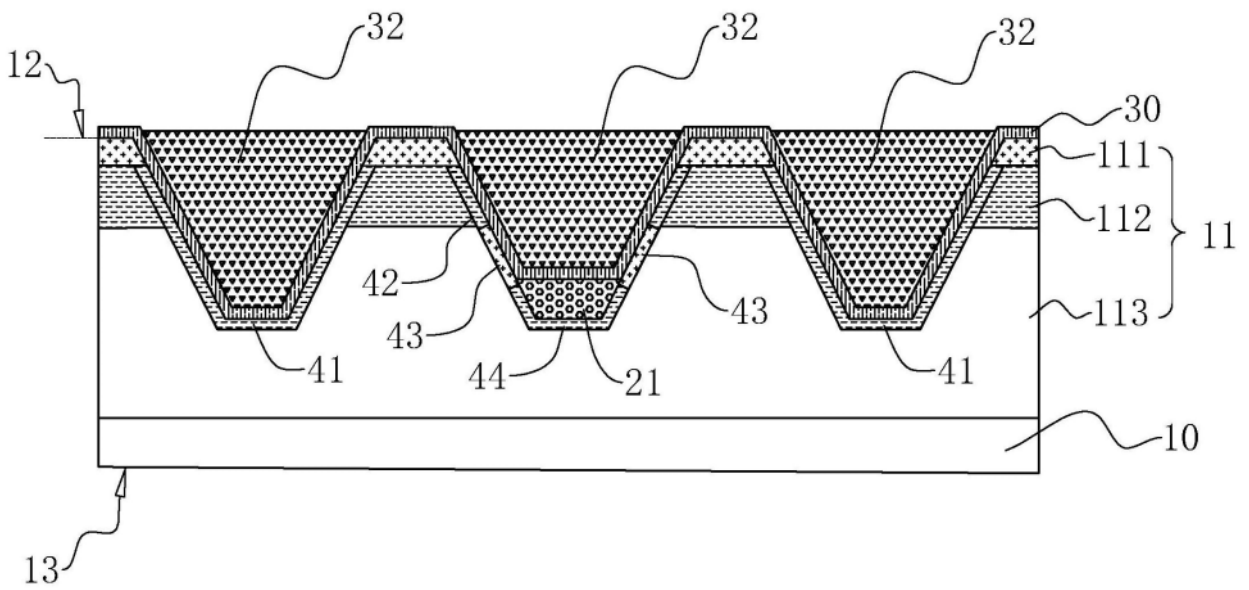


图16

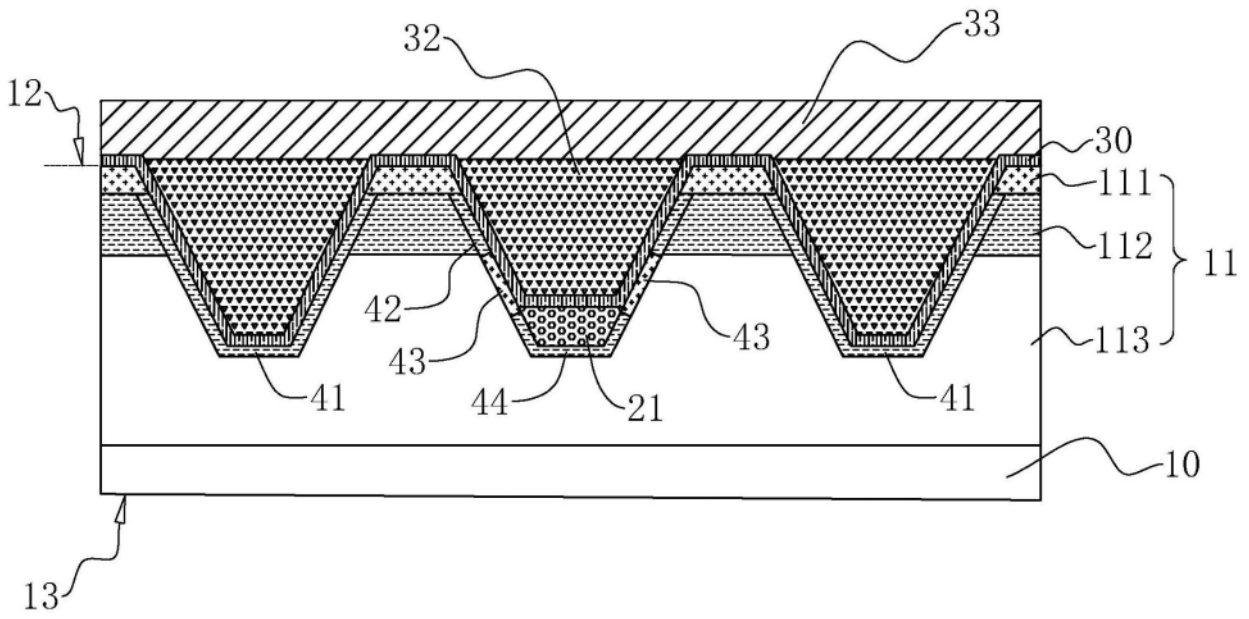


图17

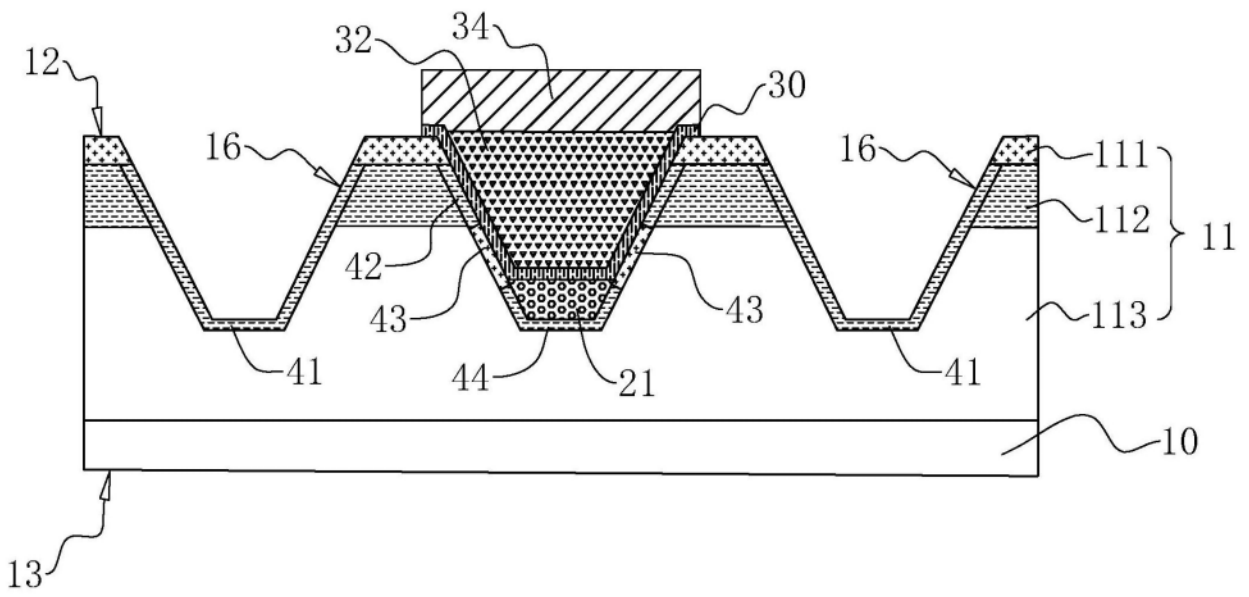


图18

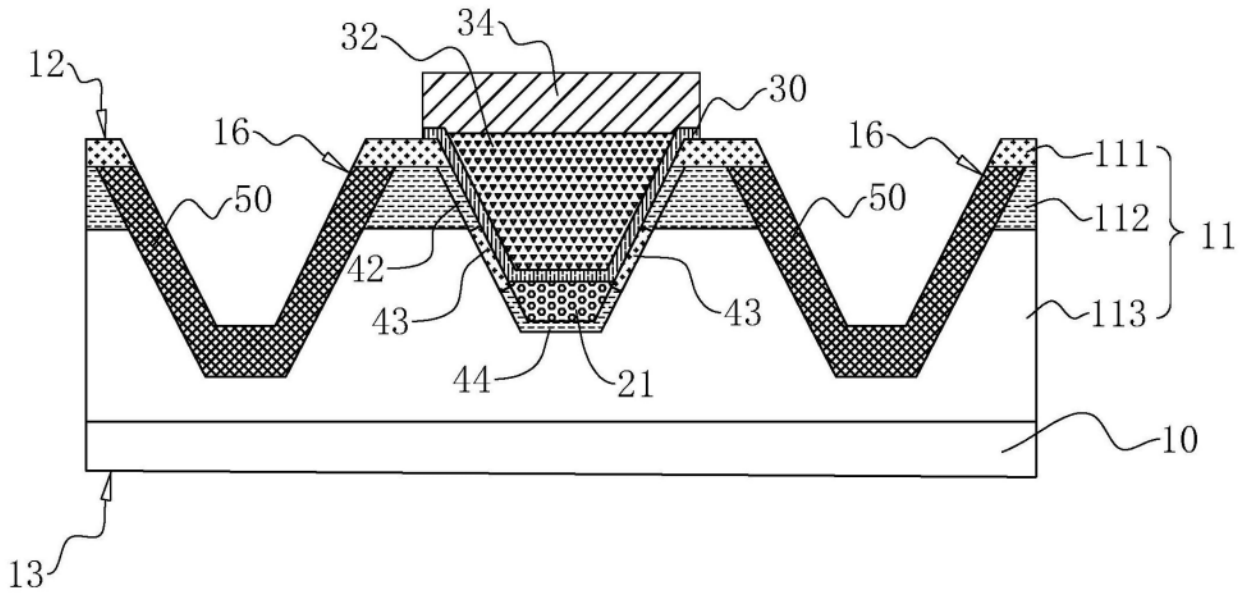


图19

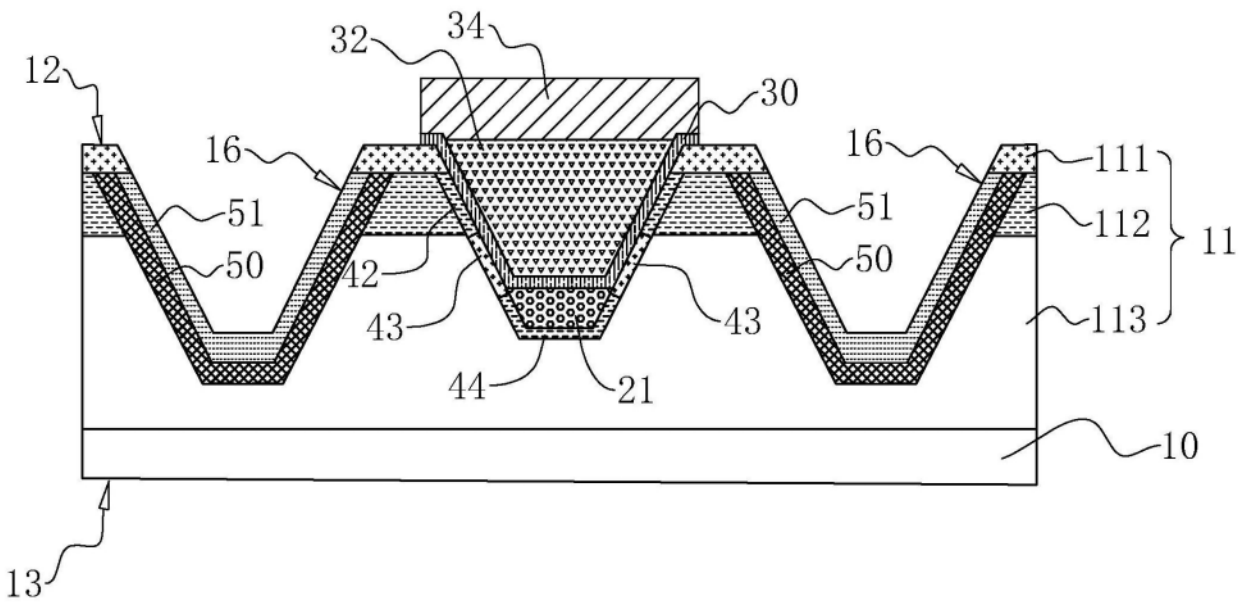


图20

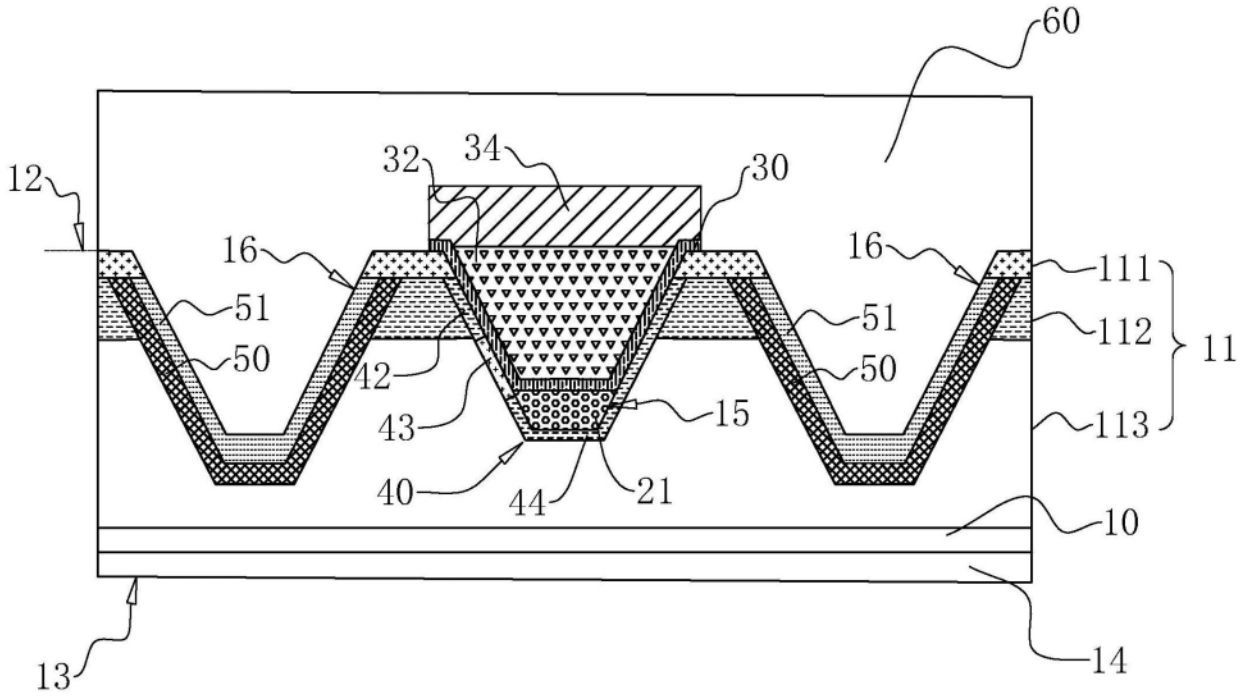


图21

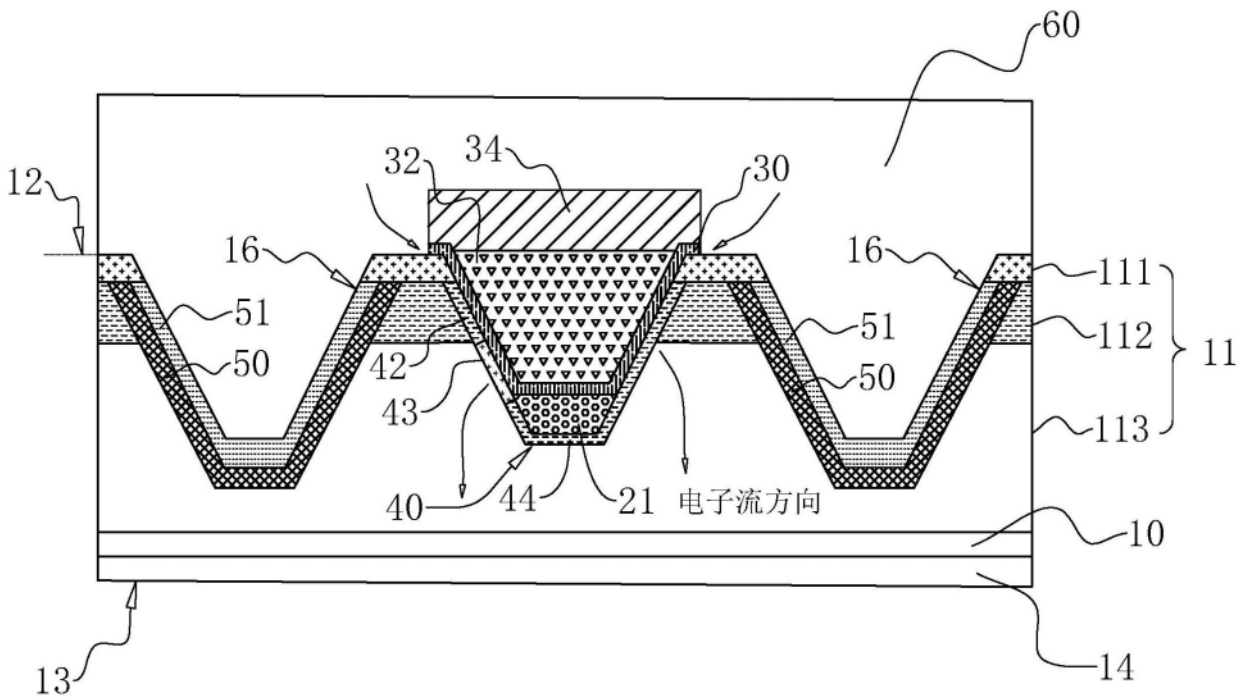


图22