

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G03F 1/00 (2006.01)

G03F 7/00 (2006.01)

G06F 17/00 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510119977.6

[43] 公开日 2006年7月12日

[11] 公开号 CN 1800971A

[22] 申请日 2005.9.14

[21] 申请号 200510119977.6

[30] 优先权

[32] 2004.9.14 [33] US [31] 60/609243

[71] 申请人 ASML 蒙片工具有限公司

地址 荷兰维尔德霍芬

[72] 发明人 M·苏 T·莱迪

K·E·瓦姆普莱尔

D-F·S·苏 X·施

D·范登布勒克 J·F·陈

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王忠忠

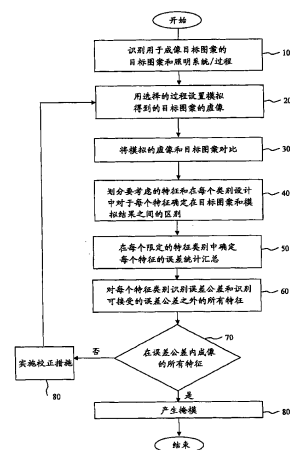
权利要求书 3 页 说明书 13 页 附图 13 页

[54] 发明名称

一种用于实施全芯片制造可靠性检查和校正的方法

[57] 摘要

一种产生用在成像过程图案中的掩模的方法。该方法包括以下步骤：(a) 获得具有多个要成像在衬底上的特征的需要目标图案；(b) 利用目标图案和与限定过程相关的过程参数来模拟晶片图像；(c) 限定至少一个特征类别；(d) 在目标图案中识别对应于至少一个特征类别的特征，并且记录识别为对应于至少一个特征类别的每一个特征的误差值；并且(e) 产生统计的汇总，其表明识别为对应于至少一个特征类别的每一个特征的误差值。



1、 一种产生用于成像过程图案的掩模的方法，所述方法包括下面步骤：

- 5 (a)获得具有多个要被成像在衬底上的特征的需要的目标图案；
(b)利用所述目标图案和与限定过程相关的过程参数来模拟晶片图像；
(c)限定至少一个特征类别；
(d)在具有所述多个特征的所述目标图案中识别对应于所述至少一个特征类别的特征，并且记录识别为对应于所述至少一个特征类别的每一个特征的误差
10 值；并且
(e)产生统计的汇总，其表明识别为对应于所述至少一个特征类别的每一个特征的所述误差值。

2、如权利要求 1 所述的方法，其中，所述误差值表示在所述目标图案内的特征位置和所述模拟晶片图像内的相同特征的位置间的差别。

- 15 3、如权利要求 2 所述的方法，还包括步骤：限定多个特征类别；识别所述目标图案内的所述多个特征中每一个对应的所述多个特征类别中的特征类别；记录在所给定特征的各自的特征类别中每个特征的误差值；并且对于各个所述特征类别产生统计汇总，其表明识别为对应于所述给定特征类别的各个特征的所述误差值。

- 20 4、如权利要求 3 所述的方法，其中，所述目标设计中的所述多个特征的每一个被划分为所述多个特征类别中的至少之一。

5、如权利要求 1 所述的方法，还包括以下步骤：

- (f)识别对应于所述至少一个特征类别的特征的误差公差；并且
(g)确定是否识别为对应于所述至少一个特征类别的任何特征具有超过所述
25 误差公差的误差值。

6、如权利要求 5 所述的方法，还包括对识别为具有超过所述误差公差的误差值的任何特征进行校正措施的步骤，所述校正措施有效地将所对应特征的误差值降低到所述误差公差以下。

- 7、一种用于控制计算机的计算机程序产品，包括：所述计算机可读的记
30 录介质；在所述记录介质上记录的、用于引导计算机产生对应于用于光刻成像

过程的掩模的文件的装置，所述文件的产生包括以下步骤：

- (a)获得具有多个要被成像在衬底上的特征的需要的目标图案；
- (b)利用所述目标图案和与限定过程相关的过程参数来模拟晶片图像；
- (c)限定至少一个特征类别；

5 (d)在具有所述多个特征的所述目标图案中识别对应于所述至少一个特征类别的特征，并且记录识别为对应于所述至少一个特征类别的每一个特征的误差值；并且

(e)产生统计汇总，其表明识别为对应于所述至少一个特征类别的每一个特征的所述误差值。

10 8、如权利要求 7 所述的计算机程序产品，其中，所述误差值表示在所述目标图案内的特征位置和所述模拟晶片图像内的相同特征的位置间的差别。

9、如权利要求 8 所述的计算机程序产品，还包括步骤：限定多个特征类别；识别所述目标图案内的所述多个特征中每一个对应的所述多个特征类别中的特征类别；记录在所给定特征的各自的特征类别中每个特征的误差值；并且
15 对于各个所述特征类别产生统计汇总，其表明识别为对应于所述给定特征类别的各个特征的所述误差值。

10、如权利要求 9 所述的计算机程序产品，其中，所述目标设计中的所述多个特征的每一个被划分为所述多个特征类别中的至少之一。

11、如权利要求 7 所述的计算机程序产品，还包括以下步骤：

20 (f) 识别对应于所述至少一个特征类别的特征的误差公差；并且

(g) 确定是否识别为对应于所述至少一个特征类别的任何特征具有超过所述误差公差的误差值。

12、如权利要求 11 所述的计算机程序产品，还包括对于识别为具有超过所述误差公差的误差值的任何特征进行校正措施的步骤，所述校正措施有效地
25 将所对应特征的误差值降低到所述误差公差以下。

13、一种器件制造方法，包括以下步骤：

- (a)提供至少部分由一层辐射敏感材料覆盖的衬底；
- (b)利用成像系统提供辐射的投影光束；
- (c)利用在掩模上的图案，以使所述投影光束在它的横截面具有图案；
- 30 (d)投影所构图的辐射光束到所述辐射敏感材料层的目标部分上，

其中，步骤(c)中，所述掩模由包括以下步骤的方法形成：

获得具有多个要成像在衬底上的特征的需要目标图案；

利用所述目标图案和与限定过程相关的过程参数模拟晶片图像；

限定至少一个特征类别；

- 5 在具有所述多个特征的所述目标图案中识别对应于所述至少一个特征类别的特征，并且记录识别为对应于所述至少一个特征类别的每一个特征的误差值；并且

产生统计汇总，其表明识别为对应于所述至少一个特征类别的每一个特征的所述误差值。

一种用于实施全芯片制造可靠性检查和校正的方法

5 优先权要求

本专利申请和由其引出的任何专利要求 2004 年 9 月 14 日提交的、名称为“全芯片制造可靠性检查和校正 (MRC²)”的美国临时专利申请 60/609,243 的优先权, 通过引用将其全部内容结合在此。

技术领域

10 本发明的技术领域通常涉及一种方法、程序产品和设备, 其用于在设计过程中较早确定是否目标设计/布局利用给定的过程是可制造的, 或是否目标设计/布局包括“故障点”或“弱点”, 这些点将阻止目标设计/布局满足设计要求和/或当制造时造成产率不足。

背景技术

15 例如, 光刻设备可用于制造集成电路 (IC)。在这种情况下, 掩模可含有对应于 IC 单层的电路图案, 且该图案能够被成像到被涂布一层辐射敏感材料 (光刻胶) 的衬底 (硅晶片) 上的目标部分 (例如, 包含一个或多个电路小片) 上。通常, 单晶片将包括邻近目标部分的整个网络, 其由投影系统一次一个的连续照射。在一种光刻投影设备中, 通过将整个掩模图案一次曝光到目标部分
20 上来照射每一个目标部分; 这种设备常称为晶片步进器。在通常称为步进扫描设备的可选择设备中, 沿给定的参考方向 (“扫描” 方向) 在投影光束下通过逐渐扫描掩模图案来照射每一个目标部分, 同时以平行或反平行该方向同步扫描衬底台。由于通常投影系统将有放大系数 M (通常 <1), 所以扫描衬底台的速度 V 将是扫描掩模台的速度系数的 M 倍。可以例如从美国 6,046,792 收集更
25 多关于在此描述的光刻设备的信息, 通过引用结合在此。

在采用光刻投影设备的制造过程中, 掩模图案被成像到至少部分被一层辐射敏感材料 (光刻胶) 覆盖的衬底上。在该成像步骤前, 衬底可以经过各种工序, 例如, 涂底、涂光刻胶和软烘烤。在曝光后, 衬底可以经过其它工序, 例如, 曝光后烘烤 (PEB)、显影、硬烘烤和成像特征的测量/检查。这个工序排
30 列作为构图器件如 IC 的单层的基础使用。然后, 这种构图层可以经过各种过

程, 如蚀刻、离子注入(掺杂)、喷镀金属、氧化、化学机械抛光等, 所有这些是用来完成单层。如果需要几层, 那么对于每一新层将必须重复整个工序或其变体。最终, 在衬底(晶片)上将出现器件的阵列。然后, 通过如切成方块或锯切技术将这些器件彼此分开, 由此单独的器件可以被安装到载体上、连接到插针上等。

为简单起见, 投影系统此后可以称为“透镜”; 然而, 该术语应广义地被解释为包含各种类型的投影系统, 例如包括折射光学元件、反射光学元件和反折射系统。辐射系统还可以包括根据这些设计类型任一种操作的部件, 用于定向、整形和控制辐射投影光束, 并且这样的部件在下面也可以共同地或单独地称为“透镜”。此外, 光刻设备可以是具有两个或多个衬底台(和/或两个或多个掩模台)的一种类型。在这样“多级”器件中可以并列采用附加的台, 可以在一个或多个台上实施预备步骤的同时, 一个或多个台被用于曝光。例如在美国 5,969,441 中描述了双级光刻设备, 通过引用结合在此。

上述提到的光刻掩模包括对应于被集成到硅晶片上的电路部件的几何图案。用于形成这种掩模的图案利用 CAD(计算机辅助设计)程序产生, 该过程常称为 EDA(电子设计自动化)。为了形成功能性掩模, 多数 CAD 程序依据一套预定的设计规则。这些规则通过加工和设计限制来设定。例如, 设计规则限定电路器件(如门、电容器等)或互连线之间的间距公差, 以便保证电路器件或线彼此不以不需要的方式相互影响。该设计规则限制一般称为“临界尺寸”(CD)。电路的临界尺寸可以被限定为线或孔的最小宽度或两线或两孔间的最小间距。因此, CD 确定设计电路的总尺寸和密度。

在掩模中的“辅助特征”可用于改进被投影到抗蚀剂上的图像并最终改进显影的器件。辅助特征是不需要出现在抗蚀剂的显影图案中的而是在掩模中提供以利用衍射效应的特征, 这样使显影图像更接近需要的电路图案。辅助特征通常是“亚分辨率”或“深亚分辨率(deep sub-resolution)”, 意味着它们是在至少一个尺寸内比将在晶片上实际分辨的掩模内的最小特征小。辅助特征可以具有被限定为临界尺寸部分的尺寸。换句话说, 因为掩模图案通常用小于 1、如 1/4、1/5 的放大倍数投影, 在掩模上的辅助特征可以具有比晶片上的最小特征大的物理尺寸。

当然, 集成电路制造的一个目的是精确地在晶片上再现原始电路设计(通

过掩模), 这通过采用辅助特征来改进。另一个目的是产生在规定的公差范围内可容易制造的设计布局。这是重要的, 以使当实际制造器件时过程引起高产率。

5 尽管在现有技术中已经讨论了各种规则检查方法, 例如光学规则检查 (ORC), 这些已知技术对于现在的设计布局是困难的和/或不合适的, 其一般包括先进的分辨率增强技术 (RET)。此外, 已知的规则检查方法不能在设计过程早期确定是否给定的设计是可容易制造的 (便于导致高产率), 因此常导致实际上花费与重新设计过程相关的时间和金钱。

10 因此, 需要一种方法, 其用于允许在设计过程早期确定是否设计是适于制造的, 从而使得与重新设计过程相关的时间和花费最小化。此外, 需要适合和先进的 RET 一起使用的制造可靠性检查和校正方法, 并且其可以自动提供设计的校正以使得到的器件在规定的公差内。

发明内容

15 鉴于前述, 本发明的一个目的是提供一种方法, 其用于在设计过程中较早确定是否目标设计/布局利用给定的过程实际是可制造的, 或是否目标设计/布局包含“故障点”或“弱点”, 这些点将阻止目标设计/布局满足设计要求和/或当制造时导致产率不足。此外, 本发明的另一个目的是提供制造可靠性检查和校正方法, 其适合和先进的 RET 一起使用, 并且其能自动提供设计的校正以使得到的器件在规定的公差范围内。

20 更具体地, 本发明涉及产生用于成像过程图案的掩模的方法。该方法包括以下步骤: (a) 获得具有多个要成像在衬底上的特征的需要目标图案; (b) 采用目标图案和与限定的过程相关的过程参数来模拟印刷或晶片图像 (即模拟抗蚀剂构图); (c) 限定至少一个特征类别; (d) 识别目标图案中对应于至少一个特征类别的特征, 并且记录识别为对应于至少一个特征类别的每一个特征
25 的误差值; 和 (e) 产生统计汇总, 其表明识别为对应于至少一个特征类别的每个特征的误差值。此外, 依据误差的识别, 本发明的方法还可以包括如下步骤: 通过改变 OPC 校正措施和/或通过应用例如储存在数据库中的预定校正措施改变过程参数来自动尝试校正误差。这种数据库可以根据基于规则的系统, 包含各种对于潜在问题区域的校正, 可以顺序的方式应用这些校正直到发现可
30 接受的解决办法。此外, 如果确定了用于给定误差的可接受的校正措施, 那么

对应于该问题和解决办法的设计规则可被记录在数据库中和用于未来的校正/设计。

本发明的方法具有超过现有技术的重要优点。非常重要的一点是，本发明提供用于实施全芯片制造可靠性的检查和校正的方法，其设计过程早期确定是否目标设计实际上在限定的设计公差范围内是可制造的。此外，本发明的方法能提供设计的自动校正以产生采用规定的设计公差是可制造的设计。

关于本发明的另一优点是全芯片制造可靠性检查和校正方法适合和先进的分辨率增强技术一起使用。

本发明的又一优点是全芯片制造可靠性检查和校正方法适合和利用多层掩模和/或多次曝光（例如，DDL 垂直和水平掩模），以及在相同掩模（例如，包括铬和相位特征的 CPL 掩模）中的多数据层的过程一起使用。

本发明的又一优点是在设计过程中及早给设计者提供关于是否目标设计包含任何“故障点”或“弱点”的反馈，这些点将阻止目标设计满足设计要求和/或当经过制造过程时导致产率不足。结果，本发明最小化与重新设计过程相关的时间和花费，并且消除与有缺陷的设计原型的出带（tape-out）和显影（development）相关的花费。换句话说，本发明允许设计者在测试晶片的出带过程和显影（即，加工）之前确定是否设计从根本上是有缺陷的（并且因此是不可制造的）。

此外，本发明的方法可以在某些情况下自动修改设计和/或过程以针对设计中的“故障点”或“弱点”。

从以下本发明的示范性实施例的详细描述，本发明另外的优点对于本领域的技术人员来说将是显而易见的。

尽管本文具体涉及本发明在制造 IC 中的使用，但是应该清楚地理解本发明可能有许多其它的应用。例如，它可以被应用于集成光学系统、用于磁畴存储器的导向和检测图案、液晶显示平板、薄膜磁头等的制造。在如此可选择应用的上下文中，本领域技术人员可以理解在本文术语“分划板”、“晶片”或“电路小片”的任何使用应该认为分别可由更普遍的术语“掩模”、“衬底”和“目标部分”代替。

通过参见下面的详细说明和附图可以更好地理解发明本身和另外的目的和优点。

附图简述

图 1 是示出根据本发明第一实施例的全芯片制造可靠性检查和校正方法的示范性流程图。

图 2a 和 2b 示出能经受本发明的检查和校正方法的示范性布局图案（例如，目标图案）。

图 3 示出图 2 的用相同图案模拟结果所重叠的目标图案的示范性部分。

图 4 示出示范性柱状图，其基于在模拟结果和目标图案之间的区别产生。

图 5 示出如图 4 所示的相同布局 and 相同类别的柱状图，区别为线端校正被应用在图 5 的三组柱状图中每一个所表示的特征。

图 6 示出如图 4 所示的相同布局 and 相同类别的柱状图，区别在于凹、凸角校正已经被用于用 Par 4 和 Par 5 的柱状图的每一个表示的特征，及线端校正已经被用于用 Par 6 的柱状图表示的特征。

图 7-9 示出各自表明线端特征、门特征和临界尺寸的印刷性能在给定的过程中不随过程参数的变化而改变大的柱状图。

图 10 示意性地描述适合同借助所公开的构思设计的掩模一起使用的示范性光刻投影设备。

图 11 和 12 示出当为了校正误差而需要布局修正的例子。

具体实施方式

图 1 是示出根据本发明第一实施例的全芯片制造可靠性检查和校正方法的示范性流程图。在过程的第一步（步骤 10）是要识别用于成像图案的目标掩模图案（即，目标设计）和照明系统以及设置（即过程条件）。

图 2a 和 2b 示出可进行本发明的检查和校正方法的示范性布局图案（例如，目标图案）。更具体地，图 2a 表示全芯片布局，示出了从 70nm 结点的全芯片布图中所选择的临界计算。而图 2b 表示在 CPL 掩模中图 2a 被分为铬和相位区域的一部分布局，示出了在布图转换后，原始布图被分为 Cr（桔黄色）和相位（绿色）图案。如上所示，本发明的方法适合和采用多层掩模和/或多次曝光（例如 DDL 垂直和水平掩模）以及相同掩模（例如包括铬和相位特征的 CPL 掩模）内多数据层的过程一起使用。

一旦目标图案被识别，过程的下一步（步骤 20）是模拟在包括制造变化的生产设置（即所需的过程）下模拟目标图案的抗蚀剂构图轮廓。该模拟可以

应用任何已知的模拟工具实施，如由 ASML MaskTools 公司销售的 LithoCruiser™。

下一步（步骤 30）是将模拟过程的结果与原始的目标图案比较，以确定在原始目标图案和模拟的抗蚀剂构图轮廓间的区别。在本发明优选的实施例中，在模拟结果和目标图案间进行全芯片的比较。该过程可以通过比较模拟的抗蚀剂图案的二维轮廓和目标图案的二维轮廓图案来进行。如 2002 年 10 月 9 日提交的美国专利申请 10/266,922 描述了二维轮廓的这种比较，其全部内容通过引用结合在此。可选择地，可比较预定图案区域/点，优选地为预期的临界区域，以确定在目标图案和模拟的抗蚀剂图案间的区别。例如，检查标志可以被包括在临界特征位置的目标设计内，然后仅在包括检查标志的设计位置处进行比较。这种临界区域可以包括，例如窄线、凸角、凹角、线端等的 CD 均匀性。该方法使过程仅集中在那些在制造期间设计者希望的临界或有问题的特征/区域。然而，在本实施例中，优选的是，考虑设计布局的所有区域中的特征以表示全芯片的设计布局。如果在比较过程中应用二维轮廓，那么设计者可以规定用于比较过程的关于轮廓的取样点的间距，从而保证表示全芯片的设计布局。

一旦完成比较和限定了模拟结果和目标图案间的区别，那么过程的下一步（步骤 40）是要限定/划分被考虑的和/或被分析的特征，并且确定在目标设计和模拟结果中的特征间的区别（即，误差）。这需要限定要考虑的特征的不同类别，例如，线端、CD 均匀性、凸角、凹角等。一旦这些类别被限定，那么在含有检查标志的每一个位置处，抽取模拟结果和目标图案间的区别并指定预定类别之一。在给定的例子中，在给定的检查标志位置的各个区别/误差被指定/限定为线端误差、CD 均匀性误差、凸角误差或凹角误差并记录在各自类别中。如上述，优选的是，在布局内放置检查标志以获得全芯片布局的表示。可选择地，如果基于二维轮廓进行比较，那么设计者必须规定关于被抽出轮廓的比较点的位置，这与限定检查标志类似。

一旦完成步骤 40，在模拟结果和目标图案间的实际区别已知并被记录，以及划分为特定类型的特征类别。注意到，上面提到的特征类别实际上是示例性的，而不是限制性的。可以利用除上述之外的附加的类别。此外，如上面提到的，优选的是，被分析和被记录的位置的数目是表示整个布局。当然，所考虑的位置的实际数目将从布局到布局不等，并且主要依据认为是制造环境中

潜在问题的临界区域的数目。

过程中的下一步（步骤 50）将产生用于各个特征类别的柱状图（或任何其它合适的统计格式）并描绘各个类别所有被记录特征的误差结果。各个柱状图示出给定类别中包括的各个特征的数目，以及与给定特征类别中每个特征相关的成像误差量。同样地，柱状图使设计者容易确定在每一个限定的特征类别中发生的误差数目。然而，如下面更详细地解释，柱状图让设计者相当快地确定是否可应用局部校正来校正规格之外的不能接受的误差或是否需要较大的重新设计。

接下来，过程中的下一步骤（步骤 60）对步骤 40 中识别的各个特征类别限定可接受的误差公差，并且识别每个类别中在可接受误差公差之外的所有特征。如所知的，这种的误差公差限定可接受（即，在设计限度内）的最终目标图案中的变化。在最初设计阶段一般由电路设计者限定误差公差，并且误差公差将从布局到布局不等，并且在布局内不同类型的特征之间变化。注意到，由设计者规定的误差公差最小应该相应于并规定步骤 40 中识别的误差类别的可接受误差。如下面进一步详细地说明，把误差公差附加在步骤 50 中创建的各种柱状图之上来说也是可能的，以使设计者容易确定在给定的类别中超出可接受误差公差（并因此必须被校正）的特征的百分数。

一旦已经确定误差公差，那么下一步（步骤 70）将确定是否在各个类别内的所有特征是在各自特征的规定误差公差内。如果答案是 YES，那么过程继续到步骤 90 并且产生掩模图案。如果答案是 NO，那么工程继续到步骤 80，其中在努力消除任何具有在规定的误差公差外的相关的成像误差的特征时，应用 OPC 校正和/或其它校正措施（即，改变过程参数，但不限于此，例如，光学设置（例如，NA、Sigma），掩模类型（例如透射，相位），或抗蚀过程）。一旦进行了这些校正，过程返回上述过程的步骤 20 以允许实施另一个模拟，然后继续遍历过程以考虑确定关于是否校正使所有特征在规定的误差公差内。注意到当第二次继续遍历过程时或在任何其它随后的时间，不需要重新划分特征类别或重新限定误差公差（即步骤 40 和 60）。

注意到，在一个实施例里，前述的校正（步骤 80）可以应用预定规则（例如，伸长在显示过多的线端短接（shorting）的区域内的特征线）自动实施。这种规则将被确定并基于在给定过程中考虑的特征类别。确实，基本上，本发明

前述方法的所有步骤利用计算机或专用的处理设备以自动化方式可被实施，包括柱状图的生产，这些柱状图概括各个单独特征类别的误差。

在给定的实施例中，校正措施数据库包括两个主要的校正方法。第一方法要求应用和/或修正用于掩模设计的 OPC 特征。如上述提到的，如果确定要发生可用的误差（其可以从柱状图中确定），那么被应用于掩模设计中以校正给定误差的、管理 OPC 校正特征的预定规则被存储在数据库中，然后被应用到掩模设计中。第二方法要求修正所采用的给定过程参数。试图根据出现的给定误差调节可能的过程变化的预定规则再次可以被存储在校正措施数据库中。当然，需要调整 OPC 特征和过程参数两者的规则也是可能的。另外，一旦对于给定误差条件确定了解决办法，那么数据库就可被更新以设计规则的形式记录校正，这样它可以被应用到未来的应用中。也可以再注意到，目前的过程是迭代过程，其中每次调整都要重新实施模拟和检查，以确定是否调整校正了所有剩余的误差。重复该过程直到系统确定所有未决误差可接受的解决办法。如果在很多迭代后（其可以预先由操作者确定）系统不能找到可接受的解决办法，那么将很可能必须重新设计掩模布局。

如上提到的，产生预定特征类别的柱状图的本发明的方法，对使得设计者容易识别和筛除全芯片布局中的设计“弱点”（并且可能校正这样的弱点）很有用。此外，柱状图提供简单的方式以确定是否对加工参数的调整可被应用以“调整”略微在规格之外的设计（即，具有在可接受误差公差范围之外的最小数量特征的设计）。柱状图也使得设计者在设计过程中及早确定提出的设计有明显的、表明实际上可能需要重新设计布局的可制造性问题（例如，在给定误差类别中基本上所有特征超出可接受的误差）。换句话说，误差的程度和数量使得不可能利用过程变化和/或 OPC 校正措施来校正误差。

图 3 示出图 2 的用相同图案的模拟结果所重叠的目标图案的示范性部分。可以看出，在目标图案和模拟结果之间存在区别。图 4 示出示范性的柱状图，其基于在模拟结果和目标图案之间的区别产生。在给定的例子中，限定五个特征类别也就是凸特征、凹特征、线端特征、门宽度特征和临界尺寸（即，线宽）特征用于监测。各自的柱状图的每一个识别研究中的各自特征的数量（即，应用检查标志识别）以及离开目标设计目的的误差程度。更具体地，如果所有被监测的特征为零误差，那么各个柱状图将示出位于柱状图中心的单线（图 4

的 X 轴上的 0)。然而，这不是一般的情况，因为给定例子中的柱状图显示出各自特征在各个类别中都有不同程度的误差。还注意到，在柱状图中的标记线 42 表示可接受的误差公差。尤其是，落入这些两线内的任何误差是偏离“0”（即，无误差）的可接受水平，以及在两线的任何一个之外的任何误差表示不可接受的误差偏离。再观察图 4 的柱状图，可以容易地看到被监测的多数凸特征和凹特征有不可接受的误差变化，而线端特征、门特征和 CD 特征主要地在规定的误差公差内，并且因此是可接受的。图 3 突出显示了设计中的一些示范性问题区。

图 5 示出如图 4 所示的相同布局 and 相同类别的柱状图，区别为校正被应用在三组柱状图中每一个。在第一组中（Par 1 和 Par 2），进行了对特征的线端收缩调整。如图 4 和图 5 之间的比较所示，所有线端特征目前在预定误差公差范围内，并且因此在实际制造过程中应该不会导致任何印刷问题。在 Par 3 中应用了偏离校正算法，然而并没有导致满意的线端特征校正，因为许多线端特征仍然保持在误差公差外。注意的是，Par 1~3 代表参数组 1~3。如上提到的，可应用和调整不同的参数以实施不同的 OPC 和掩模图案修正来校正误差。每一个参数组将产生不同的 MRC 柱状图，一些参数变化可以解决特定的误差但将导致总体性能的降低。也可能对于一类误差的校正如线端收缩将导致不同类误差的产生，如 CD 均匀性更恶化。通过利用本发明的柱状图，可能快速地和容易地鉴别是否给定误差可能是可校正的或是否需要设计药物处理（design medication），

图 6 也示出如图 4 所示的相同布局 and 类别的柱状图，区别是凹、凸角校正已经被用于在 Par 4 和 Par 5 每一个柱状图的特征。如图 4 和图 5 之间的比较所示，Par 4 中实施的校正导致凹特征和凸特征在印刷中的明显改进，同时，Par 5 中实施的校正却没有。Par 6 中应用另一个偏离校正算法。结果全局校正未使各个特征在规定的误差公差内，那么局部校正（即，仅对公差外特征的校正）可由设计者或由系统自动实施。参见前述图形，柱状图容易表明是否给定类别的任何特征没有遵守规定的误差公差。

图 7-9 示出的柱状图分别表示：线端特征、门特征和临界尺寸的印刷性能在给定的过程中不随应用的剂量（即，能量）或散焦参数的变化而发生大的改变。如图 7 中所示，在过程变化下总线端性能不改变，线端的最大变化在 10nm

以下。如图 8 示出,在过程变化下总的门性能不改变,门 CD 的最大变化在 10nm 以下,可施加局部校正或设计修正的时候的情况。如图 9 中所示,在过程变化下总 CD 均匀性不改变,CD 均匀性的最大变化在 10nm 以下,靠近大衬垫(pad)的一些位置有较大的 CD 变化。如这些图的每一个所示,得到的柱状图对于剂
5 量和散焦的变化保持相对不变。柱状图再次提供相对容易的方法,其为设计者确定是否在特征成像过程中过程设置的变化将获得需要的校正。在过程变化不能提供需要的校正的情况下,可能布局修正必须满足设计公差。

图 11 和 12 示出当为了校正误差而需要设计修正的例子。更具体地,图 11 的左下侧示出部分布局而图的右上侧示出在目标图案上附加的模拟晶片图像。
10 在这个例子中,OPC 措施和过程参数调整的应用足以校正误差。然而,在图 11 的右侧,其示出另一部分目标电路和模拟的结果,OPC 措施和过程参数变化不足以校正所有误差。例如,参见图的右上侧,在应用 OPC 和过程参数校正措施之后保持桥接(bridging)误差。这样,布局需要修正。图 12 示出可接受的布局修正的例子。如图 12 所示,在散焦和能量转移条件下无桥接误差,该
15 设计对于制造环境是稳固的。各种特征的边缘进一步彼此分开以消除桥接误差。图 12 也示出模拟结果。如上面提到的,当需要时,通常由电路设计者实施这样的布局修正。然而,也可能产生规则集以提供布局设计的自动校正/修正。

如上提到的,本发明的方法提供优于现有技术的重要的优点。非常重要地,本发明提供用于实施全芯片制造可靠性检查的方法,其设计过程早期确定是
20 否目标设计在规定的设计公差内实际上是可制造的。此外,本发明的方法可提供设计的自动校正以产生利用规定的设计公差是可制造的设计。

本发明的另一个优点为全芯片制造可靠性检查和校正方法适合和利用多层掩模和/或多次曝光(例如,DDL 垂直和水平掩模)以及在相同掩模(例如,包括铬和相位特征的 CPL 掩模)内的多数据层的过程一起使用。

25 本发明的又一个优点为下述,在设计过程中该方法为设计者及早提供关于目标设计是否含有任何“故障点”或“弱点”的反馈,这些点将阻止目标设计满足设计要求和/或当进行制造过程时导致产率不足。结果,本发明最小化与重新设计过程相关的时间和花费,并且消除与有缺陷的设计原型的出带和开发相关的花费。换句话说,本发明允许设计者在测试晶片的出带过程和显影(即,
30 加工)之前确定是否设计从根本上是有缺陷的(并且因此是不可制造的)。

此外，本发明的方法在努力消除/校正在误差公差限制外的特征的过程中可提供自动修正设计和/或过程，以针对设计中的“故障点”或“弱点”。

如上提到的，本发明的过程可利用计算机或专用处理器自动实施。此外，管理要实施的校正的、包括何时要进行局部校正的规则可以被预先确定，然后
5 基于由前述方法形成的柱状图的结果而被应用。实际上，如果设计者希望这么做，那么整个过程基本上可以是自动的。当然，如果设计者渴望积极地参与到过程中（例如，确定要应用的校正类型），这也是可能的。

图 10 示意性地描述适合和借助本发明设计的掩模一起使用的光刻投影设备。该设备包括：

- 10 - 辐射系统 Ex、IL，其用于供应辐射的投影光束 PB。在这个具体情况中，辐射系统也包括辐射源 LA；
- 第一载物台（掩模台）MT，其具有用于支持掩模 MA（例如分划板）的掩模支持器，并连接到用于相对物品 PL 准确定位掩模的第一定位装置；
- 第二载物台（衬底台）WT，其具有用于支持衬底 W（例如涂布光刻胶
15 的硅晶片）的衬底支持器，并连接到用于相对物品 PL 准确定位衬底的第二定位装置；
- 投影系统（“透镜”）PL（例如折射、反射或反折射光学系统）用于掩模 MA 的照射部分成像到衬底 W 的目标部分 C（例如包括一个或多个电路小片）上。

20 如在此所描述的，设备是透射型的（即，有透射掩模）。然而，通常它也可以例如是反射型的（有反射掩模）。可选择地，设备可采用另一种构图装置作为使用掩模的备选方案；实例包括可编程镜面阵列或 LCD 矩阵。

源 LA（例如汞灯或激基激光器）产生辐射光束。该光束例如直接或在通过如光束扩展器 Ex 的调节装置之后射入照明系统（照明器）IL。该照明器 IL
25 可包括用于设定光束的强度分布的外部 and/或内部径向范围（通常分别称为 σ -外和 σ -内）的调节装置 AM。此外，它将通常包括各种其它的部件，例如积分器 IN 和聚光器 CO。以这种方式，照射到掩模 MA 上的光束 PB 在它的横截面具有需要的均匀性和强度分布。

30 应该注意到，关于图 10，源 LA 可以在光刻投影设备的外壳内（例如，当源 LA 是汞灯时经常是这种情况），但是它也可以是远离光刻投影设备，它

产生的辐射光束导入到设备中（例如借助合适的导向镜）；后者的方案常是当源 LA 是激基激光器（如基于 KrF、ArF 或 F₂ 的激光作用）时的情况。本发明包含这两个方案。

随后光束 PB 相交到被支撑在掩模台 MT 上的掩模 MA 上。通过掩模 MA 5 后，光束 PB 经过透镜 PL，透镜 PL 聚焦光束 PB 到衬底 W 的目标部分 C 上。借助第二定位装置（和干涉测量装置 IF），衬底台 WT 可准确移动，例如，在光束 PB 的路径中定位不同的目标部分 C。相似地，第一定位装置可用于相对于光束 PB 路径准确定位掩模 MA，例如在从掩模库机械检索掩模 MA 之后或在扫描期间。通常，载物台 MT、WT 的移动将借助长冲程模块（粗定位）10 和短冲程模块（精细定位）来实现，这在图 10 中没有详细描述。然而，在晶片步进器的情况中（与步进一扫描工具相对）掩模台 MT 恰好可被连接到短冲程调节器或可被固定。

描述的工具可用于两种不同模式：

一在步进模式中，掩模台 MT 基本保持静止，整个掩模图像被一次投射15（即，单“闪”）到目标部分 C 上。然后衬底台 WT 沿 x 和/或 y 方向移动，以使不同的目标部分 C 能够由光束 PB 辐射；

一在扫描模式中，除了给定目标部分 C 不是单“闪”曝光外，基本采用相同方案。取而代之的是，掩模台 MT 沿给定的方向（所谓的“扫描方向”，例如 y 方向）以速度 v 移动，以使投射光束 PB 扫描整个掩模图像；同时，衬20底台 WT 沿相同或者相反的方向以速度 $V=Mv$ 同步移动，其中 M 是透镜 PL 的放大率（通常 $M=1/4$ 或 $1/5$ ）。在这种方式中，可以曝光相当大的目标部分 C，而不必牺牲分辨率。

此外，软件可实施或帮助实施所公开的构思。计算机系统的软件功能涉及包括可执行代码的编程，其可被用于实现上述的成像模型。软件代码可由通用25的计算机执行。在操作中，代码和可能相关的数据记录被存储在通用的计算机平台内。然而，在其它时候，软件可以被存储在其它位置和/或被传送用于装载到适当的通用计算机系统中。由此，上面讨论的实施例包括由至少一个机器可读介质携带的、以一个或多个代码模块的形式的一个或多个软件产品。由计算机系统的处理器执行这种代码使平台以基本上是在此讨论的和示出的实施例中30实施的方式实现目录和/或软件下载功能。

如在此所使用的，术语如计算机或机器“可读介质”指的是参与提供指令给处理器来执行的任何介质。该种介质可采用许多形式，包括但不限于的非易失性介质、易失性介质和传输介质。非易失性介质包括例如光盘或磁盘，例如作为上述讨论的几个服务器平台之一操作的任何计算机的任何存储设备。易失性介质包括动态存储器，例如这种计算机平台的主存储器。物理传输介质包括同轴电缆、铜线和光纤，包括在计算机系统中包含总线的导线。载波传输介质可采用电信号或电磁信号或例如那些在射频（RF）和红外（IR）数据通信期间产生的声波或光波。计算机可读介质的常见形式因此包括例如：软磁盘、软盘、硬盘、磁带、任何其它磁介质、CD-ROM、DVD、任何其它光学介质、通常少用的如穿孔卡的介质、纸带、任何其它的有孔图案的物理介质、RAM、PROM 以及 EPROM、FLASH-EPROM、任何其它存储芯片或盒式磁带、传输数据或指令的载波、传输这种载波的电缆或链路、或任何其它的计算机可读取编程代码和/或数据的介质。很多这些形式的计算机可读介质可参与运送一个或多个指令的一个或多个序列给处理器执行。

15 尽管本发明已经被详细地描述和示出，但是可清楚理解，本说明书只是用来说明和举例的而不是用来限制的，本发明的范围仅由所附权利要求的条款限制。

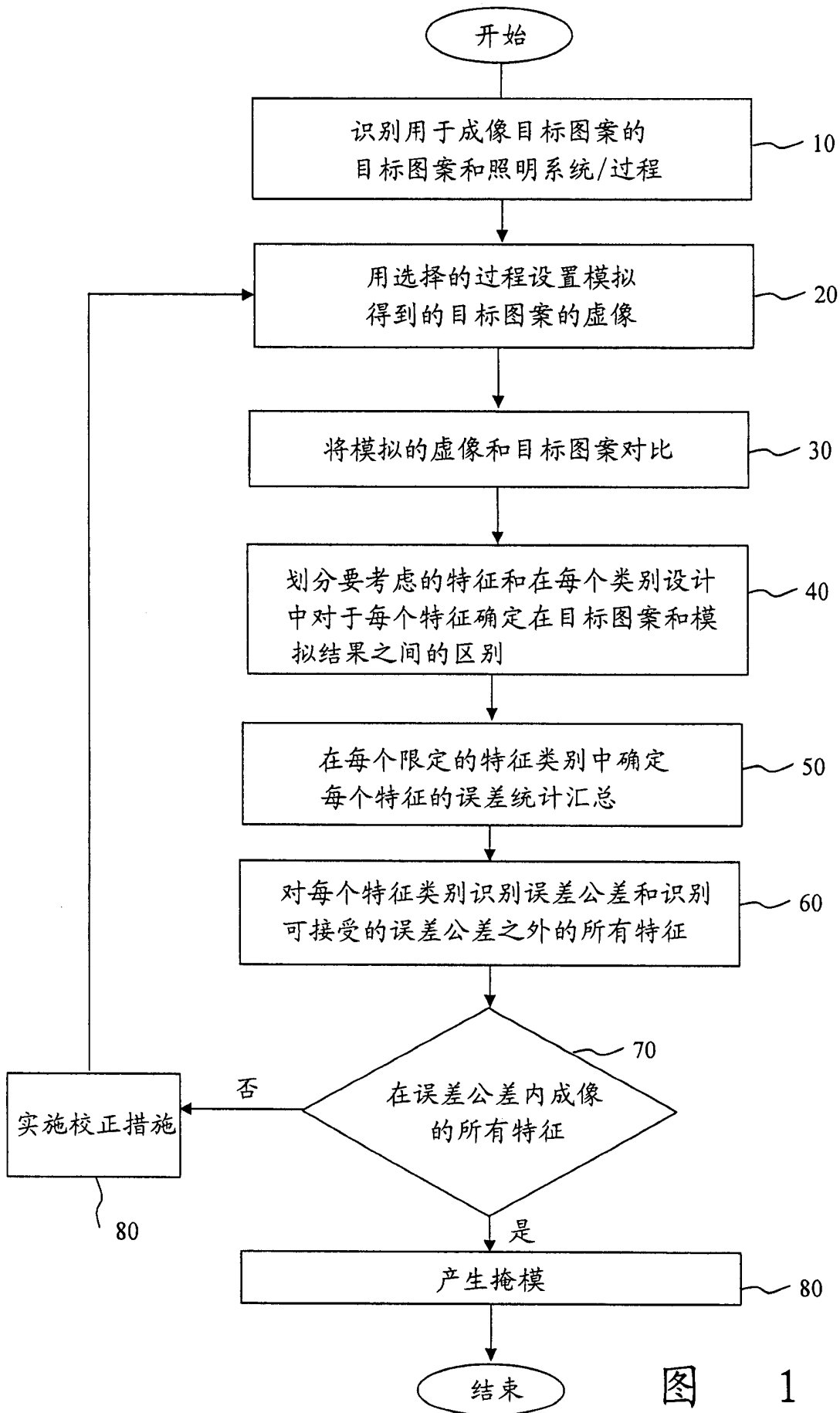


图 1

MRC² 测试图案布置

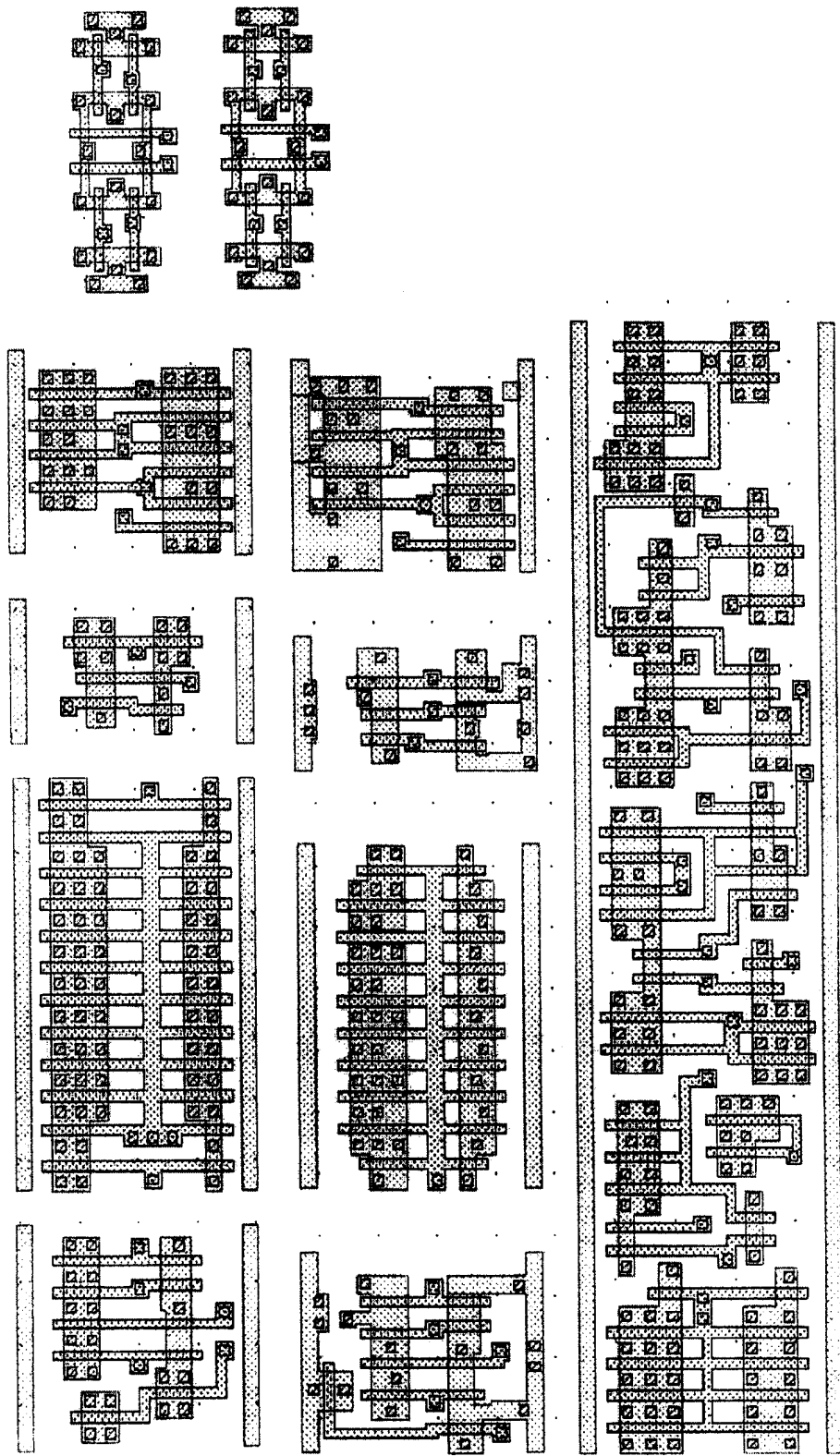


图 2a

用于多层掩膜的MRC² (CPL-基线)

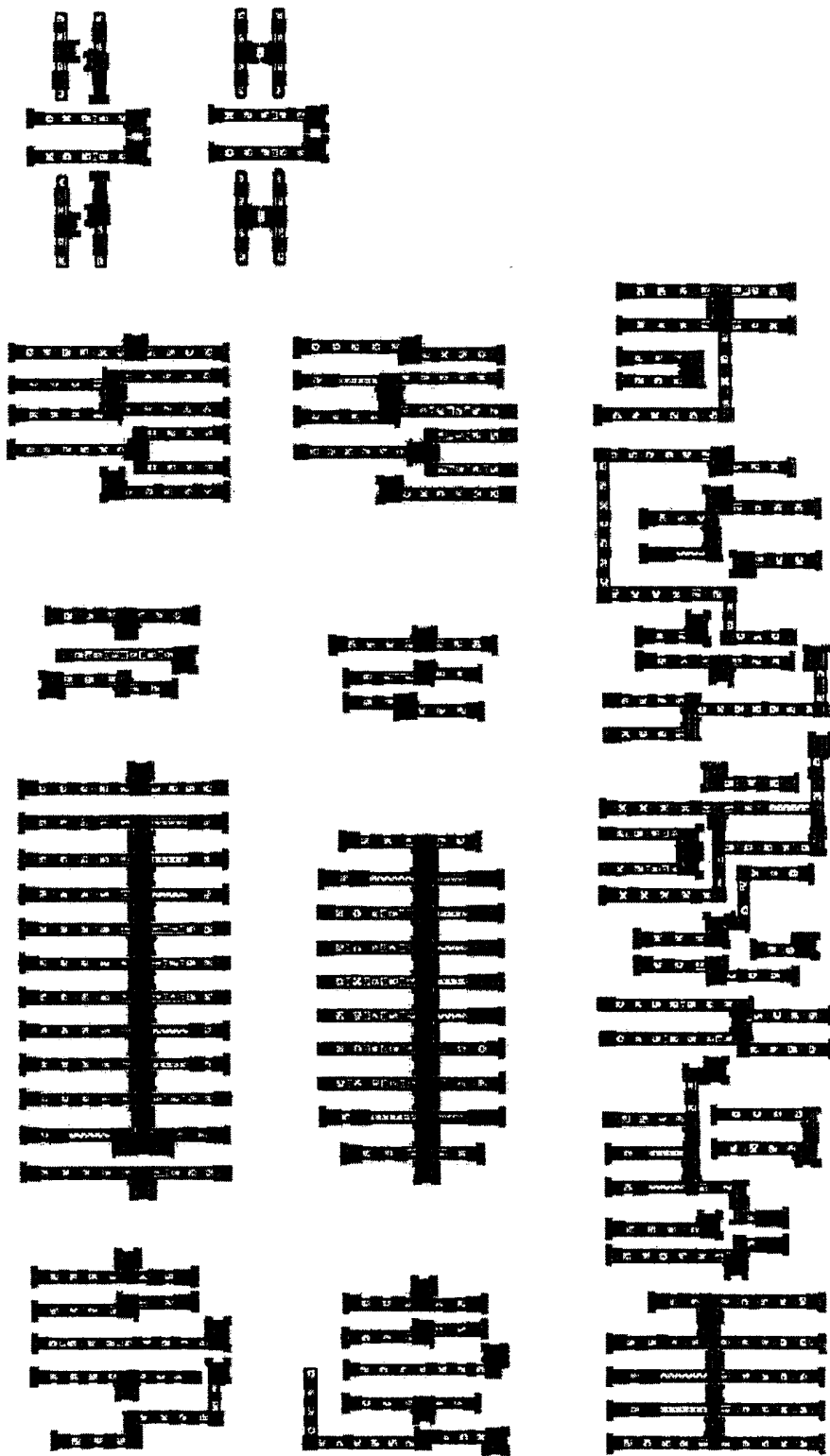


图 2b

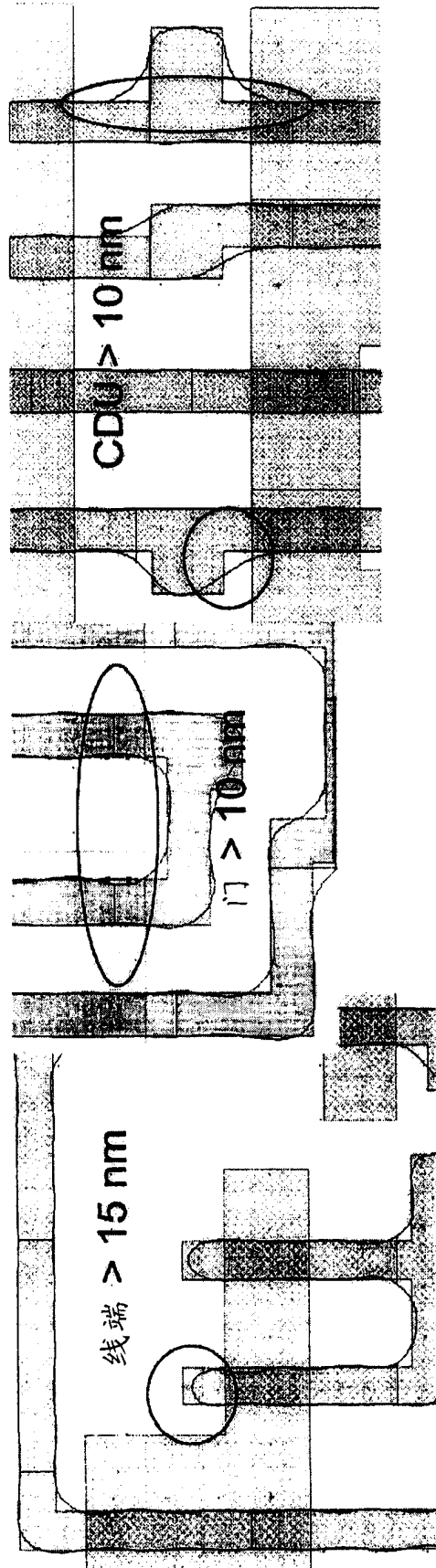


图 3

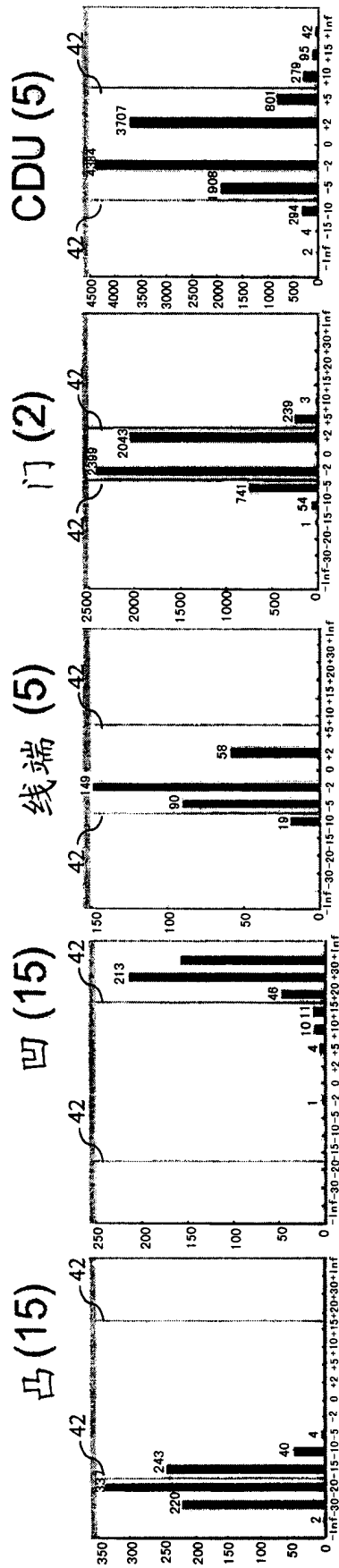


图 4

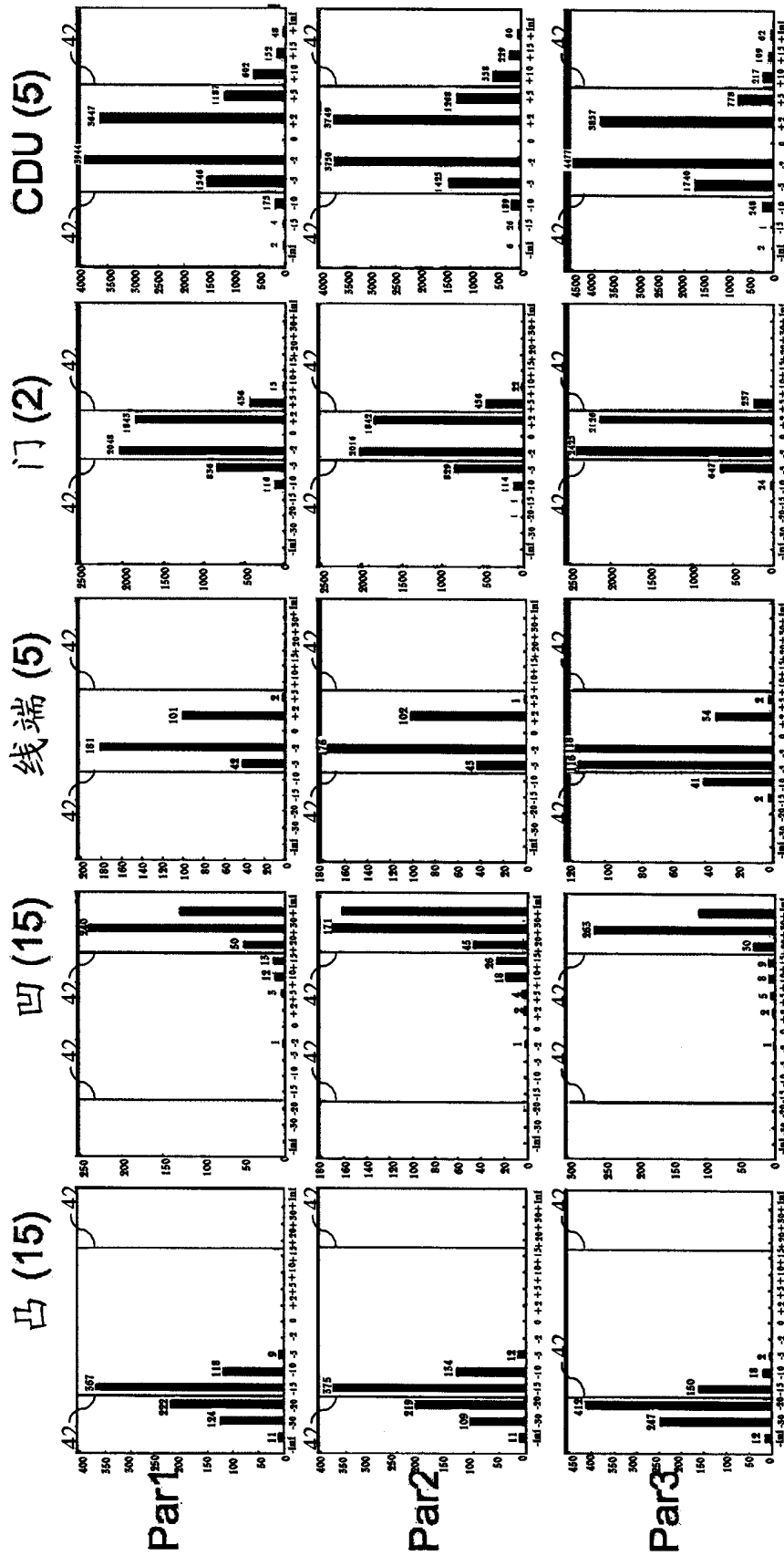


图 5

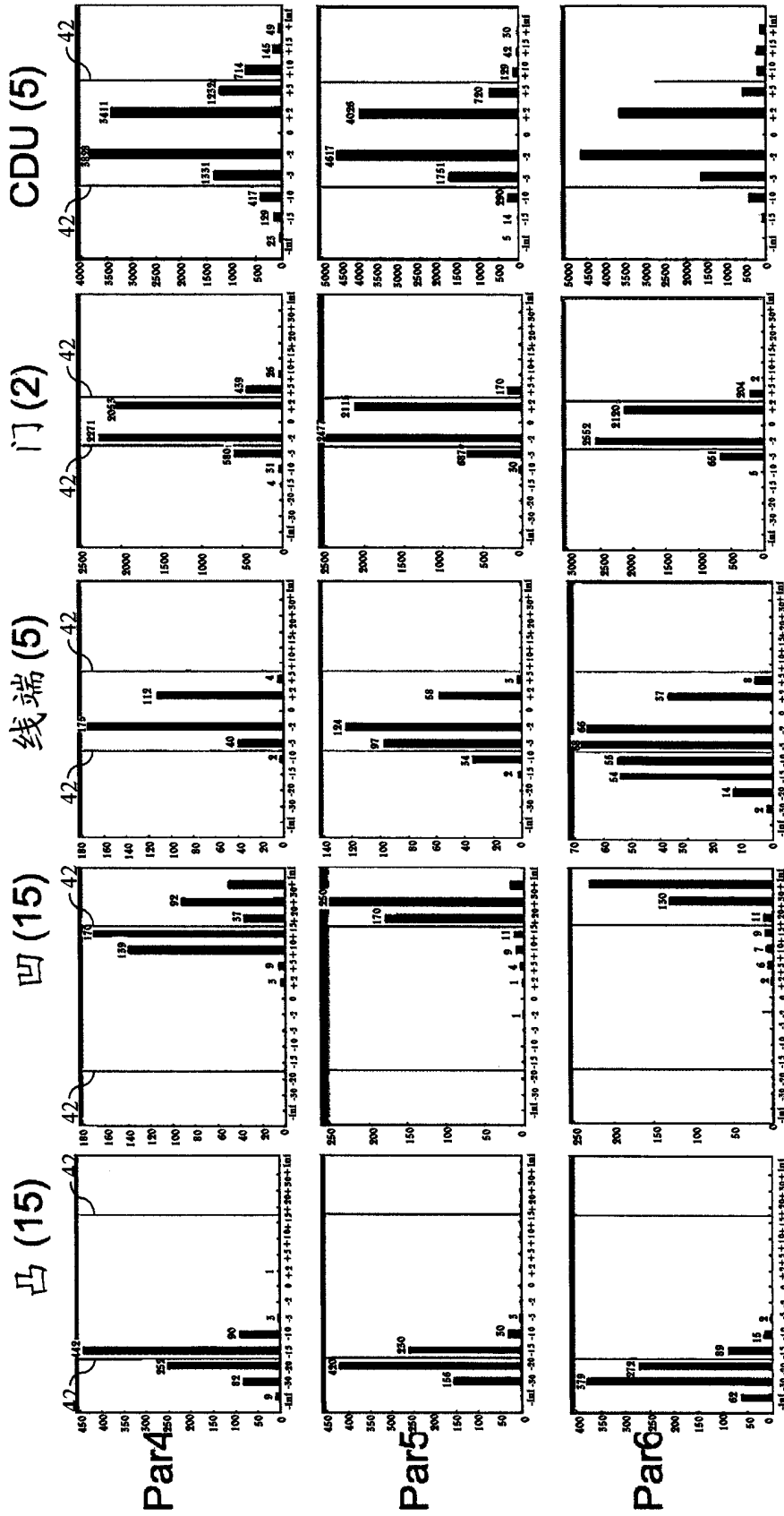


图 6

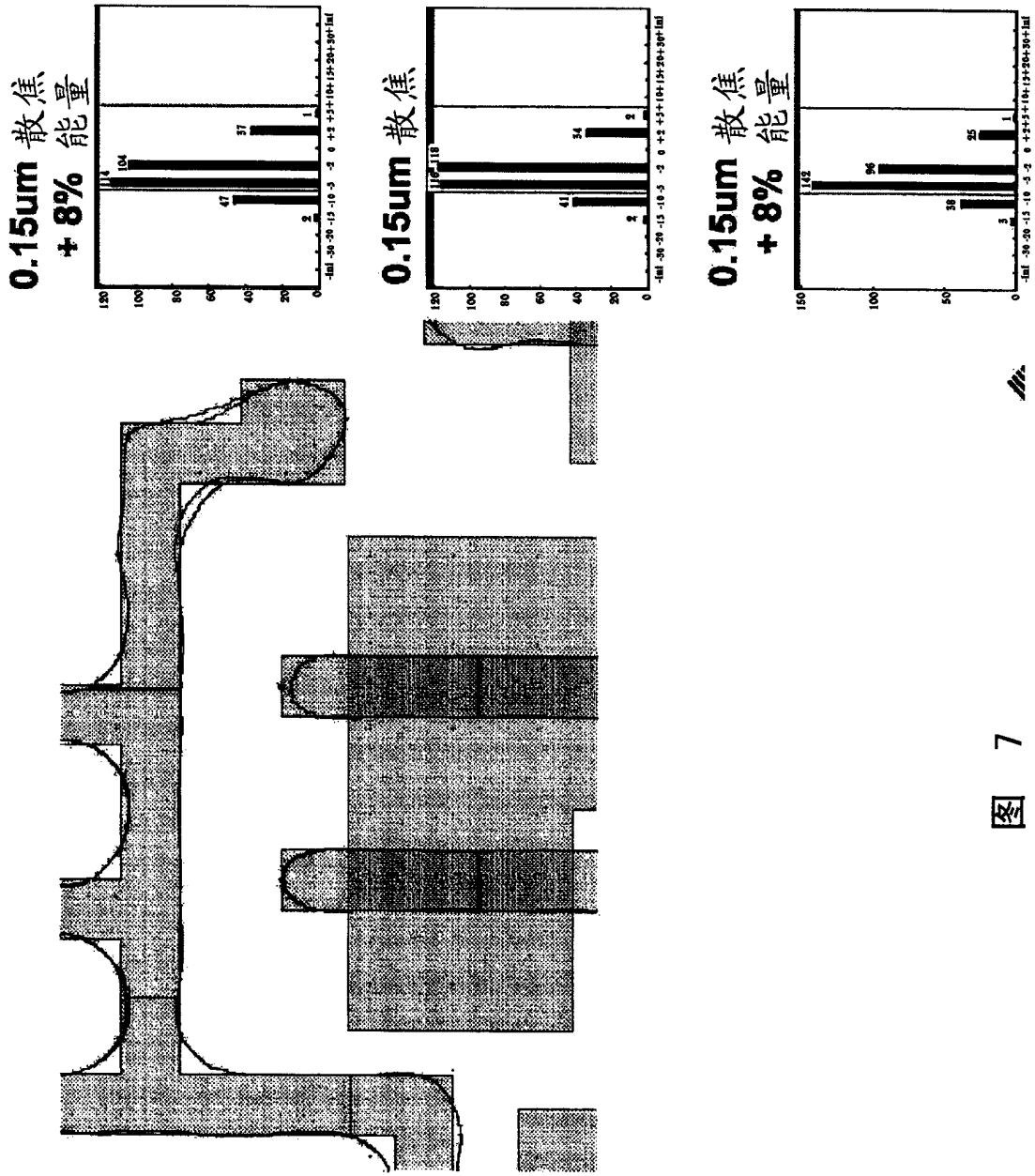


图 7

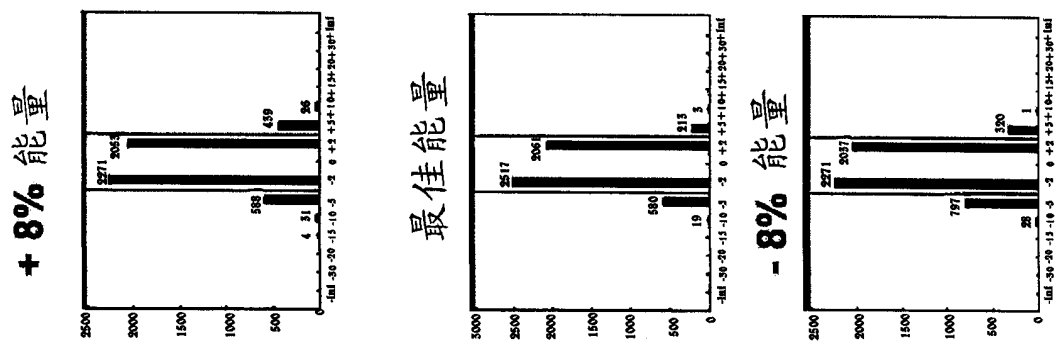
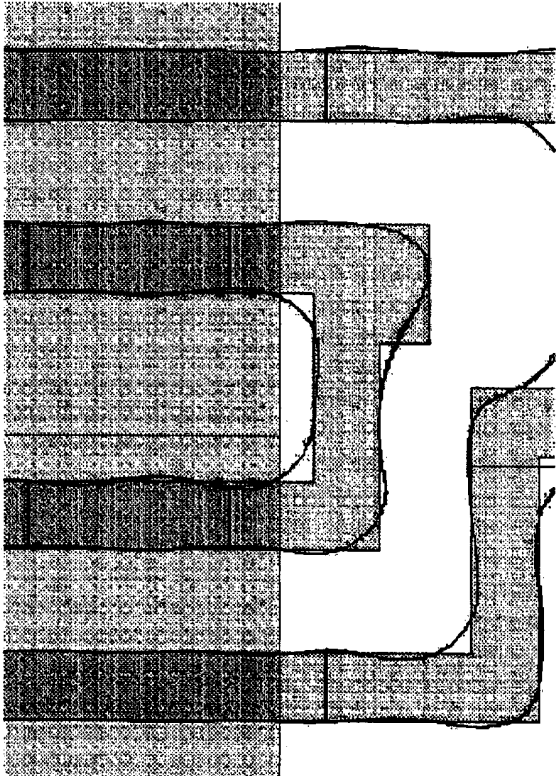
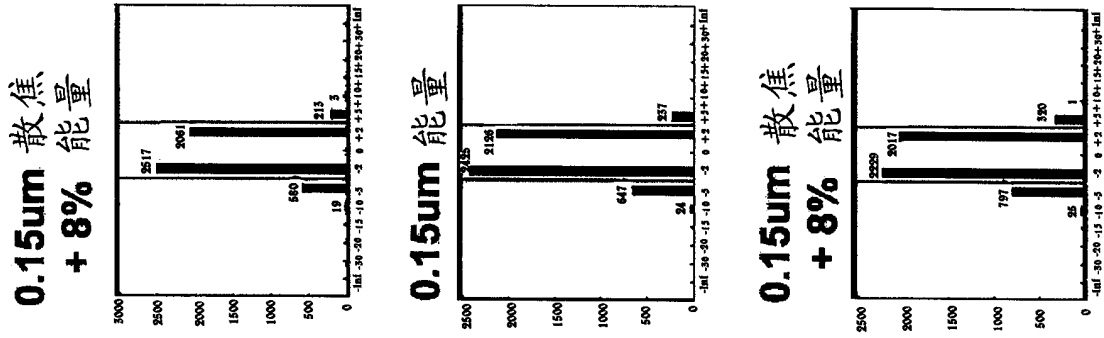


图 8

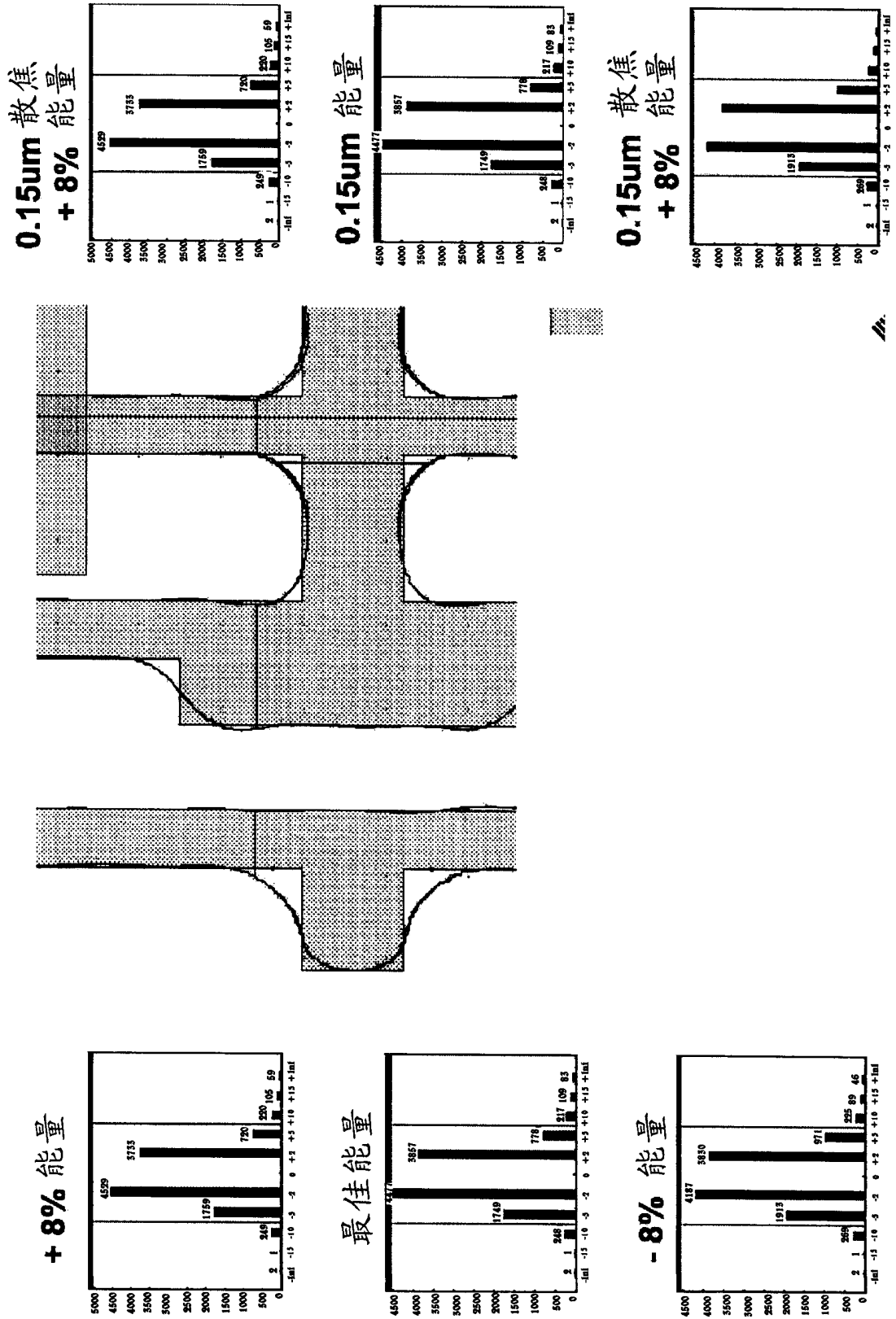


图 9

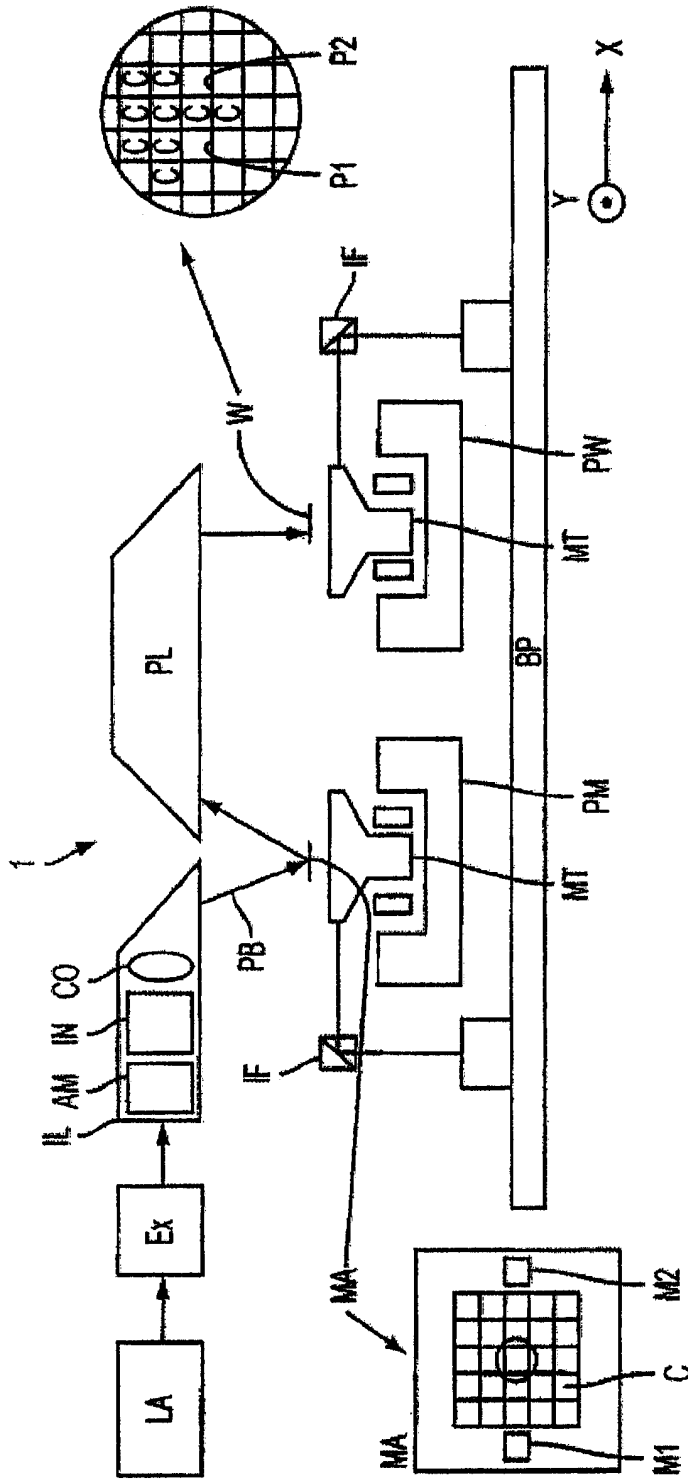


图 10

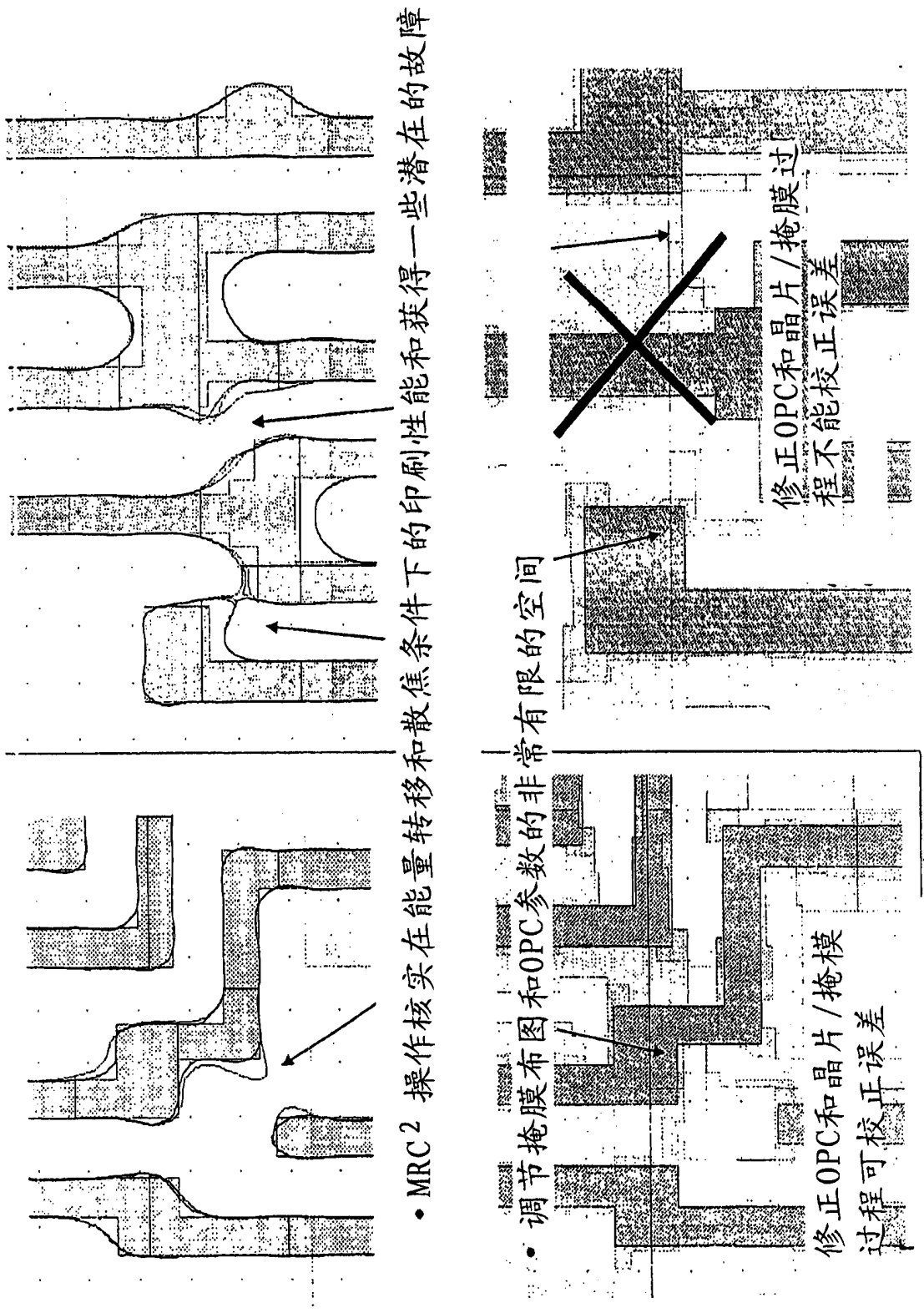
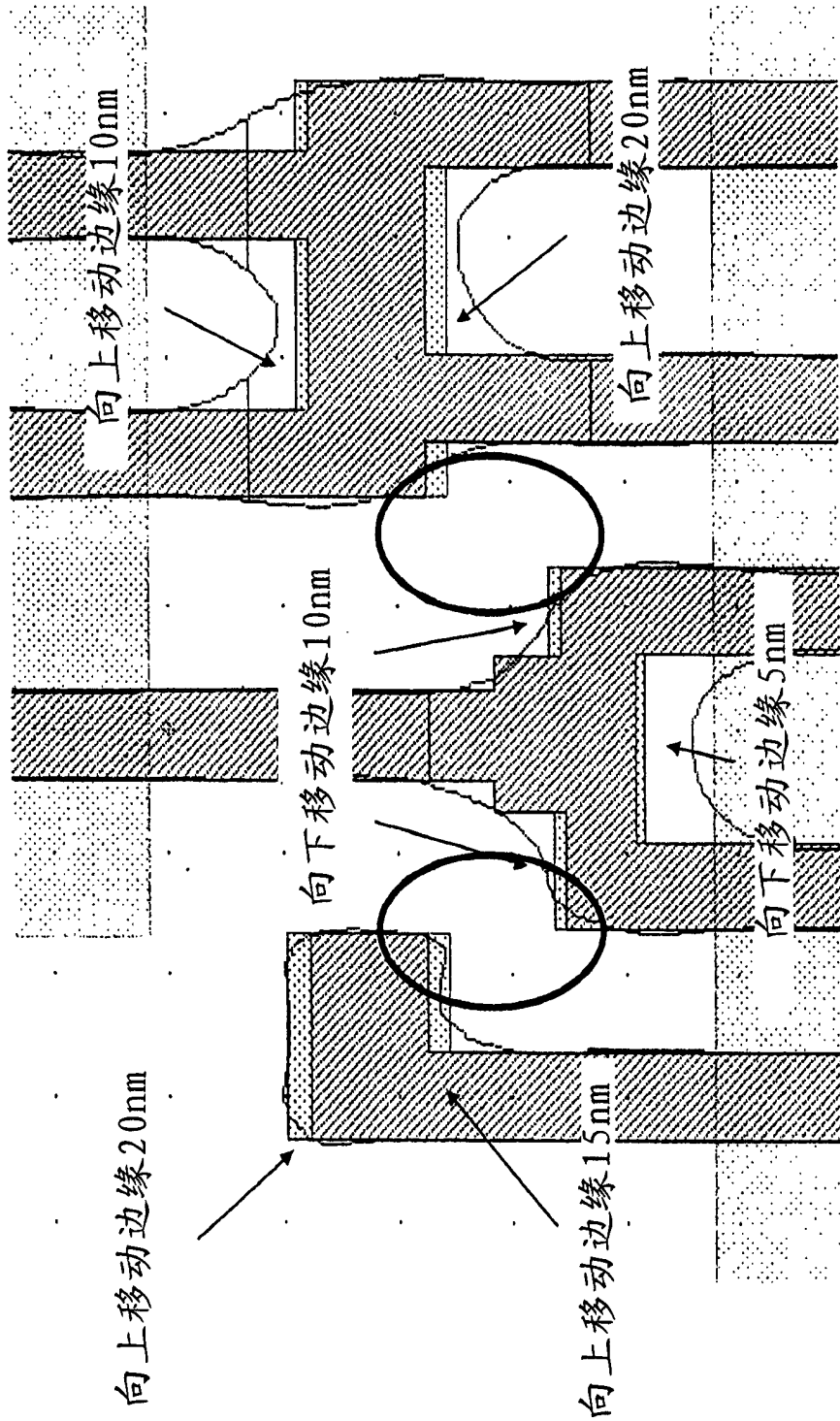


图 11



在散焦和能量转移条件下无桥接误差
该设计对于制造环境是稳固的

图 12