



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/786 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월12일 10-0668954 2007년01월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0106056 2004년12월15일 2004년12월15일	(65) 공개번호 (43) 공개일자	10-2006-0068104 2006년06월21일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10
(72) 발명자	박혁 충북 진천군 진천읍 교성리 교성주공아파트 102동 707호
(74) 대리인	허용록

심사관 : 최광섭

전체 청구항 수 : 총 6 항

(54) 박막트랜지스터 제조 방법

(57) 요약

본 발명은 확장된 소오스/드레인 영역으로부터 붕소 침투를 억제하고 게이트 측벽과 층간 유전막으로부터 발생하는 스트레스를 해소하는 방법에 관한 것이다.

본 발명의 박막트랜지스터 제조 방법은 기판을 준비하는 단계; 상기 기판상에 열산화 공정으로 게이트 산화막을 형성하는 단계; 상기 기판을 제1플라즈마 처리하여 게이트 산화막의 표면에 제1질화층을 형성하는 단계; 상기 기판상에 게이트 전극을 형성하는 단계; 상기 기판을 제2플라즈마 처리하여 게이트 전극 및 소오스/드레인 영역의 표면에 제2질화층을 형성하는 단계; 상기 기판상에 스페이서를 형성하는 단계; 상기 기판상에 제1버퍼층을 형성하는 단계; 상기 기판상에 측벽을 형성하는 단계 및 상기 기판상에 제2버퍼층을 형성하는 단계로 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 박막트랜지스터 제조 방법은 질화와 스페이서 절연막의 증착을 통해 기판을 통한 붕소 침투와 게이트 측벽 및 층간 유전막으로부터 가해지는 스트레스를 억제해주는 효과가 있다.

대표도

도 2

특허청구의 범위

청구항 1.

박막트랜지스터 제조 방법에 있어서,

기판을 준비하는 단계;

상기 기판상에 열산화 공정으로 게이트 산화막을 형성하는 단계;

상기 기판을 제1플라즈마 처리하여 게이트 산화막의 표면에 제1질화층을 형성하는 단계;

상기 기판상에 게이트 전극을 형성하는 단계;

상기 기판을 제2플라즈마 처리하여 상기 게이트 전극이 상기 기판과 접하는 에지부를 포함하는 게이트 전극의 측면 및 소오스/드레인 영역의 표면 상에 제 2질화층을 형성하는 단계;

상기 게이트 전극 및 기판상에 스페이서를 형성하는 단계;

상기 스페이서 상에 제1버퍼층을 형성하는 단계;

상기 제 1 버퍼층상에 측벽을 형성하는 단계; 및

상기 측벽상에 제2버퍼층을 형성하는 단계

를 포함하는 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 2.

제 1항에 있어서,

상기 열산화 공정은 650℃ 내지 750℃의 온도에서 급속 열처리 장비로 이루어짐을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 3.

제 1항에 있어서,

상기 제1질화층은 500Å 내지 2000Å로 형성되는 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 4.

제 1항에 있어서,

상기 게이트 산화막은 100Å 내지 300Å로 형성되는 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 5.

제 1항에 있어서,

상기 제1버퍼층은 산화물 계열의 화합물로 증착하는 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 6.

제 1항에 있어서,

상기 제2버퍼층은 상기 제1버퍼층보다 두껍게 증착하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 제조 방법에 관한 것으로, 보다 자세하게는 확장된 소오스/드레인 영역으로부터 붕소 침투를 억제하고 게이트 측벽과 층간 유전막으로부터 발생하는 스트레스를 해소하는 방법에 관한 것이다.

고성능과 고밀도를 가지는 CMOS(Complementary Metal Oxide Semiconductor) 소자의 제조시 소자의 신뢰성은 중요한 소자의 특성을 나타내는 위치를 차지하고 있으며 소자의 크기가 작아질수록 게이트 산화막(Gate Oxide)의 두께도 얇아지게 된다. 그러나 전원 공급기를 통해 공급되는 전원은 게이트 산화막의 두께 감소와 비례하여 줄어들지 않으며, 이에 의해 전기적 스트레스(Electrical stress)가 발생하여 이에 대한 충분히 신뢰성을 갖는 게이트 산화막을 구현하기 어렵다.

도 1은 종래기술에 의한 전기적 스트레스와 붕소 침투를 도시한 것이다. 도 1과 같이 게이트 산화막(100)의 표면에 질화(110)를 실시하여 폴리 실리콘 게이트로부터 유입되는 붕소 침입(Boron penetration)을 차단하게 된다.

그러나 이와 같이 종래기술은 게이트의 폴리 실리콘으로부터 발생하는 붕소의 침투는 막아줄 수 있으나, 기관으로 발생하는 붕소의 침투는 억제할 수 없다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 확장된 소오스/드레인 영역으로부터 붕소 침투를 억제하고 게이트 측벽과 층간 유전막으로부터 발생하는 스트레스를 해소하여 적은 게이트 누설현상과 신뢰성 높은 게이트 산화막을 제공함에 본 발명의 목적이 있다.

발명의 구성

본 발명의 상기 목적은 기관을 준비하는 단계; 상기 기관상에 열산화 공정으로 게이트 산화막을 형성하는 단계; 상기 기관을 제1플라즈마 처리하여 게이트 산화막의 표면에 제1질화층을 형성하는 단계; 상기 기관상에 게이트 전극을 형성하는 단계; 상기 기관을 제2플라즈마 처리하여 게이트 전극 및 소오스/드레인 영역의 표면에 제2질화층을 형성하는 단계; 상기 기관상에 스페이서를 형성하는 단계; 상기 기관상에 제1버퍼층을 형성하는 단계; 상기 기관상에 측벽을 형성하는 단계 및 상기 기관상에 제2버퍼층을 형성하는 단계로 이루어진 박막트랜지스터 제조 방법에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참고한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 2는 본 발명에 의한 박막트랜지스터 제조 방법이다. 우선 기관(200)에 웰 및 STI(Shallow Trench Isolation)를 형성하고 채널 이온 주입을 실시한다. 상기 공정 후 상기 기관(200)에 열산화 공정으로 게이트 산화막(210)을 형성한다.

상기 열산화 공정은 650℃ 내지 750℃의 온도에서 RTP(Rapid Thermal Processing)를 이용해 상기 게이트 산화막(210)을 바람직하게는 100Å 내지 300Å으로 형성하면서 고농도의 제1플라즈마 처리하여 상기 게이트 산화막(210) 표면에 제1질화층(220)을 형성한다. 상기 제1질화층(200)은 바람직하게는 500Å 내지 2000Å 정도로 증착한다.

상기 제1질화층(220)이 형성된 상기 기판(200)에 저압화학증착(LP-CVD : Low Pressure Chemical Vapour Deposition) 방법으로 폴리 실리콘을 증착한 후 게이트 전극(230)을 형성한다. 상기 게이트 전극(230)을 형성한 후 신장된 소오스/드레인쪽으로부터 발생하는 붕소 불순물의 침투를 막기 위해 다시 한번 제2플라즈마 처리를 한다. 상기 제2플라즈마 처리를 통하여 플라즈마 처리된 얇은 제2질화층(240)이 상기 게이트 전극(230) 및 상기 신장된 소오스/드레인 영역의 표면에 형성된다.

그 후 포켓(250) 형성을 위한 이온 주입(Pocket implant)과 LDD(Lightly Doped Drain)(260) 형성을 위한 이온 주입(Lightly Doped Drain implant)을 실시한 후, TEOS(Tetra-ethoxysilane) 계열의 스페이서(spacer)(270)를 저압화학증착 방법으로 증착한다. 상기 스페이서(270)가 증착된 후 제1버퍼층(280)을 형성한 후 측벽(Sidewall)(300)을 형성한다. 상기 제1버퍼층(280)은 측벽과 층간 유전막으로부터 발생하는 스트레스를 억제하는 역할을 하며 바람직하게는 산화물 계열의 화합물로 증착한다. 상기 측벽(300)은 바람직하게는 SiN을 이용하여 형성한다.

상기 측벽(300)을 형성한 후에 다시 제2버퍼층(290)을 상기 제1버퍼층(280)의 두께보다 두껍게 형성한다. 상기 제2버퍼층(290)은 상기 게이트 전극(230)에 가해지는 스트레스를 완화시켜 소자의 신뢰성을 높여주는 역할을 하게 된다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

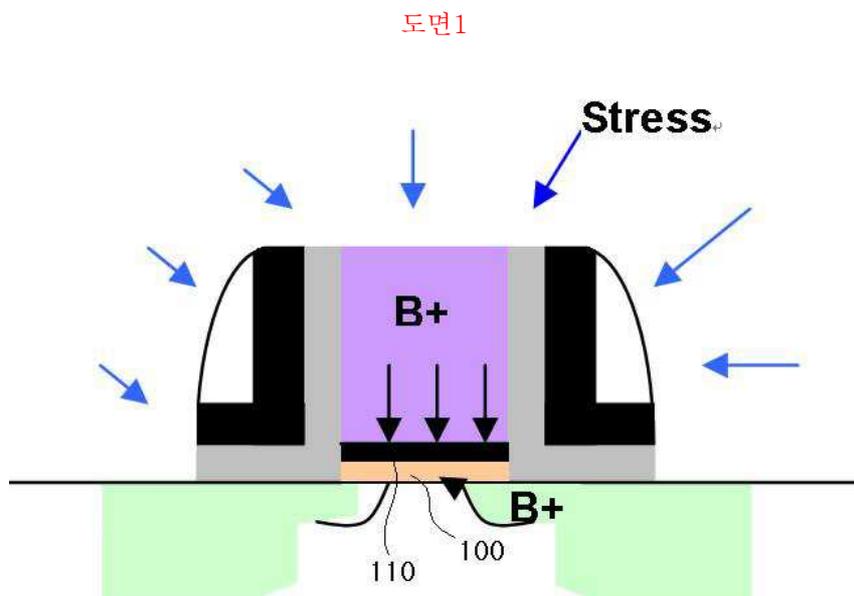
본 발명의 박막트랜지스터 제조 방법은 질화와 스페이서 절연막의 증착을 통해 기판을 통한 붕소 침투와 게이트 측벽 및 층간 유전막으로부터 가해지는 스트레스를 억제해주는 효과가 있다.

도면의 간단한 설명

도 1은 종래기술에 의한 스트레스와 붕소 침입.

도 2는 본 발명에 의한 박막트랜지스터 제조 방법.

도면



도면2

