

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-220281

(P2015-220281A)

(43) 公開日 平成27年12月7日(2015.12.7)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46 Q	5E316
	H05K 3/46 N	
	H05K 3/46 B	

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願2014-101545 (P2014-101545)
 (22) 出願日 平成26年5月15日 (2014.5.15)

(71) 出願人 000000158
 イビデン株式会社
 岐阜県大垣市神田町2丁目1番地
 (74) 代理人 100095795
 弁理士 田下 明人
 (72) 発明者 島部 豊高
 岐阜県大垣市河間3-200 イビデン株
 式会社河間事業場内
 (72) 発明者 富永 隆一朗
 岐阜県大垣市笠縫町100-1 イビデン
 株式会社大垣中央事業場内

最終頁に続く

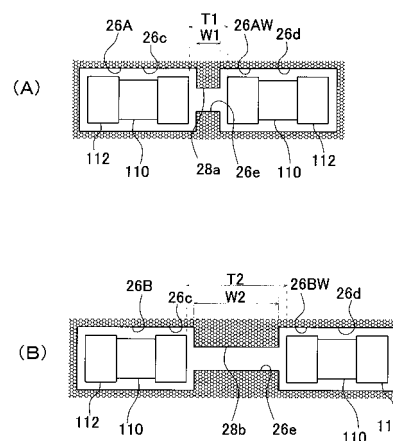
(54) 【発明の名称】 プリント配線板

(57) 【要約】

【課題】 電子部品を内蔵するプリント配線板の信頼性を高める。

【解決手段】 幅の小さな第1キャビティ26Aには幅の小さな第1突起28aが設けられ、幅の大きな第2キャビティ26Bには幅の大きな第2突起28bが設けられるため、混在する幅の小さな第1キャビティ、幅の大きな第2キャビティでそれぞれ、電子部品110を適切に位置決めできる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

電子部品収容用の第 1 キャビティ、第 2 キャビティを有するコア基板と、前記第 1 キャビティ、前記第 2 キャビティにそれぞれ収容されている複数の電子部品と、前記コア基板上に形成され、前記第 1 キャビティ、第 2 キャビティを覆っている層間樹脂絶縁層を含むビルドアップ層と、を有するプリント配線板であって、前記第 1 キャビティ、前記第 2 キャビティにそれぞれ電子部品が収容される空間と、電子部品間を仕切る突起とが形成されており、前記第 1 キャビティ内における電子部品間の距離 T_1 、突起の先端での幅 W_1 、前記第 2 キャビティ内における電子部品間の距離 T_2 、突起の先端での幅 W_2 とした場合、 $T_1 < T_2$ 、且つ、 $W_1 < W_2$ である。

10

【請求項 2】

請求項 1 のプリント配線板であって、前記コア基板は、複数の樹脂層で形成された多層コア基板である。

【請求項 3】

請求項 2 のプリント配線板であって、さらに、前記多層コア基板は、それぞれの樹脂層に形成されたビア導体どうしを積層してなるスタックビアを有する。

【請求項 4】

請求項 1 のプリント配線板であって、さらに、前記第 1 キャビティ内、前記第 2 キャビティ内には、電子部品固定用の樹脂が充填されている。

20

【請求項 5】

請求項 1 のプリント配線板であって、前記突起は、矩形形状である。

【請求項 6】

請求項 1 のプリント配線板であって、前記突起は、台形形状である。

【請求項 7】

請求項 1 のプリント配線板であって、前記電子部品はチップコンデンサである。

30

【請求項 8】

請求項 1 のプリント配線板であって、さらに、前記層間樹脂絶縁層上に導体層を有し、前記層間樹脂絶縁層には前記電子部品の電極と前記導体層とを接続するビア導体が形成される。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電子部品を内蔵するプリント配線板に関する。

【背景技術】

40

【0002】

特許文献 1 はコア基板に複数のチップコンデンサを内蔵しているプリント配線板を開示している。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2013 - 183029 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

50

しかしながら、1つの開口に複数のチップコンデンサを収容する場合、開口内でのチップコンデンサの位置決め精度が低いと、チップコンデンサへのビア導体による接続が取れなくなることがあり、接続信頼性が低下するという課題が生じる。

【0005】

本発明の目的は、電子部品を内蔵するプリント配線板の信頼性を高めることである。

【課題を解決するための手段】

【0006】

本発明に係るプリント配線板は、電子部品収容用の第1キャビティ、第2キャビティを有するコア基板と、前記第1キャビティ、前記第2キャビティにそれぞれ収容されている複数の電子部品と、前記コア基板上に形成され、前記第1キャビティ、第2キャビティを覆っている層間樹脂絶縁層を含むビルドアップ層と、を有する。そして、前記第1キャビティ、前記第2キャビティにそれぞれ電子部品が収容される空間と、電子部品間を仕切る突起とが形成されており、前記第1キャビティ内における電子部品間の距離 $T1$ 、突起の先端での幅 $W1$ 、前記第2キャビティ内における電子部品間の距離 $T2$ 、突起の先端での幅 $W2$ とした場合、

10

$T1 < T2$ 、且つ、 $W1 < W2$ である。

【発明の効果】

【0007】

幅の小さな第1キャビティには幅の小さな突起が設けられ、幅の大きな第2キャビティには幅の大きな突起が設けられるため、混在する幅の小さな第1キャビティ、幅の大きな第2キャビティでそれぞれ、電子部品を適切に位置決めできる。また、幅の異なるキャビティが混在しても電子部品間の接触等の不良を起こさないため、キャビティサイズ的设计において設計自由度が高くなる。

20

【図面の簡単な説明】

【0008】

【図1】本発明の第1実施形態に係るプリント配線板の断面図。

【図2】第1実施形態に係るプリント配線板の多層コア基板の平面図。

【図3】図3(A)は第1キャビティを示す図であり、図3(B)は第2キャビティを示す図である。

【図4】第1実施形態のプリント配線板の製造方法を示す工程図。

30

【図5】第1実施形態のプリント配線板の製造方法を示す工程図。

【図6】第1実施形態のプリント配線板の製造方法を示す工程図。

【図7】第1実施形態のプリント配線板の製造方法を示す工程図。

【図8】第1実施形態のプリント配線板の製造方法を示す工程図。

【図9】第1実施形態のプリント配線板の製造方法を示す工程図。

【図10】図10(A)は第1実施形態の第1変更例に係る第1キャビティを示す図であり、図10(B)は第2キャビティを示す図である。

【図11】図11(A)は第1実施形態の第2変更例に係る第1キャビティを示す図であり、図11(B)は第2キャビティを示す図である。

【図12】図12(A)は第1実施形態の第3変更例に係る第1キャビティを示す図であり、図12(B)は第2キャビティを示す図である。

40

【発明を実施するための形態】

【0009】

[第1実施形態]

本発明の第1実施形態に係るプリント配線板10の断面が図1に示される。そのプリント配線板10では、チップコンデンサなどの電子部品110が第1面(F)とその第1面と反対側の第2面(S)を有する多層コア基板30に内蔵されている。ここでいう電子部品とはチップコンデンサに限らず、チップ抵抗、インダクタ、サーミスタ等でも良い。

【0010】

第1実施形態のプリント配線板の多層コア基板30は第3樹脂層20Cとその第3樹脂層

50

を挟む第1樹脂層20Aと第2樹脂層20Bを有する。第1樹脂層はコア基板の最上層であり、第2樹脂層はコア基板の最下層である。コア基板の第1面(F)と各樹脂層の第1面は同じ面であり、コア基板の第2面(S)と各樹脂層の第2面は同じ面である。各樹脂層20C、20A、20Bは補強材を有している。

【0011】

コア基板は第1樹脂層の第1面上に第1の導体層34Fを有し、第2樹脂層の第2面上に第2の導体層34Sを有し、第1樹脂層と第3樹脂層の間に第3の導体層34Aを有し、第2樹脂層と第3樹脂層の間に第4の導体層34Bを有する。第1と第2と第3の導体層はビアランドを含み、第4の導体層はビアパッド(ビア導体のパッド)34BPを含む。第1と第2と第3と第4の導体層は、さらに、導体回路を含んでも良い。

10

【0012】

コア基板は、さらに、第1樹脂層を貫通し第1の導体層と第3の導体層を接続する層間接続用導体(ビア導体)36Aと、第2樹脂層を貫通し第2の導体層と第4の導体層を接続する層間接続用導体(ビア導体)36Bと、第3樹脂層を貫通し第3の導体層と第4の導体層を接続する層間接続用導体(ビア導体)36Cを有する。

【0013】

ビア導体36A、36B、36Cは直線に積層されていて、これらのビア導体とビア導体36Bとビア導体36Cで挟まれるビアパッド34BPでスルーホール導体が形成される。ビア導体36Aはビア導体36C上に直接積層されて、ビア導体36Cとビア導体36Bはビアパッド34BPを挟んでいる。ここで、各樹脂層の厚みは略同じであると各樹脂層のビア導体の長さが同等に成り、スルーホール導体の信頼性が高くなる。

20

【0014】

図2は、図1中の多層コア基板30の平面図である。図2中のX1-X1断面が図1に対応する。コア基板は第1面Fから第2面Sに至る第1キャビティ26Aと、第2キャビティ26Bとを有する。第1キャビティ26Aは幅が第2キャビティ26Bよりも狭く形成されている。第1キャビティ26A、第2キャビティ26Bは、コア基板を構成している複数の樹脂層を貫通している。それぞれの第1キャビティ26A、第2キャビティ26Bに1対の電子部品110が収容される。多層コア基板には、図1を参照して上述されたビア導体36Aのランド36AR、第1の導体層34Fが形成されている。

【0015】

図3(A)に図2中の第1キャビティ26Aが示され、図3(B)に第2キャビティ26Bが示される。

30

第1キャビティ26Aは、電子部品を収容するための矩形の空間部26c、空間部26dと、空間部内の電子部品を仕切るための矩形形状の第1突起28aを備える。第1突起28aは、第1キャビティの側壁26AWから、多層コア基板の第1面、第2面に平行方向へ突出し、一对の第1突起が対向するように形成されている。第1突起28aと第1突起28aとの間には、空間部26cと空間部26dとを繋ぐ連通部26eが形成されている。図1中に示されるように、空間部26c、26dに収容された電子部品110の端子112に、ビア導体60FIが接続されている。

【0016】

40

第2キャビティ26Bは、電子部品を収容するための矩形の空間部26c、空間部26dと、空間部内の電子部品を仕切るための矩形形状の第2突起28bを備える。第2突起28bは第2キャビティの側壁26BWから、多層コア基板の第1面、第2面に平行方向に突出し、一对の第2突起が対向するように形成されている。第2突起28bと第2突起28bとの間には、空間部26cと空間部26dとを繋ぐ連通部26eが形成されている。

【0017】

第1実施形態では、混在する相対的に幅の小さな第1キャビティ26A、相対的に幅の大きな第2キャビティ26Bとに、それぞれ電子部品が収容される空間部26c、26dと、電子部品間を仕切る第1突起28a、第2突起28bとが形成されている。そして、第1キャビティ内における電子部品間の距離T1、第1突起28aの幅W1、第2キャビテ

50

ィ内における電子部品間の距離 T_2 、第2突起28bの幅 W_2 とした場合、 $T_1 < T_2$ 、且つ、 $W_1 < W_2$ である。

【0018】

幅の小さな第1キャビティ26Aには幅の小さな第1突起28aが設けられ、幅の大きな第2キャビティ26Bには幅の大きな第2突起28bが設けられるため、混在する幅の小さな第1キャビティ、幅の大きな第2キャビティでそれぞれ、電子部品110を適切に位置決めできる。電子部品110の端子112に確実にビア導体60FIを接続させることができる。また、幅の異なるキャビティが混在しても電子部品間の接触等の不良を起こさないため、キャビティサイズの設計において設計自由度が高くなる。実施形態では、第1キャビティ26A、第2キャビティ26Bにそれぞれ2個の電子部品を収容するため、1

10

【0019】

コア基板の樹脂層を複数にすることで各樹脂層の厚みが薄くなる。そのため、各樹脂層に形成されているビア導体用の開口をめっきで充填しやすくなる。ポイドなどの欠陥の少ない、もしくは、欠陥を含んでいないビア導体が形成される。このため、スルーホール導体の抵抗が低くなる。但し、コア基板は多層コア基板に限らず、樹脂層の両面に導体層が形成された2層コア基板でも良い。

【0020】

第1実施形態のコア基板は電子部品を収容するためのキャビティ26A、26Bを有している。そのため、コア基板の強度が低い。しかしながら、第1実施形態ではスルーホール導体がフィールドビアと金属からなるビアパッドで形成されているので、コア基板の強度が高い。そのため、コア基板が電子部品を収容するためのキャビティを有してもプリント配線板の反りが小さい。コア基板に内蔵される電子部品がダメージを受けがたい。各樹脂層が薄くてもスルーホール導体によりコア基板の強度が高くなるので、薄い電子部品を内蔵することができる。コア基板の厚みは電子部品の厚みと同等もしくは厚い。コア基板の厚みと電子部品の厚みの差は0から220 μm とするのが好ましい。

20

【0021】

図1に示されるように、多層コア基板30の第1面Fとチップコンデンサ上に上側のビルドアップ層が形成されている。上側のビルドアップ層は多層コア基板30の第1面Fとチップコンデンサ110上に形成されている絶縁層(第1の層間樹脂絶縁層)50Fとその絶縁層50F上の導体層(上側の導体層)58Fと絶縁層50Fを貫通し第1の導体層34Fやスルーホール導体と導体層58Fを接続しているビア導体60Fとを有する。ビア導体60Fは導体層58Fとチップコンデンサなどの電子部品の電極112とを接続するビア導体60FIを含む。

30

【0022】

多層コア基板30の第2面Sとチップコンデンサ下に下側のビルドアップ層が形成されている。下側のビルドアップ層は多層コア基板30の第2面Sとチップコンデンサ下に形成されている絶縁層(第2の層間樹脂絶縁層)50Sとその絶縁層50S下の導体層(下側の導体層)58Sと絶縁層50Sを貫通し第2の導体層34Sやスルーホール導体と導体層58Sを接続しているビア導体60Sを有する。第2の導体層34Sはアライメントマーク34SAを含む。

40

電子部品収容用のキャビティ26A、26B内の隙間は充填材50で充填されている。隙間は電子部品とコア基板間のスペースである。隙間は層間樹脂絶縁層の樹脂成分で充填されている。但し、上側および下側のビルドアップ層は、それぞれ複数の層間樹脂絶縁層と複数の導体層からなっても良い。

【0023】

上側と下側のビルドアップ層に開口71を有するソルダーレジスト層70F、70Sが形成されている。ソルダーレジスト層の開口71により露出されている導体層58F、58Sやビア導体60F、60Sの上面はパッドとして機能する。パッド上にNi/Pd/A

50

uなどの金属膜72が形成され、その金属膜上に半田バンプ76F、76Sが形成されている。上側のビルドアップ層上に形成されている半田バンプ76Fを介してICチップがプリント配線板10に搭載される。下側のビルドアップ層上に形成されている半田バンプ76Sを介してプリント配線板はマザーボードに搭載される。

【0024】

第1実施形態では、多層コア基板30にチップコンデンサ110が内蔵されるので、チップコンデンサ110と実装されるICチップとの距離が短い。そのため、ICチップへ電源が瞬時に供給されるので、ICチップが誤動作しがたい。

【0025】

[第1実施形態の製造方法]

第1実施形態のプリント配線板10の製造方法が図4～図9に示される。

(1)第1面(F)と第1面と反対側の第3面とを有する絶縁性基材20Czとその両面に銅箔18Cが積層されている両面銅張積層板20Zが発材材料である。絶縁性基材の厚さは、45～75μmである。厚みが45μmより薄いと基板強度が低すぎる。厚みが75μmを越えるとプリント配線板の厚さが厚くなる。銅箔18Cの表面に図示されない黒化処理が施される(図4(A))。絶縁性基材はガラスクロスを有する。このガラスはTガラスである。絶縁性基材20Czが第3樹脂層20Cに相当する。

【0026】

(2)絶縁性基材の第1面F側から両面銅張積層板20Zにレーザが照射される。絶縁性基材にビア導体用の開口21Cが形成される(図4(B))。

【0027】

(3)無電解めっき処理により無電解めっき膜22Cが開口21Cの内壁と銅箔上に形成される(図4(C))。

【0028】

(4)電解めっき処理により、無電解めっき膜上に電解めっき膜25Cが形成される。開口21Cは電解めっき膜で充填され、ビア導体36Cが形成される。ビア導体36Cは開口21Cの内壁に形成されている無電解めっき膜22Cと開口21Cを充填している電解めっき膜25Cで形成される(図4(D))

【0029】

(5)電解めっき膜25Cに所定パターンのエッチングレジスト24Cが形成される(図4(E))。

【0030】

(6)エッチングレジストから露出する電解めっき膜22C、無電解めっき膜25C、銅箔18Cが除去される。その後、エッチングレジストが除去される。第3の導体層34A、第4の導体層34Bとビア導体36Cが形成される(図5(A))。

【0031】

(7)第3樹脂層20Cの第1面Fと第3の導体層34A上にプリプレグと金属箔18Aが重ねられる。第3樹脂層20Cの第2面と第4の導体層34B上にプリプレグと金属箔18Bが重ねられる。その後、加熱プレスによりプリプレグから第1樹脂層20A、第2樹脂層20Bが形成される(図5(B))。第1樹脂層の第1面、第2樹脂層の第2面はコア基板の最外層である。

【0032】

(8)第1樹脂層20Aの第1面側からCO2ガスレーザにて第3樹脂層に第3の導体層34Aに至るビア導体用の開口21Aが形成され、第2樹脂層20Bの第2面側からCO2ガスレーザにて第3樹脂層に第4の導体層34Bに至るビア導体用の開口21Bが形成される(図5(C))。

【0033】

(9)無電解めっき処理により、ビア導体用の開口21A、21Bの内壁と金属箔18A、18B上に無電解めっき膜22A、22Bが形成される(図5(D))。

【0034】

10

20

30

40

50

(10) 無電解めっき膜 22A、22B 上にめっきレジスト 24 が形成される (図 6 (A))。

【0035】

(11) 次に、電解めっき処理により、めっきレジスト 24 から露出する無電解めっき膜 22A、22B 上に電解めっき膜 25A、25B が形成される (図 6 (B) 参照)。

【0036】

(12) 続いて、めっきレジストが除去される。その後、電解銅めっき膜 25A、25B から露出する無電解めっき膜 22A、22B と金属箔 18A、18B がエッチングにて除去され、金属箔 18A、18B、無電解めっき膜 22A、22B と電解めっき膜 25A、25B からなる第 1 の導体層 34F、第 2 の導体層 34S が形成される。同時にビア導体 36A、36B が形成される (図 6 (C))。

第 2 の導体層 34S はアライメントマーク 34SA を含む。また、第 1 の導体層 34F や第 2 の導体層 34S は複数の導体回路やビア導体のランド 36AR、36BR を含む。

【0037】

(13) 第 2 樹脂層 20B の第 2 面から第 1 樹脂層 20A の第 1 面に至る第 1 キャビティ 26A、第 2 キャビティ 26B (図 2 参照) が、第 2 の導体層中のアライメントマーク 34SA を基準に位置決めされレーザーで形成される。第 1 キャビティ 26A、第 2 キャビティ 26B は第 1 樹脂層と第 3 樹脂層と第 2 樹脂層を同時に貫通している (図 6 (D))。複数の樹脂層を有する多層コア基板 30 が完成する。第 1 キャビティ 26A、第 2 キャビティ 26B は第 2 面から第 1 面に向かってテーパしていてもよい。

【0038】

(14) 第 2 面 S が上、第 1 面 F が下になるように、多層コア基板 30 が反転される。多層コア基板 30 の第 1 面にテープ 94 が貼られる。第 1 キャビティ 26A、第 2 キャビティ 26B はテープで塞がれる (図 7 (A))。テープ 94 の例として PET フィルムが挙げられる。

【0039】

(15) 第 1 キャビティ 26A、第 2 キャビティ 26B により露出するテープ 94 上にチップコンデンサ 110 が置かれる (図 7 (B))。コア基板の第 1 キャビティ 26A、第 2 キャビティ 26B に収容されるチップコンデンサの厚みはコア基板の厚みの 45% ~ 100% である。

【0040】

(16) コア基板の第 2 面と電子部品上に B - ステージのプリプレグ 50 と金属箔 48 が積層される。加熱プレスによりプリプレグから樹脂が第 1 キャビティ 26A、第 2 キャビティ 26B 内にしみ出て、第 1 キャビティ 26A、第 2 キャビティ 26B が充填剤 (樹脂充填剤) 50 で充填される (図 7 (C))。第 1 キャビティ 26A、第 2 キャビティ 26B の内壁とチップコンデンサ間の隙間が充填剤で満たされる。チップコンデンサがコア基板に固定される。プリプレグの代わりに層間絶縁層用樹脂フィルムが積層されてもよい。プリプレグはガラスクロスなどの補強材を有するが層間樹脂絶縁層用樹脂フィルムは補強材を有していない。両者ともガラス粒子などの無機粒子を含むことが好ましい。充填剤はシリカなどの無機粒子を含んでいる。

【0041】

(17) テープ剥離後、第 1 面 F が上、第 2 面 S が下になるように、多層コア基板 30 が反転される。コア基板の第 1 面と電子部品上に B - ステージのプリプレグと金属箔 48 が積層される。コア基板の両面に積層されているプリプレグが加熱、硬化され層間樹脂絶縁層 50F、50S が形成される (図 7 (D))。層間樹脂絶縁層 50F は上側のビルドアップ層に属し、層間樹脂絶縁層 50S は下側のビルドアップ層に属している。

【0042】

(18) 層間樹脂絶縁層 50F に第 1 の導体層 34F や第 1 樹脂層のビアランド 36AR に至るビア導体用の開口 51FO が形成される。同時に、電子部品 110 の電極 112 に至るビア導体用の開口 51FI が形成される。

10

20

30

40

50

層間樹脂絶縁層 50S に第 2 の導体層 34S や第 2 樹脂層のピアランド 36BR に至るピア導体用の開口 51S が形成される (図 7 (E))。金属箔 48、48 上と開口 51FO、51FI、51S の内壁に無電解めっき膜 52 が形成される (図 8 (A))。その後、無電解メッキ膜上にめっきレジスト 54、54 が形成される (図 8 (B))。続いて、めっきレジスト 54、54 から露出する無電解めっき膜上に電解めっき膜 56、56 が形成される (図 8 (C))。そして、めっきレジストが除去され、電解めっき膜から露出する無電解めっき膜 52、52 と金属箔 48、48 が除去される。ビルドアップ層が完成する (図 8 (D))。1 層のビルドアップ層は層間樹脂絶縁層 50F、50S と層間樹脂絶縁層上の導体層 58F、58S と層間樹脂絶縁層を貫通するピア導体 60FI、60FO、60S で形成される。ピア導体 60FO は第 1 の導体層 34F やピアランド 36AR と導体層 58F を接続している。ピア導体 60FI は電子部品 110 の電極 112 と導体層 58F を接続している。ピア 60S は第 2 の導体層 34S やピアランド 36BR と導体層 58S を接続している。コア基板の第 1 面上のビルドアップ層が上側のビルドアップ層であり、コア基板の第 2 面上のビルドアップ層が下側のビルドアップ層である。各層間樹脂絶縁層 50F、50S、はガラスクロスなどの補強材を有している。

10

【0043】

(19) 上側と下側のビルドアップ層上に開口 71 を有するソルダーレジスト層 70F、70S が形成される (図 9 (A))。開口 71 は導体層やピア導体の上面を露出する。その部分はパッドとして機能する。

【0044】

(20) パッド上にニッケル層とニッケル層上の金属で形成される金属膜 72 が形成される (図 9 (B))。ニッケル - 金属以外にニッケル - パラジウム - 金属からなる金属膜が挙げられる。図 1 に示されるプリント配線板では、接続ピア導体を上側のビルドアップ層のみ有する。接続ピア導体は電子部品の電極と接続しているピア導体である。そのため、下側のビルドアップ層はチップコンデンサなどの電子部品の下側に導体回路を有しなくてもよい。チップコンデンサの直下の下側のビルドアップ層が導体回路を有しないとプリント配線板に反りが生じ易い。その場合、上側のビルドアップ層の絶縁層の厚みは下側のビルドアップ層の厚みよりも厚いことが好ましい。

20

【0045】

(21) この後、上側のビルドアップ層のパッドに半田バンプ 76F が形成され、下側のビルドアップ層のパッドに半田バンプ 76S が形成される。半田バンプを有するプリント配線板 10 が完成する (図 1)。

30

【0046】

半田バンプ 76F を介して IC チップがプリント配線板 10 へ実装される (図示せず)。その後、半田バンプ 76S を介してプリント配線板がマザーボードに搭載される (図示せず)。

【0047】

[第 1 実施形態の第 1 改変例]

図 10 (A) に第 1 実施形態の第 1 改変例に係る第 1 キャビティ 26A が示され、図 10 (B) に第 2 キャビティ 26B が示される。

40

第 1 キャビティ 26A は、電子部品を収容するための矩形の空間部 26c、空間部 26d と、空間部内の電子部品を仕切るための水平断面が台形形状の第 1 突起 28a を備える。第 2 キャビティ 26B は、電子部品を収容するための矩形の空間部 26c、空間部 26d と、空間部内の電子部品を仕切るための水平断面が台形形状の第 2 突起 28b を備える。

【0048】

第 1 実施形態の第 1 改変例では、混在する相対的に幅の小さな第 1 キャビティ 26A、相対的に幅の大きな第 2 キャビティ 26B とに、それぞれ電子部品が収容される空間部 26c、26d と、電子部品間を仕切る第 1 突起 28a、第 2 突起 28b とが形成されている。そして、第 1 キャビティ内における電子部品間の距離 T1、第 1 突起 28a の幅 (台形の上底の長さ) W1、第 2 キャビティ内における電子部品間の距離 T2、第 2 突起 28b

50

の幅（台形の上底の長さ） W_2 とした場合、 $T_1 < T_2$ 、且つ、 $W_1 < W_2$ である。

【0049】

幅の小さな第1キャビティ26Aには幅の小さな第1突起28aが設けられ、幅の大きな第2キャビティ26Bには幅の大きな第2突起28bが設けられるため、混在する幅の小さな第1キャビティ、幅の大きな第2キャビティでそれぞれ、電子部品110を適切に位置決めできる。

【0050】

[第1実施形態の第2改変例]

図11(A)に第1実施形態の第2改変例に係る第1キャビティ26Aが示され、図11(B)に第2キャビティ26Bが示される。

第1実施形態の第2改変例では、2個のチップコンデンサを並列接続した電子部品（チップコンデンサ）110Bがそれぞれ、第1キャビティ26A、第2キャビティ26Bに収容されている。

【0051】

第1実施形態の第2改変例では、混在する相対的に幅の小さな第1キャビティ26A、相対的に幅の大きな第2キャビティ26Bとに、それぞれ電子部品が収容される空間部26c、26dと、電子部品間を仕切る第1突起28a、第2突起28bとが形成されている。そして、第1キャビティ内における電子部品間の距離 T_1 、第1突起28aの幅 W_1 、第2キャビティ内における電子部品間の距離 T_2 、第2突起28bの幅 W_2 とした場合、 $T_1 < T_2$ 、且つ、 $W_1 < W_2$ である。

【0052】

幅の小さな第1キャビティ26Aには幅の小さな第1突起28aが設けられ、幅の大きな第2キャビティ26Bには幅の大きな第2突起28bが設けられるため、混在する幅の小さな第1キャビティ、幅の大きな第2キャビティでそれぞれ、電子部品110Bを適切に位置決めできる。第1実施例の第2改変例では、チップコンデンサを並列接続した例が示されたが、実施形態の構成では、チップコンデンサを直列接続した場合、チップコンデンサを直並列接続した場合も同様に対応することができる。

【0053】

[第1実施形態の第3改変例]

図12(A)に第1実施形態の第3改変例に係る第1キャビティ26Aが示され、図12(B)に第2キャビティ26Bが示される。

第1キャビティ26Aは、電子部品を収容するための矩形の空間部26c、空間部26d、空間部26fと、空間部26c、空間部26d内の電子部品を仕切るための矩形形状の第1突起28aと、空間部26d、空間部26f内の電子部品を仕切るための矩形形状の第1突起28aとを備える。

【0054】

第2キャビティ26Bは、電子部品を収容するための矩形の空間部26c、空間部26dと、空間部26fと、空間部26c、空間部26d内の電子部品を仕切るための矩形形状の第2突起28bと、空間部26d、空間部26f内の電子部品を仕切るための矩形形状の第2突起28bとを備える。

【0055】

第1実施形態の第3改変例では、混在する相対的に幅の小さな第1キャビティ26A、相対的に幅の大きな第2キャビティ26Bとに、それぞれ電子部品が収容される空間部26c、26d、26fと、電子部品間を仕切る第1突起28a、第2突起28bとが形成されている。そして、第1キャビティ内における電子部品間の距離 T_1 、第1突起28aの幅 W_1 、第2キャビティ内における電子部品間の距離 T_2 、第2突起28bの幅 W_2 とした場合、 $T_1 < T_2$ 、且つ、 $W_1 < W_2$ である。

【0056】

幅の小さな第1キャビティ26Aには幅の小さな第1突起28aが設けられ、幅の大きな第2キャビティ26Bには幅の大きな第2突起28bが設けられるため、混在する幅の小

10

20

30

40

50

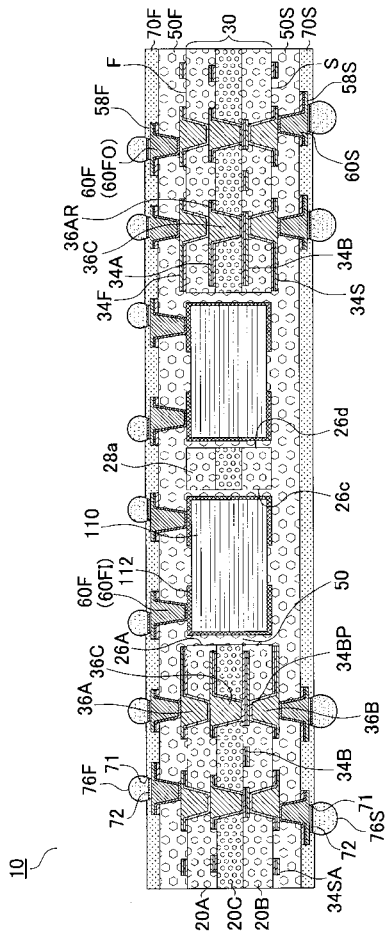
さな第1キャビティ、幅の大きな第2キャビティでそれぞれ、3個以上の電子部品110を適切に位置決めできる。

【符号の説明】

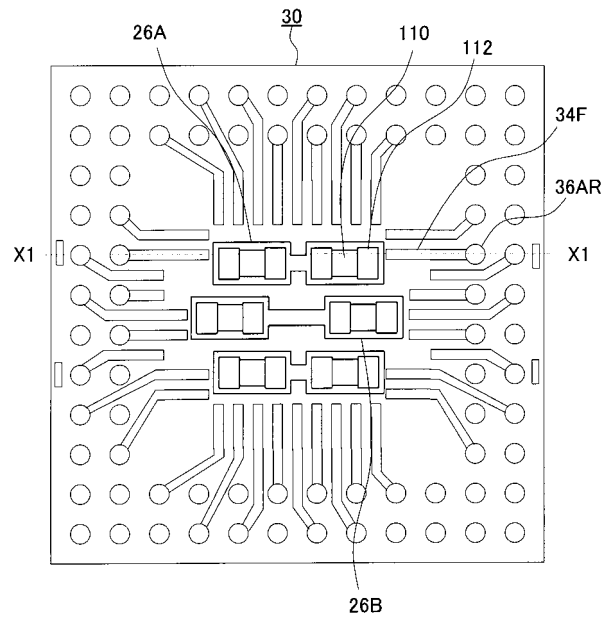
【0057】

- 10 プリント配線板
- 26A 第1キャビティ
- 26B 第2キャビティ
- 28a 第1突起
- 28b 第2突起
- 30 多層コア基板
- 50F 第1の層間樹脂絶縁層
- 58F、58S 導体層
- 60F ビア導体
- 110 チップコンデンサ

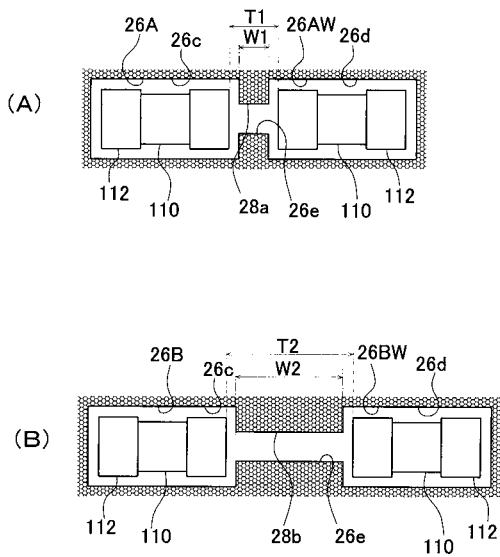
【図1】



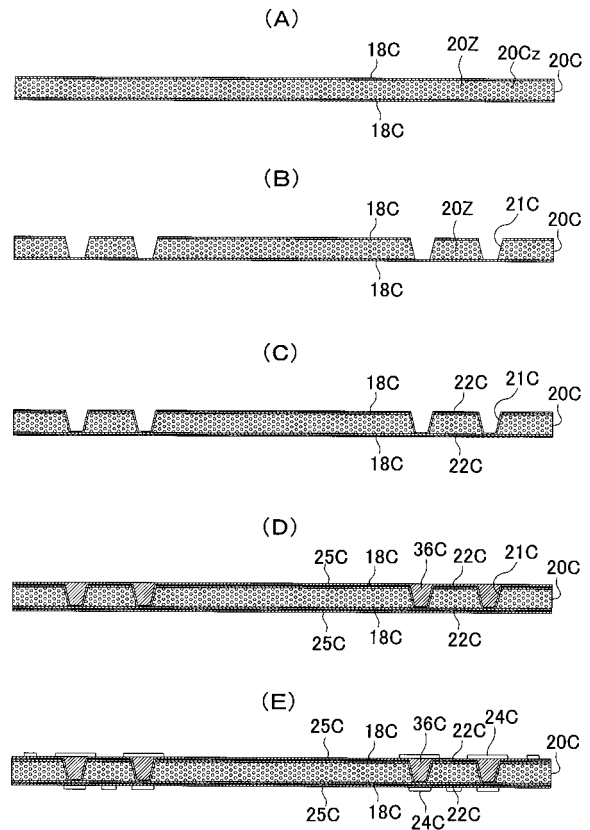
【図2】



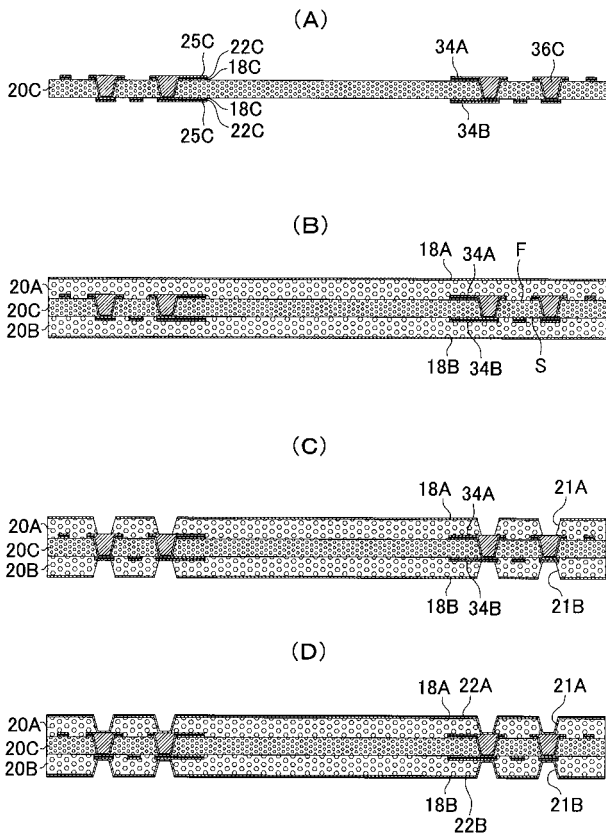
【 図 3 】



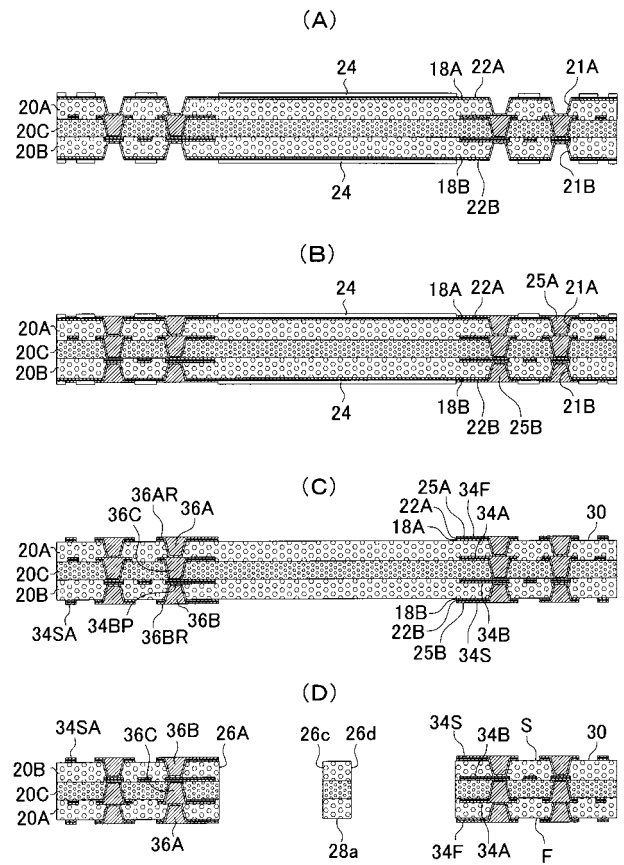
【 図 4 】



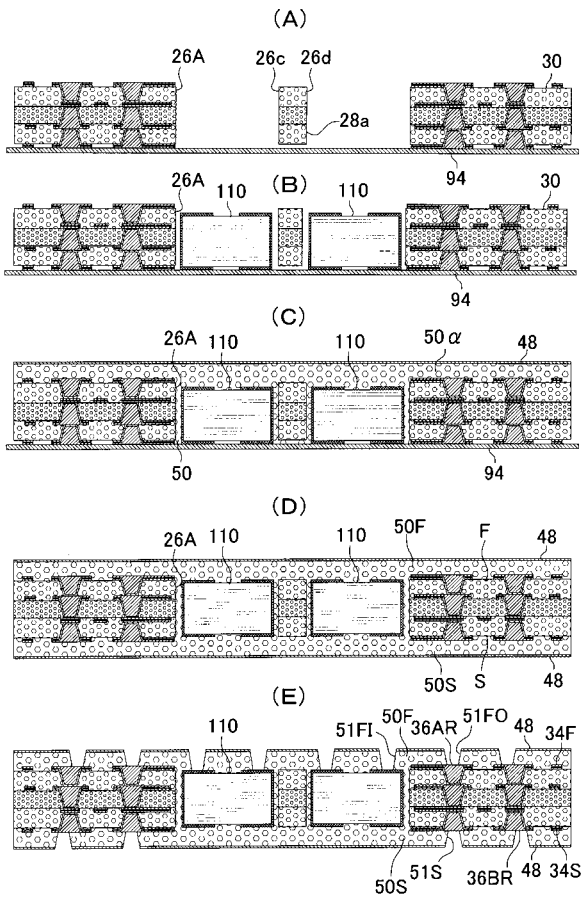
【 図 5 】



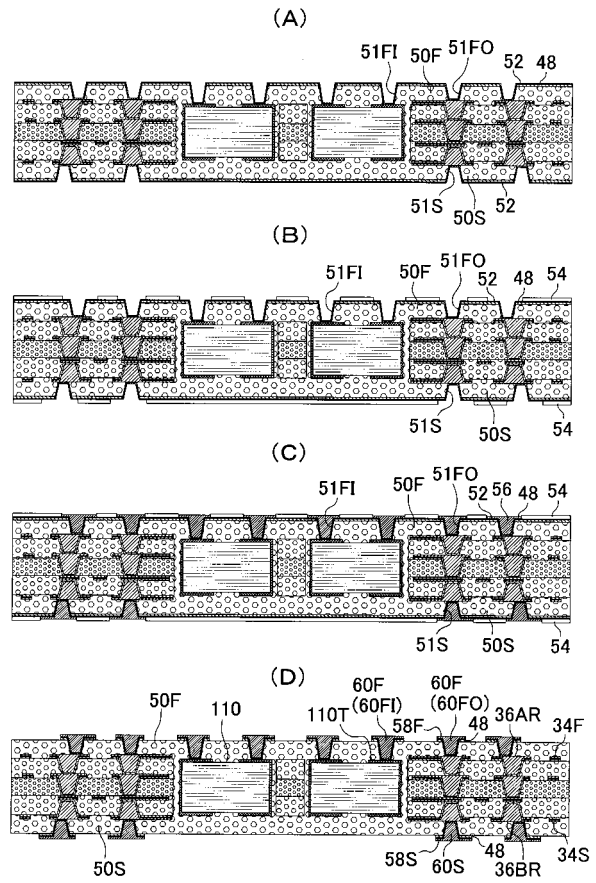
【 図 6 】



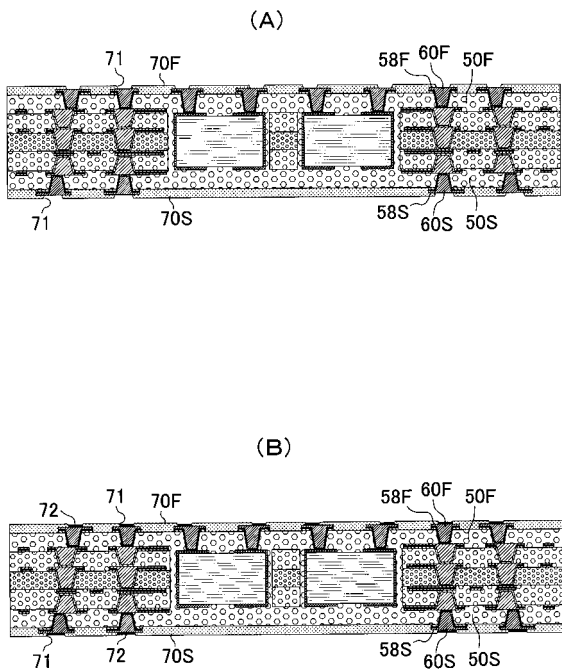
【 図 7 】



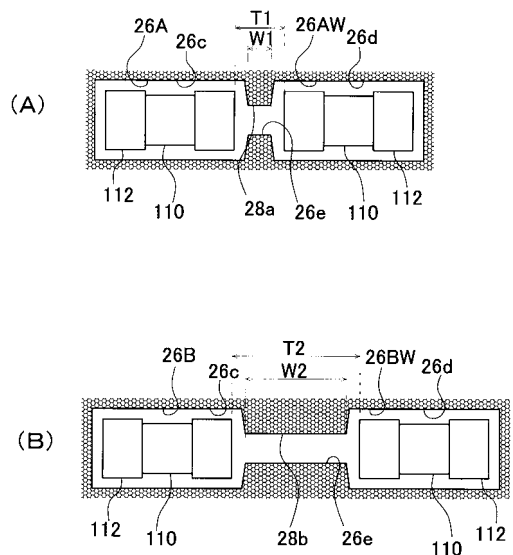
【 図 8 】



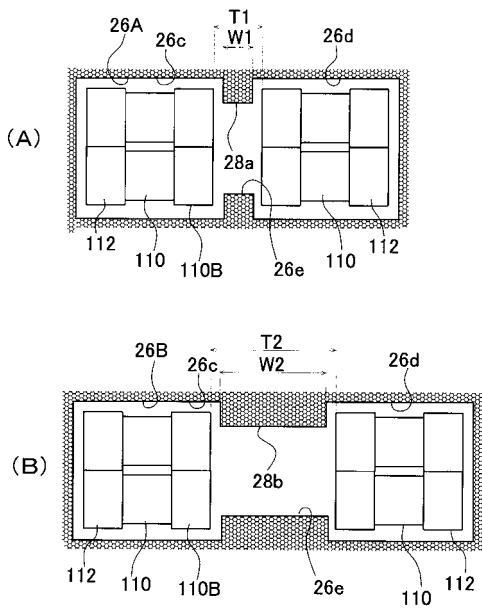
【 図 9 】



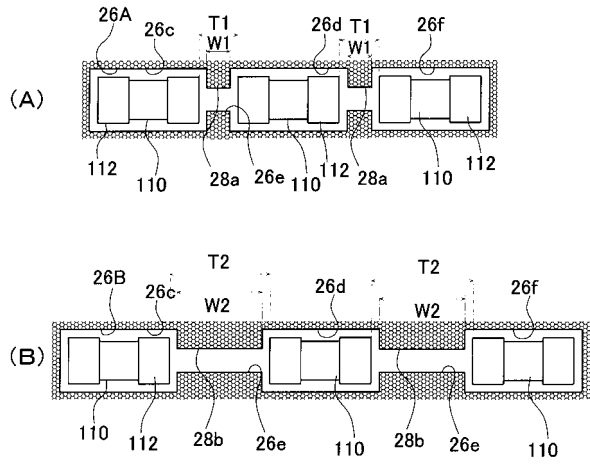
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5E316 AA02 AA04 AA12 AA15 AA26 AA29 AA43 CC04 CC08 CC09
CC32 DD02 DD22 DD32 EE31 FF04 FF07 FF22 FF45 GG15
GG17 GG22 GG28 HH31 HH40 JJ13 JJ26 JJ28 JJ29