

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 27/10

(45) 공고일자 1992년08월 17일  
(11) 공고번호 특1992-0006754

(21) 출원번호	특1988-0014844	(65) 공개번호	특1989-0008986
(22) 출원일자	1988년11월 11일	(43) 공개일자	1989년07월 13일
(30) 우선권주장	62-286461 1987년11월 14일	일본(JP)	
(71) 출원인	후지쓰 가부시끼가이샤 야마모도 다쿠마 일본국 211 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015번지		
(72) 발명자	에마 다이치 일본국 213, 가나가와켄, 가와사끼시, 다카쓰구, 수에나가, 1453-1-101		
(74) 대리인	문병암		

심사관 : 유환열 (책자공보 제2897호)

(54) 측벽막을 갖는 반도체 장치와 그 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

측벽막을 갖는 반도체 장치와 그 제조방법

[도면의 간단한 설명]

제1도는 종래의 반도체장치의 문제점들을 설명하기 위한 요부 단면도.

제2도는 종래의 반도체장치의 다른 문제점들을 설명하기 위한 단면도.

제3도는 본 발명의 원리를 설명하기 위한 단면도.

제4도 내지 제10도는 본 발명의 다이내믹 랜덤 액세스 메모리장치의 필수적인 제조 단계를 설명하기 위한 단면도.

제11도는 본 발명에 의한 다이내믹 랜덤 액세스 메모리장치의 단면도.

[발명의 상세한 설명]

본 발명은 일반적으로 완만한(smooth) 에지층(edge layer)을 갖는 반도체장치와 그것의 제조방법에 관한것이다.

최근에 반도체장치는 더욱 미세화되는 추세이며, 요구에 따라 패턴(pattern)의 형성시 이방성 에칭(anisotropic etching)이 널리 이용되고 있다. 예를들면, 폴리실리콘막은  $CCl_4/O_2$  함유 에칭 가스를 이용하는 이방성 에칭에 의하여 패턴화된다. 이와 같이 형성된 패턴의 에지측벽(edge side wall)는 에지부분은 하층으로 부터 가파르게 세워져 있으며, 때때로 패턴의 측벽에는 돌출부(overhang protrusions)가 형성되기도 한다. 하층의 측벽 높이가 증가하면, 하층을 덮는 상층을 패턴시키기가 어렵게 된다. 상술된 문제점을 제거하기 위하여 각층들의 거의 수직측벽을 스핀 온 글라스(spin on glass)로 코팅하거나 또는 에치-백 공정(etch-back process)을 사용하는 것이 알려져 있다. 그러나, 이러한 방법은 제조시 공정 단계이수를 증가시키며, 특히 에치-백 공정을 제어하기가 매우 어렵다.

통상, 다이내믹 랜덤 액세스 메모리 장치 (이하에서는 간단히 DRAM이라 칭함)에서는 평면상에 설계된 메모리셀의 설계면적의 크기를 감소시키는 것이 요구된다. 따라서, 메모리 셀 면적에 형성된 종래의 적층캐패시터(stacked capacitor)구조는  $10[\mu m^2]$  이하로 알려져 있다. 그러나, 그 면적만으로는 메모리 셀에 있어서, 캐패시터의 원하는 용량을 충분히 확보하기가 어렵다. 메모리 셀에서 캐패시터의 (capacitor)의 용량을 증가시키기 위해서, 축적 전극(storage electrode)의 측표면의 면적이 증가되도록 축적 전극의 물질인 폴리실리콘 막을 보다 두껍게 형성한다. 이러한 구조로, 메모리 셀에서 캐패시터의 모든 표면적이 감소하는 것을 방지할 수 있다. 그러나, 상기 폴리실리콘막이 형성된 하층의 표면이 거칠기 때문에 축적 전극을 얻기위한 폴리실리콘막의 패터닝에 악영향을 준다. 축적 전극을 형성하기 위해 사용하는 폴리실리콘막은 게이트전극(gate electrode)들을 덮고 있는 층간

절연막 상에 증착한다. 일반적으로, 층간 절연막의 표면에는 게이트 전극들 표면상태에 기인하는 계단 또는 요철부가 있으며, 매우 큰 요철부는 층간 절연막 상에 증착된 폴리실리콘의 패터닝을 어렵게 만든다. 결과적으로, 축적 캐패시터의 미세한 패턴을 더우기 얻을 수 없다.

그러므로, 본 발명의 목적은 상술된 단점을 제거하기 위한 것으로서, 축적막을 갖는 편리하고 유용한 반도체장치와 그 제조방법을 제공함에 있다.

본 발명의 특정 목적은 그위에서 패터닝된 상부막이 형성되는 하부막의 에지 또는 축적 주위에 축적막이 형성되는 반도체장치를 완만한 표면의 형성을 가능하게 한다.

본 발명의 상기 목적들은 반도체기판, 반도체기판상에 형성된 절연막, 축적을 가지고 절연막 상에 형성된막, 막의 축적을 둘러싸도록 절연막 상에 형성된 축적막등을 포함하는 반도체 장치로 부터 구현될 수 있다. 또한, 축적막은 경사를 이루고 있으며,  $a$ 가 상기 절연막에 접촉되어 있는 축적막의 밑면폭이고  $d$ 가 상기막의 두께인 경우에  $a > d$ 조건을 만족한다.

본 발명의 또 다른 목적은 상술된 반도체 장치의 제조방법을 제공함에 있다.

본 발명의 상기 다른 목적은 반도체기판상에 제1절연막을 형성하는 단계와, 제1절연막 상에 막을 형성하는 단계와, 그 막을 패터닝하는 단계와, 기판의 모든 표면위에 실리콘 디옥사이드(dioxide)의 제2절연막을 증착하는 단계와, 제1절연막의 평면상에 위치하는 제2절연막이 완전히 제거될때까지 이 방성 에칭으로 제2절연막을 에칭하는 단계를 구비하는 반도체장치의 제조방법에 대해 구현될 수 있다. 제2절연막의 잔존하는(remaining) 부분에 해당하는 축적막은 상기막의 축적을 둘러싸도록 제1절연막상에 형성된다. 또한, 그 축적막은 경사를 이루고 있으며,  $a$ 가 제1절연막에 접촉되어 있는 축적막의 밑면폭이고  $d$ 가 막의 두께인 경우에서,  $a > d$  조건을 만족한다.

본 발명의 다른 목적들, 특징들 및 장점들이 첨부된 도면들을 참조하여 설명된 명세서에 의하여 명백해질 것이다.

본 발명을 보다 쉽게 이해하도록, 먼저, DRAM장치의 그것 위에 축적 캐패시터 전극이 형성되는 하층의 계단부 위의 존재에 의하여 일어나는 문제들을 제1도와 제2도에 의거하여 설명하기로 한다.

제1도는 종래의 DRAM장치의 요부 단면도로서, DRAM장치는 실리콘 반도체기판(11)과, 반도체기판(11)의 상측표면에 형성된 필드 절연막(12)와, 게이트 전극들(14<sub>1</sub>, 14<sub>2</sub>, 14<sub>3</sub>)과, 게이트 전극들(14<sub>1</sub>, 14<sub>2</sub>, 14<sub>3</sub>)을 완전히 덮도록 형성된 층간 절연막(17)으로 구성된다. 축적 캐패시터 접촉 영역인 n<sup>+</sup>-형 확산 영역(16<sub>1</sub>)은 반도체기판 11에 형성된다. 축적 전극(18<sub>1A</sub>)은 접촉홀을 포함하는 층간 절연막(17)상에 형성되며, 축적 전극(18<sub>1A</sub>)은 그 접촉홀을 통하여 m<sup>+</sup>-형 확산영역(16)에 접촉된다. 축적 전극(18<sub>1A</sub>)는 한쌍의 메모리셀 캐패시터 전극중의 하나이며 실리콘 디옥사이드막과 같은 유전체막(19<sub>1A</sub>)이 축적 전극(18<sub>1A</sub>)의 노출된 표면을 둘러싸도록 형성된다. 상기 메모리 셀 캐패시터 전극들 중의 다른 전극(대향 전극 또는 셀 플레이트라 칭함)은 유전체막(19<sub>1A</sub>)상에 형성된다.

상술된 바와 같이, 평면위에 설계된 메모리 셀의 설계 표면적이 감소할 때에 메모리 셀 캐패시터의 설계표면적도 감소한다. 따라서, 메모리 셀 캐패시터의 용량은 그것의 표면적 크기와 비례하므로 함께 감소한다. 용량의 감소를 보상하기 위해서, 축적 전극(18<sub>1A</sub>)의 두께(S)를 거의 두배(약 0.5[ $\mu$ m])에 가깝게 한다. 따라서, 축적 전극(18<sub>1A</sub>)의 축적의 면적이 증가하여 축적전극(17<sub>1A</sub>)의 전체 면적 감소를 방지할 수 있다.

그러나, 축적 전극(18<sub>1A</sub>)를 두껍게 하는 것은 화살표(A)로 나타낸 바와 같이 매우 큰 계단부(혹은 단차라고도 한다)를 발생시킨다. 도시된 바와 같이, 게이트 전극(18<sub>1A</sub>와 18<sub>1B</sub>)사이에는 수직으로 세워져 있는 축적을 갖는 게이트 전극(14<sub>2</sub>와 14<sub>3</sub>)으로 인해 깊은 오목 부분이 형성된다. 그러므로, 축적 전극(18<sub>1A</sub>)와(18<sub>1B</sub>)를 형성하기 위하여 포토리토그래피(photolithography) 기술로써 폴리 실리콘막을 패터닝시키기가 어렵게 된다. 더우기, 제2도에 도시된 바와 같이, 게이트 전극(14<sub>2</sub>)에 에지부분에 돌출부(14<sub>9</sub>)가 형성되며, 이 경우에 있어서, 게이트 전극(14<sub>2</sub>)상에 증착된 층간 절연막(17)은 제2도에서와 같은 모양을 갖는다. 즉 층간 절연막(17)의 측면에는 오목부분(17a)이 형성된다. 또한, 게이트 전극(14<sub>2</sub>)의 에지부분에 있는 돌출부는 축적 전극(18<sub>1A</sub>)에 대한 이후에 진행될 폴리실리콘막의 미세 패터닝을 방해한다.

본 발명은 게이트 전극막과 같은 막의 에지 또는 축적을 둘러싸도록 축적막을 형성하고, 그 막의 에지 또는 축적을 완만하게 하려는 데에 있다. 이러한 축적막에 의하여, 통상의 포토리토그래피 기술을 이용하여 두꺼운 막의 패터닝이 가능하게 된다.

본 발명의 필수적인 특징을 제3도를 참조하여 서술하기로 한다.

실리콘 반도체기판(12)상에 필드 절연막(22)를 형성하고, 필드 절연막(22)상에 워드선(word line)의 기능을 하는 게이트 전극(24<sub>2</sub>와 24<sub>3</sub>)을 형성한다. 게이트 전극(24<sub>2</sub>와 24<sub>3</sub>)의 축적은 필드 절연막 22로 부터 수직으로 세워지고, 게이트 전극(24<sub>2</sub>와 24<sub>3</sub>)의 에지를 둘러싸도록 축적막(24A)이 형성된다. 축적막(22A)는 게이트 전극(24<sub>2</sub>와 24<sub>3</sub>)의 상단면과 필드 절연막(22)사이에 축적막 22A를 경사면을 제공한다. 게이트 전극(24<sub>2</sub>와 24<sub>3</sub>), 축적막(22A), 필드 절연막(22)상에 노출된 표면이 덮여 지도록 층간 절연막 27이 형성된다. 층간 절연막(27)상에는 폴리실리콘막의 축적 전극(28)이 형성된다.

본 발명자는 두꺼운(예로서, 0.5[ $\mu\text{m}$ ]) 폴리실리콘막(28)을 통상의 포토리토그래피 기술로써 패터닝하기 위해서는 경사면을 제공하는 측벽막(22A)의 크기에 특별한 조건을 필요로 한다는 것을 많은 실험으로 부터 발견하였다. 실험들로 부터 발견된 특별한 조건은, 필드 절연막(22)의 표면과 접촉되는 측벽막(22A)의 밑면폭( $a$ )가 게이트 전극( $24_2$ )의 두께( $d$ )보다 더 커야만 한다는 것이다. 실험을 통해서, 상기 조건( $a > d$ )과 일치하는 측벽막(22A)를 형성하였다. 이어서, 층간 절연막(27)을 통상의 DRAM장치에 요구되는 전압에 충분히 견딜 수 있도록 약 100Å 두께로 증착하였다. 그리고, 약 0.5 [ $\mu\text{m}$ ]의 두께로 폴리실리콘(28)을 두껍게 형성되었다. 마지막으로, 그 두꺼운 폴리실리콘막(28)을 패터닝시켜 축적 전극(28)을 형성하였다. 따라서, 본 발명자는 미세한 폴리실리콘 패턴을 통상의 포토리토그래피 기술로 매우 정확하게 형성할 수 있다는 것을 발견하였다.

또한, 상술한 조건, 즉  $a > d$  이외에 다음 조건이 약 0.5[ $\mu\text{m}$ ]보다 더 두꺼운 폴리실리콘막의 패터닝을 위해 특별히 유리하다는 것이 실험으로 부터 확인되었다. 제3도에서, 각( $\theta$ )을 측벽막(22A)의 하측단부와 필드 절연막(22)의 표면이 만나는 지점 정의된다. 각( $\theta$ )이 60° 이하인 경우에 있어서, 보다 두꺼운 폴리실리콘막을 미세한 폴리실리콘막으로 형성하기 위하여 통상의 포토리토그래피 기술로 패터닝할 수 있다는 것이 확인되었다.

본 발명의 적절한 실시예를 제4도 내지 제11도를 참조하여 설명하기로 한다. 여기서, 제4도 내지 제11도는 각각 필수적 각 제조단계에서의 DRAM장치의 단면도이다.

제4도에서는 국부적 산화법(LOCOS 공정)과 같은 선택적 열산화법에 의하여 실리콘 디옥사이드와 같은 필드 절연막(22)을 P-형 실리콘 반도체기판(21)상에 형성된다. 선택적 열산화법에서는 차례로 적층된 실리콘 디옥사이드막과 실리콘 니트라이드막으로 구성된 열-저항 마스크막이 사용된다. 이어서, P형 실리콘 반도체기판(21)의 일부분 또는 활성 영역을 노출시키기 위하여 열-저항 마스크막을 제거하고, P-형 실리콘 반도체기판(21)을 열산화 시킨다. 따라서, 약 200[Å]두께의 게이트 절연막(23)이 제4도에 도시된 바와같이 형성된다. 이어서, 게이트 전극을 형성하기 위한 폴리실리콘막을 화학 증착법(CVD)으로 약 200[Å]의 두께로 형성된다. 포토리토그래피 기술에서의 레지스트(resist)공정으로 마스크막을 증착하고,  $\text{CCl}_4/\text{O}_2$  에칭가스를 사용하는 반응성 이온 에칭(reactive ion etching : RIE) 폴리실리콘막을 패터닝시킨다. 따라서, 게이트 전극( $24_1, 24_2, 24_3$ )들이 제4도에 도시된 바와 같이 형성된다. 게이트 전극( $24_1 \sim 24_3$ )을 그대로 마스크막으로 사용하는 셀프-얼라인먼트 공정(self-alignment proces)방식으로 비소(As) 이온을 P형 실리콘 반도체기판(21)에 주입한다. 이에 따라, P형 실리콘 기판(21)에  $n^+$ -형 소오스 영역(도시되지 않았음)과  $n^+$ -형 드레인 영역( $26_{1A}$ )가 형성된다. 동시에, 게이트 전극( $24_1 \sim 24_3$ )과 다른 금속화막(도시되지 않았음) 또한 비소이온으로 도핑된다.

제5도에서는 화학 증착법(CVD)법에 의하여 실리콘 디옥사이드막을 약 3000[Å]의 두께로 형성하고,  $\text{CHF}_3/\text{H}_2$  를 에칭가스로 사용하는 반응이온 에칭(RIE)에 의하여 실리콘 디옥사이드막을 이방성 에칭한다. 이 이방성 에칭 공정은 게이트 절연막(23)과 필드 절연막(22)의 평면상에 형성된 실리콘 디옥사이드막이 완전히 제거될때까지 행한다. 따라서 게이트 전극( $24_1 \sim 24_3$ )의 측면에만 아크(arc) 형태의 경사면을 갖는 측벽막(22A)가 남는다. 상기 각 측벽막(22A)는 상술한 조건, 즉  $a > d$ 를 만족하며, 약 2400[Å]의 폭과 약 2000[Å]의 두께를 갖는다.

제6도에서는 화학 증착법(CVD)법에 의하여 실리콘 디옥사이드의 층간 절연막(27)을 약 1000[Å]의 두께로 형성시킨다.

제7도에서는 층간 절연막(27)과 게이트 절연막(23)을 통상의 포토리토그래피 기술을 이용하여 선택적으로 에칭하므로써, P형 실리콘 반도체기판(21)중에서 드레인 영역( $26_{1A}$ )의 일부가 노출되도록 접촉창(27A)이 형성된다.

제8도에서는 화학 증착법에 의하여 폴리실리콘막(28)이 약 0.5[ $\mu\text{m}$ ]의 두께로 형성되고, 이온 주입공정으로 폴리실리콘막(28)에 비소(As)이온을 주입시킨다. 따라서, 폴리실리콘막(28)은  $n^+$ -형 도전막으로 변화된다.

제9도에서는 종래의 레지스트 공정으로 마스크막을 증착하고,  $\text{CCl}_4/\text{O}_2$  를 에칭가스로 사용하는 반응이온 에칭공정을 수행하여 폴리실리콘막(28)을 패터닝. 따라서, 축적 전극( $28_{1A}$  와  $28_{1B}$ )형성되며 이들 각각은 메모리 셀 캐패시터의 전극 쌍들 중의 한 전극이다. 평면상으로 설계된 각 축적 전극의 설계 표면적은 축적 전극의 전체 측면적과 거의 동일하다. 메모리 셀의 설계 면적이 10[ $\mu\text{m}^2$ ] 이하인 경우에 있어서, 7[ $\mu\text{m}^2$ ] 이상의 측면적을 갖는 축적 전극( $28_{1A}$ )를 얻을 수 있다.

제10도에서는 각각 약 100[Å]의 두께를 갖는 유전체막( $29_{1A}$  와  $29_{1B}$ )이 습식(wet) 분위기 내에서 열산화법으로 각각 축적 전극( $28_{1A}$ 와  $28_{1B}$ )의 노출된 표면에 형성된다.

제11도에서는 적당한 방법으로 폴리실리콘으로 이루어진 대향 전극( $30_1$ )(또는 셀 플레이트라 칭함), 실리콘 디옥사이드로 이루어진 층간 절연막(31), 폴리사이드로 이루어진 비트선(32), 포스포러스 실리케이트글라스(phosphoroas silicate glass)(PSG)로 이루어진 패시베이션막(pasivation film)33 및 워어드선(word line)기능을 하는 금속화막(34)이 형성된다.

이와 같은 성형된 DRAM장치에 있어서, 게이트전극( $24_1$ ), 소오스 영역( $25_{1A}$ ) 및 드레인 영역( $26_{1A}$ )에 의하여 일 메모리 셀의 전송 게이트 트랜지스터가 형성되고, 축적전극( $28_{1A}$ ), 유전체막( $29_{1A}$ ), 대향

전극(30)으로서 메모리 셀 캐패시터가 형성된다. 축적 전극(28<sub>1A</sub>)이 드레인 영역(26<sub>1A</sub>)와 접촉되므로써 전송 게이트 트랜지스터와 메모리 셀 캐패시터가 상호 접속된다. 정보 변화는 메모리 셀에 기록되거나 판독되며, 전송게이트의 ON/OFF 상태를 제어하므로써 저장된다.

본 발명은 상술된 실시예로만 제한되지 않으며, 본 발명의 범위를 벗어나지 않고 수정과 변경을 가할 수 있다.

**(57) 청구의 범위**

**청구항 1**

반도체기판과, 일표면을 갖으며 상기 반도체기판상에 형성된 절연막과, 상기 절연막의 표면에 실질적으로 수직인 측벽을 갖고서 상기 절연막상에 형성되는 전극과, 전극의 측벽을 둘러쌀도록 상기 절연막 상에 형성되고 실질적으로 완만하게 굽어진 경사면을 갖는 절연물질로 이루어지며 상기 절연막과 접촉되는 밑면의 폭  $a$ 가 상기 전극의 두께  $d$ 보다 더 큰 조건을 만족하는 측벽막과 상기 전극과 상기 절연막 및 상기 측벽막상에 형성되는 절연체막, 상기 절연체막상에 형성되고 상기 전극위에 위치되는 실질적으로 수직인 일단부를 갖는 패터닝된 도전층을 구비함을 특징으로 하는 측벽막을 갖는 반도체 장치.

**청구항 2**

제1항에 있어서, 상기 반도체기판상에 형성되는 절연막에 대해 측벽막의 경사면 각도를 60° 이하인 것을 특징으로 하는 측벽막을 갖는 반도체장치.

**청구항 3**

제1항에 있어서, 반도체장치는 다이내믹 랜덤 액세스 메모리이고, 절연막은 게이트 절연막, 전극은 게이트, 측벽막은 게이트 측벽, 절연체막은 층간 절연막, 패터닝된 도전층은 층간 절연막을 관통하는 접촉홀을 통해 반도체기판과 접촉하는 메모리 셀 캐패시터의 전극이고, 메모리 셀 캐패시터를 덮는 또 다른 층간절연막과, 또 다른 층간 절연막상에 형성되는 비트선이 더 구비됨을 특징으로 하는 측벽막을 갖는 반도체장치.

**청구항 4**

제1항에 있어서, 상기 측벽막은 실리콘 디옥사이드인 것을 특징으로 하는 측벽막을 갖는 반도체장치.

**청구항 5**

제1항에 있어서, 상기 측벽막의 경사면은 상기 절연막으로 부터 상기 전극의 평면까지 연장되는 것임을 특징으로 하는 측벽막을 갖는 반도체장치.

**청구항 6**

제1항에 있어서, 상기 측벽막은 실리콘 디옥사이드를 증착한 후 이방성 에치 공정으로 패터닝하여 얻어지는 것을 특징으로 하는 측벽막을 갖는 반도체장치.

**청구항 7**

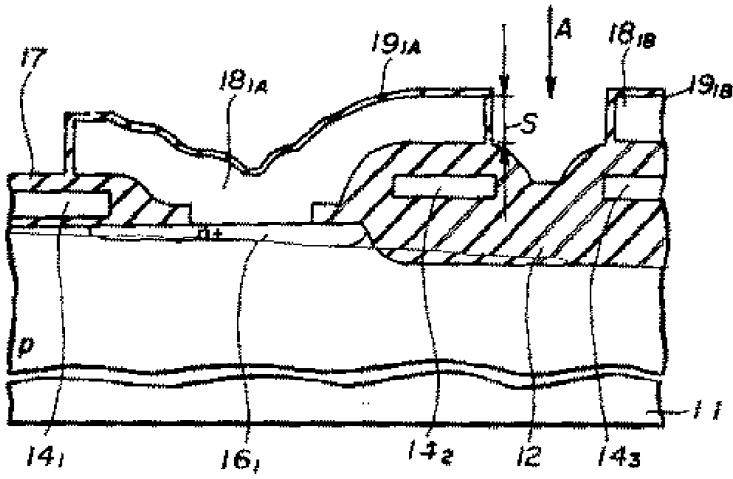
반도체기판상에 제1절연막을 형성하는 단계, 제1절연막상에 전극을 형성하는 단계, 제1절연막의 표면에 실질적으로 수직인 측벽을 갖도록 상기 전극을 패터닝하는 단계, 상기 기간의 전 표면상에 실리콘 디옥사이드로 이루어진 제2절연막을 증착하는 단계, 제2절연막의 잔존하는 부분이 상기 전극의 측벽을 덮도록 하기 위한 측벽막으로 형성되고, 이 측벽막은 제1절연막과 접촉하는 밑면의 폭  $a$ 가 상기 전극의 두께  $d$ 보다 더 큰 조건을 만족하며 실질적으로 완만한 곡선 경사면을 갖도록 제1절연막의 표면에 위치하는 제2절연막의 부분이 완전히 제거될때까지 제2절연막을 에치하는 단계, 상기 전극과 제1절연막 및 측벽막상에 일 절연체막을 형성하는 단계, 상기 전극의 상측에 실질적으로 수직인 단부를 갖는 패터닝된 도전층을 상기 절연체막 상에 형성하는 단계가 구비됨을 특징으로 하는 기간을 포함하는 측벽막을 갖는 반도체장치 제조방법.

**청구항 8**

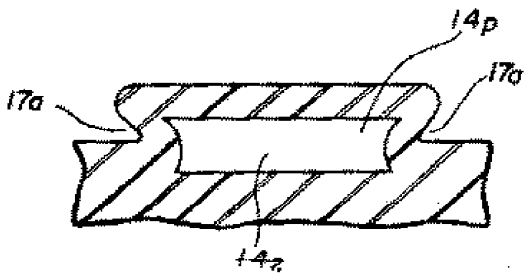
제7항에 있어서, 제2절연막을 패터닝하는 단계는 이방성 에치법으로 수행되는 것을 특징으로 하는 측벽막을 갖는 반도체장치의 제조방법.

**도면**

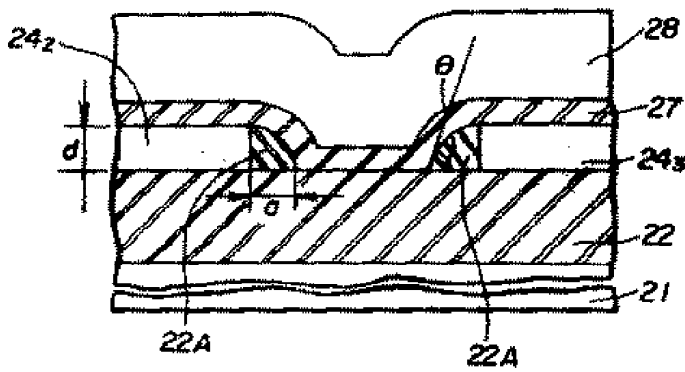
도면1



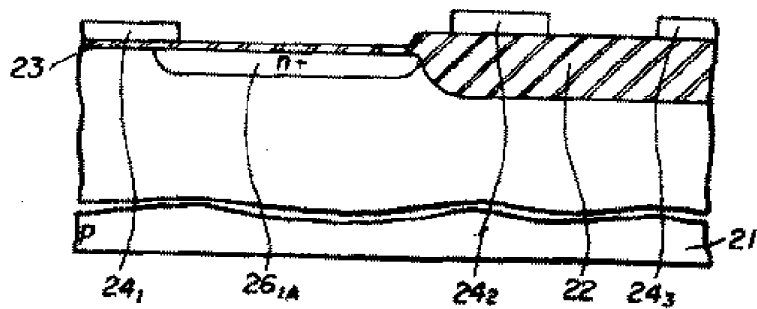
도면2



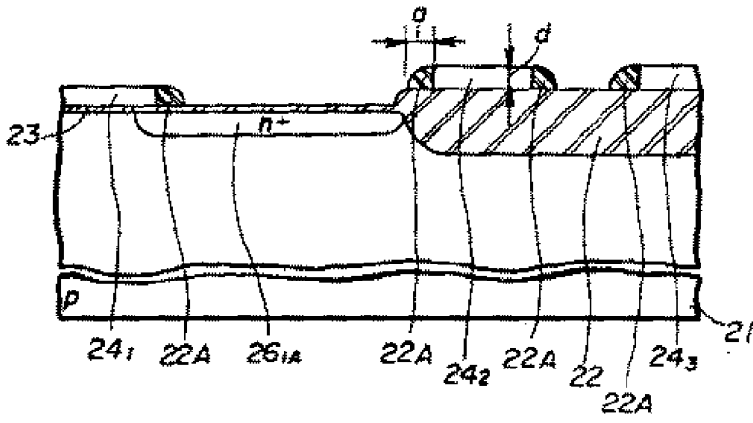
도면3



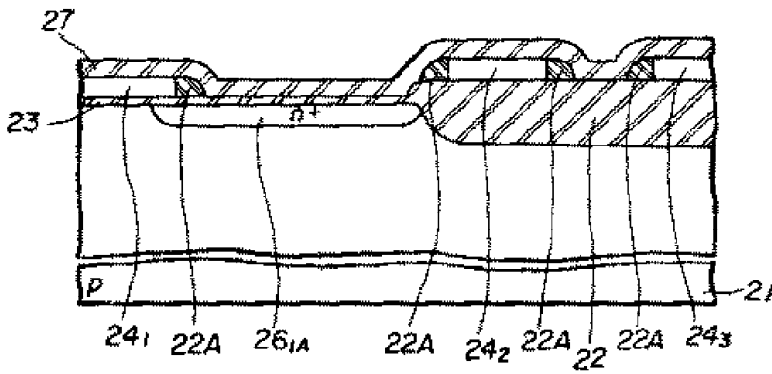
도면4



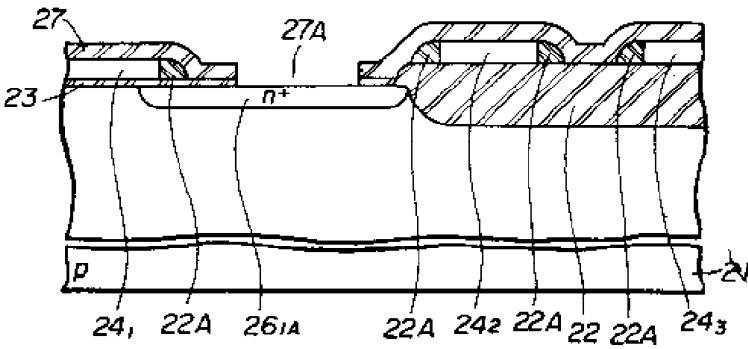
도면5



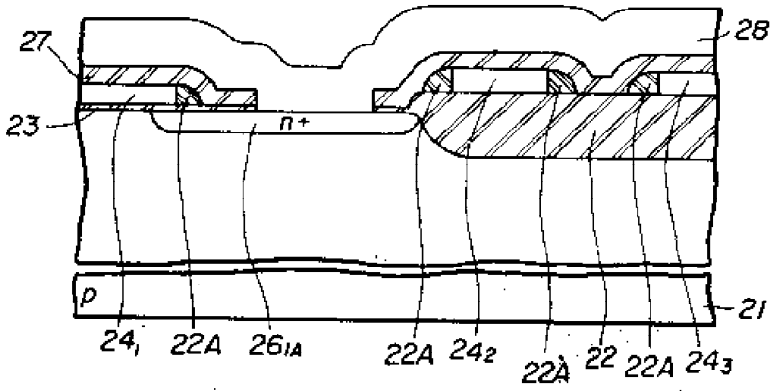
도면6



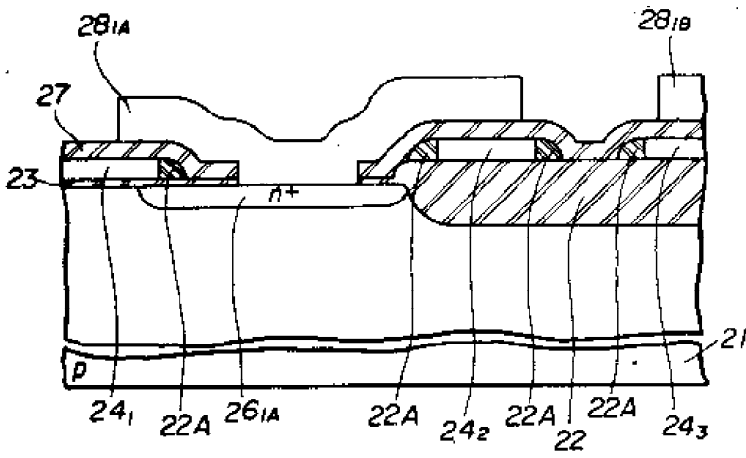
도면7



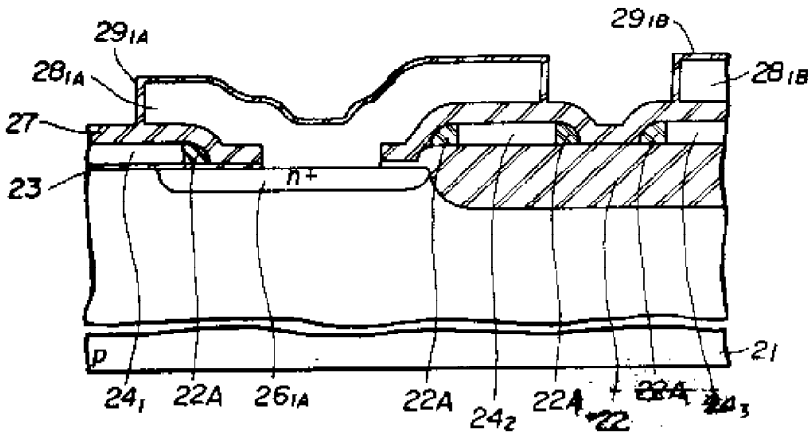
도면8



도면9



도면10



도면11

