

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-509589

(P2007-509589A)

(43) 公表日 平成19年4月12日(2007.4.12)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 5/13 (2006.01)	H03K 5/13	2G132
G01R 31/28 (2006.01)	G01R 31/28	5J001

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

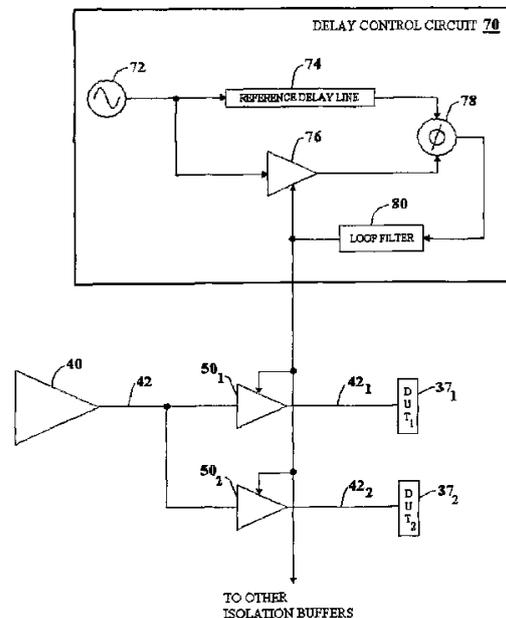
(21) 出願番号	特願2006-536863 (P2006-536863)	(71) 出願人	505377474
(86) (22) 出願日	平成16年10月22日 (2004.10.22)		フォームファクター, インコーポレイテッド
(85) 翻訳文提出日	平成18年4月20日 (2006.4.20)		アメリカ合衆国 カリフォルニア 945
(86) 国際出願番号	PCT/US2004/035205		51, リバーモア, サウスフロント
(87) 国際公開番号	W02005/040836		ロード 7005
(87) 国際公開日	平成17年5月6日 (2005.5.6)	(74) 代理人	100078282
(31) 優先権主張番号	10/693, 133		弁理士 山本 秀策
(32) 優先日	平成15年10月23日 (2003.10.23)	(74) 代理人	100062409
(33) 優先権主張国	米国 (US)		弁理士 安村 高明
		(74) 代理人	100113413
			弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 制御された等しい遅延時間を有する分離バッファ

(57) 【要約】

分離バッファにおける遅延を制御するシステムを提供する。そのような複数の分離バッファ (50₁ および 50₂) は、複数のラインに単一の信号チャンネル (42) を接続するために用いられ、等しい遅延を提供するように制御される。分離バッファ遅延は、電源電圧または電流を変化させることによって均一になるように制御される。遅延ロックループを形成する単一の遅延制御回路 (70) は、均一な遅延を確保するために各バッファに遅延制御信号を供給する。遅延の制御は各分離バッファの出力電圧を変化させ得るので、一実施形態では、バッファは2つの直列インバータから作成される。一方は可変遅延を有し、第2のインバータは可変遅延なしで固定出力電圧スイングを提供する。必要な回路を低減するために、一実施形態では、可変電源を備えた分離バッファは、分岐の前においてチャンネルに提供され、その一方で、固定遅延を有するバッファは各分岐に提供される。



【特許請求の範囲】

【請求項 1】

信号入力、可変遅延制御入力および出力を有する可変遅延分離バッファと、
該可変遅延分離バッファの該可変遅延制御入力を提供する出力を有する遅延制御回路であって、時間遅延基準を介した遅延に実質的に整合するために該可変遅延分離バッファを介した遅延を制御するように、出力における遅延制御電位を設定する、遅延制御回路とを備える、装置。

【請求項 2】

前記遅延制御回路が、
基準遅延ラインと、
信号入力、可変遅延制御入力および出力を有する基準バッファと、
該基準遅延ラインに接続された第 1 の入力と、該基準バッファの該出力に接続された第 2 の入力と、該基準バッファの該可変遅延制御入力および前記可変遅延分離バッファの前記可変遅延制御入りに接続された出力とを有する位相比較器と
を備える、請求項 1 に記載の装置。

10

【請求項 3】

前記可変遅延分離バッファと前記基準バッファとが単一のウェーハ上に製造されている、請求項 2 に記載の装置。

【請求項 4】

複数の駆動バッファをさらに備え、該駆動バッファの各々は、前記可変遅延分離バッファの前記出力に接続された信号入力と、システム電圧を受け取るように接続された電源入力とを有する、請求項 1 に記載の装置。

20

【請求項 5】

前記駆動バッファおよび前記可変分離バッファの各々が CMOS インバータを備える、請求項 4 に記載の装置。

【請求項 6】

前記可変遅延分離バッファが、前記可変遅延制御入力を提供する可変電流シンクを有する差動増幅器を備える、請求項 1 に記載の装置。

【請求項 7】

前記基準遅延ラインによって前記位相比較器の前記第 1 の入力に接続され、前記基準バッファによって該位相比較器の前記第 2 の入力に接続された発振器と、
該基準バッファの前記可変遅延制御入力と前記可変遅延分離バッファの前記可変遅延制御入力とに該位相比較器の前記出力を接続するループフィルタと
をさらに備える、請求項 2 に記載の装置。

30

【請求項 8】

前記基準バッファおよび分離バッファの前記可変遅延制御入力が各々、高レベル電圧入力ラインと低レベル電圧入力ラインとを備え、

システム電圧がシステム高電圧電源およびシステム低電圧電源とを含み、

前記ループフィルタが該基準バッファおよび該可変遅延分離バッファの該高レベル電圧入力ラインと該低レベル電圧入力ラインとに前記位相比較器の前記出力を接続し、該ループフィルタは、該位相比較器の出力を積分および集める手段を備え、該手段は、該高電圧電源に対して該高レベル電圧ライン上に積分した信号を提供し、該低電圧電源に対して該低レベル電圧ライン上に積分した信号を提供し、該高電圧ラインおよび該低電圧ライン上の該積分した信号が該高レベル電圧電源と該低レベル電圧電源との間に集められるようになされる、請求項 7 に記載の装置。

40

【請求項 9】

前記積分および集める手段が、

前記位相比較器の前記出力に接続された第 1 の端子と、第 2 の端子とを有する第 1 の抵抗と、

前記システム高電圧電源を受け取るようにシステム高電圧電源ラインに接続された第 1

50

の端子と、第 2 の端子とを有する第 2 の抵抗と、

第 1 のコンデンサと、

該第 1 および第 2 の抵抗の該第 2 の端子に接続された非反転 (+) 入力と、反転 (-) 入力と、前記基準バッファおよび前記可変遅延分離バッファの前記高電圧入力ラインに接続された出力とを有する第 1 の増幅器であって、該第 1 の増幅器の該出力は該第 1 のコンデンサを介して該非反転 (-) 入力にフィードバックされる、第 1 の増幅器と、

該位相比較器の該出力に接続された第 1 の端子と、第 2 の端子とを有する第 3 の抵抗と

、システム低電位を受け取るようにシステム低電圧電源ラインに接続された第 1 の端子と、第 2 の端子とを有する第 4 の抵抗と、

10

第 2 のコンデンサと、

該第 3 の抵抗の該第 2 の端子に接続された反転 (-) 入力と、該第 4 の抵抗の該第 2 の端子に接続された非反転 (+) 入力と、該基準バッファおよび該可変遅延分離バッファの前記低電圧入力ラインに接続された出力とを有する第 2 の増幅器であって、該第 2 の増幅器の該出力は該第 2 のコンデンサを介して該非反転 (-) 入力にフィードバックされる、第 2 の増幅器と

を備える、請求項 8 に記載の装置。

【請求項 10】

前記可変遅延分離バッファが、

システム電圧から変化されるような制御電位を受け取る可変遅延制御入力を有する第 1 のインバータと、

20

該第 1 のインバータと直列に接続された第 2 のインバータであって、該システム電圧の受け取り部に接続された電源入力を有する、第 2 のインバータと

を備え、

前記基準バッファが、

システム電圧から変化されるような制御電位を受け取る可変遅延制御入力を有する第 1 のインバータと、

該第 1 のインバータと直列に接続された第 2 のインバータであって、該システム電圧の受け取り部に接続された電源入力を有する、第 2 のインバータと

を備える、請求項 2 に記載の装置。

30

【請求項 11】

前記可変遅延分離バッファの前記信号入力が、プローブカード上のチャネルの第 1 の端子を形成し、該チャネルの第 2 の端子は、ウェーハ上のデバイスをテストするためのテスト信号を伝送および受信するためのテストへの接続用に構成されており、

前記駆動バッファの各々の前記出力は、該ウェーハ上のデバイスを接触させるためにそれぞれのプローブに接続するように構成されている、請求項 4 に記載の装置。

【請求項 12】

前記可変遅延分離バッファが第 1 の可変遅延分離バッファを備え、

前記装置が、さらなる遅延分離バッファを複数さらに備え、該さらなる遅延分離バッファの各々は、該第 1 の可変遅延分離バッファと共通に接続された信号入力と、前記遅延制御回路の前記出力に接続された可変遅延制御入力と、出力とを有する、請求項 1 に記載の装置。

40

【請求項 13】

複数の駆動バッファをさらに備え、該駆動バッファの各々は、前記第 1 の可変遅延分離バッファと前記さらなる可変遅延分離バッファとのうちの 1 つの出力に接続された信号入力と、システム電圧を受け取るように接続された電源入力とを有する、請求項 12 に記載の装置。

【請求項 14】

ウェーハ上の複数のデバイスをテストするためのテスト信号を伝送および受信するテストと、

50

該テストに共通に接続された入力を有する複数の分離バッファであって、該分離バッファの各々は出力をさらに有する、分離バッファと、

各々が該ウェーハ上の該複数のデバイスのうちの1つに接触するように構成された複数のプローブであって、該プローブの各々は、該複数の分離バッファのうちの1つの該出力に接続された端子をさらに有する、プローブと

を備える、テストシステム。

【請求項15】

前記分離バッファの各々が、該分離バッファのそれぞれの前記入力と前記出力との間の信号の時間遅延を制御するように設定された可変電位を受け取る可変遅延制御入力をさらに有し、

10

前記テストシステムは、

該分離バッファの該可変遅延制御入力に接続された出力を有する遅延制御回路であって、時間遅延基準に基づいて該出力における制御電位の大きさを設定する、遅延制御回路をさらに備える、請求項14に記載のテストシステム。

【請求項16】

複数の駆動バッファをさらに備え、該駆動バッファの各々は、前記複数のプローブのうちの1つに前記複数の分離バッファのうちの1つの前記出力を接続し、システム電圧を受け取るように接続された電源入力を有する、請求項15に記載のテストシステム。

【請求項17】

前記遅延制御回路が、

20

発振器と、

前記時間遅延基準を提供する基準遅延ラインであって、該発振器に接続された入力と、出力とを有する、基準遅延ラインと、

該発振器に接続された信号入力と、可変遅延制御入力と、出力とを有する基準バッファと、

該基準遅延ラインの該出力に接続された第1の入力と、該基準バッファの該出力に接続された第2の入力と、該基準バッファの該可変遅延制御入力および前記分離バッファの前記可変遅延制御入力に接続された出力とを有する、位相比較器と

を備える、請求項15に記載の装置。

【請求項18】

30

前記分離バッファの各々は、システム電圧電圧を受け取るように接続された電源入力を有し、

前記テストシステムは、

前記テストに前記分離バッファの前記入力を接続する可変遅延制御バッファであって、可変遅延制御入力をさらに有する、可変遅延制御バッファと、

該可変遅延制御バッファの該可変遅延制御入力に接続された出力を有する遅延制御回路であって、時間遅延基準に基づいて該出力における遅延制御電位を設定する、遅延制御回路と

をさらに備える、請求項14に記載のテストシステム。

【請求項19】

40

ウェーハ上の集積回路をテストする方法であって、

集積回路(IC)上のテストパッドに接続するように構成された複数のプローブのうちの1つに、テストチャネルから分配されるテストからのテストデータ信号を供給することと、

複数の分岐に分離バッファを介して該チャネルを分配することであって、該分岐の各々は該複数のプローブのうちの1つに接続されている、ことと

を包含する、方法。

【請求項20】

前記分離バッファの各々が実質的に同一の遅延を提供するように、該分離バッファを介して遅延を制御することをさらに備える、請求項19に記載の方法。

50

【請求項 2 1】

前記分離バッファを介して遅延を制御するステップが、該分離バッファに印加される電源電圧を変化させることによって遅延を制御する、請求項 2 0 に記載の方法。

【請求項 2 2】

前記分離バッファを介して遅延を制御するステップが、該分離バッファに流れる電流を変化させることによって遅延を制御する、請求項 2 0 に記載の方法。

【請求項 2 3】

前記複数の分岐の前に、前記チャンネルに可変遅延バッファを提供することと、
該複数の分岐の各々を介して実質的に同一の遅延を提供するように、該可変遅延バッファの遅延を制御することと
をさらに備える、請求項 1 9 に記載の方法。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、概して、信号の劣化を防ぐために分離バッファを介して複数のラインに信号を分配することに関する。より詳しくは、本発明は、ウェーハ上の集積回路（IC）のテストを可能にするために、ウェーハテストシステムの単一テスト信号チャンネルを複数のテストプローブに接続するシステムに関する。

【背景技術】**【0002】**

複数の伝送ラインに信号をファンアウトすることは、図 1 に示すように、多くの場合、信号が複数の行先に等しい位相シフトで到達することを必要とする。例えば、クロック信号をファンアウトするために、クロックツリーを用いて、複数のラインに到達する信号が同期されるように、またはライン行先において位相差なしで分配されるように、クロック信号を分配する。典型的には、位相差がないことを確実にするために、複数の伝送ラインが同一の長さを有するようにレイアウトされる。しかし、一部の 경우에는、複数のラインを、全てが同一の長さであるように経路決めすることが出来ないこともある。さらに、複数のラインのうちの一つにおいて欠陥またはラインの劣化が起こり得て、その欠陥または劣化は、別のライン上の信号の干渉および有意な減衰を生じるリターン信号を生成し得る。

20

30

【0003】

分離バッファは、欠陥の効果を低減するために、図 2 に示すように、複数の伝送ラインの各々の経路に提供され得る。あいにく、分離バッファ回路は、信号に遅延を追加するのみならず、典型的には、到達遅延に不確定性を生み出すか、複数の伝送ラインの行先において実効的に位相差を生成する。回路構成の変化および温度変化は、同期回路に問題があると判明し得る一バッファ回路と別の回路の遅延のばらつきの代表的な原因である。

【0004】

クロックツリーは、信号が同期して分配されるであろう状態の一例を提供するが、等しい位相遅延が維持され得る場合において別のシステムでそのような分配を提供することは好都合である。図 3 は、そのようなシステムの一つ（半導体ウェーハ上の IC をテストするためのテストシステム）の略ブロック図を示す。テストシステムは、通信ケーブル 6 によってテストヘッド 8 に接続されたテストコントローラ 4 からなる構成されるテスト 2 を含む。テストシステムは、テストの対象のウェーハ 1 4 を備え付けるためのステージ 1 2 からなるプローバ 1 0 をさらに含み、ステージ 1 2 は、プローブカード 1 8 上のプローブ 1 6 と接触するように移動させられる。カメラ 2 0 および 2 2 は、プローバ 1 0 およびテストヘッド 8 に取り付けられているように示されており、それによって、ウェーハ 1 4 上に形成された IC と接触するプローブ 1 6 の正確な位置合わせが可能になる。

40

【0005】

テストシステムでは、テストデータは、テストコントローラ 4 によって生成され、通信ケーブル 6 を介してテストヘッド 8 に伝送される。次いで、ウェーハ上の IC から提供さ

50

れたテスト結果は、テストヘッド 8 において受信され、テストコントローラ 4 に伝送される。テストヘッド 8 は、一組のテストチャンネルを含む。典型的には、テストコントローラ 4 から提供されたテストデータは、各テストチャンネルが複数のプローブ 16 のうちの別個の 1 つに支持されるように、ケーブル 6 を介して提供された個々のチャンネルに分けられ、テストヘッド 8 において分離される。テストヘッド 8 からのチャンネルは、電気接続 24 を介してプローブ 16 に連結されている。

【0006】

大抵の場合、プローブ 16 の各々は、テストの対象のウェーハ 14 の IC 上の単一の入出力 (I/O) 端子またはパッドと接触する。各テストチャンネルは、IC が入力信号にตอบสนองして期待されるように振舞っているか否かを決定するために、IC 入力にテスト信号を送り得るか、IC 出力信号をモニタリングし得る。図 4 は、各テストチャンネルが単一のプローブに連結された状態の詳細を示す。図 4 では、2 つの信号チャンネル伝送ライン 31 および 32 が、ウェーハ 14 上の 2 つの別個の IC 37₁ および 37₂ 上のパッドに接触する 2 つの別個のプローブ 16₁ および 16₂ に提供されているように示されている。チャンネル伝送ライン 31 および 32 の各々は、それぞれのドライバ 34 および 35 によって駆動され、ドライバ 34 および 35 は、典型的には、テストコントローラ 4 内に配置されている。チャンネル伝送ライン 31 および 32 からのテストデータは、プローブカード 18 を介して別個のプローブ 16₁ および 16₂ に分配される。一旦テストが完了すると、ウェーハは、別個の IC 37₁ ~ 37₄ へとダイシングされる。

【0007】

通常は、利用可能なテストチャンネルよりも多くの I/O パッドが存在するので、テストは、一度では、ウェーハ上の IC の一部のみをテストし得る。従って、ウェーハを保持する「プローバ」は、全 IC がテストされ得るように、複数回プローブの下でウェーハの位置を変える必要がある。ウェーハ上の全 IC が接触され、ウェーハを位置変更する必要なしに同時にテストされ得る場合は、テスト回数が省かれ、テストシステムとの複数の接触のために起こり得るウェーハの損傷が防がれるので、有利である。

【0008】

ウェーハの位置を変更することなしに全ウェーハをテストするのに必要とされるテストチャンネルの数を減らす一方法は、図 1 に一般的に示したように、単一のテストチャンネルを複数のラインに分配またはファンアウトすることであり、潜在的に、同一のテストチャンネルが、ウェーハ上の多数の IC の I/O パッドへと信号を提供することを可能にする。一チャンネルがファンアウトされ得るが、ファンアウトを用いる場合は、一 DUT から提供されたテスト結果において識別された欠陥は、別の DUT のテスト結果に誤って現れ得る。例えば、グラウンドに短絡された一 DUT 上の接触パッドにおける欠陥は、第 2 の DUT 上の接触パッドをグラウンドに短絡し、それによって、第 2 の DUT が誤って不良とテストされる。さらに、複数のラインのうちの一つのライン上の開放の欠陥は、そのラインに接続されたウェーハをテスト不可能にする。ライン上の短絡または開放は、同一のチャンネルから別の DUT 向けの別のラインに提供された信号を激しく減衰する。

【0009】

I/O パッドにおける欠陥またはそのパッド周辺における欠陥が、相互接続システムを通過するテスト信号を激しく減衰することを防ぐ一方法は、プローブとチャンネルラインの分岐点との間に分離抵抗を配置することである。分離抵抗は、一 DUT 上のグラウンドへの短絡が、別の DUT をグラウンドに引き寄せることを防ぎ、同様に、一ライン上の開放から生じる減衰を有意に低減する。タイトルが「Closed-Grid Bus Architecture For Wafer Interconnect Structure」である特許文献 1 の図 7 は、そのような分離抵抗の使用法を記載している。欠陥の影響を減らすが、分離抵抗は、欠陥によって引き起こされた減衰を完全には取り除かない。さらに、ライン上の寄生容量を用いて、分離抵抗を追加することは、テスト信号の立ち上がり時間および立ち下がり時間に悪影響を及ぼし得る RC 遅延を引き起こし、潜在的に、誤ったテスト結果を生成する。

10

20

30

40

50

【0010】

抵抗の減衰を生じずに欠陥を分離する別の方法は、図2に一般的に示すように、また、図5のテストシステムに対してより詳細に示すように、各チャンネルの分岐点とプローブとの間に分離バッファを含めることである。図5では、テストのドライバ40からの一伝送ラインチャンネル42は、プローブカード18において2つのバスライン50₁および50₂にファンアウトされて、2つのIC 37₁および37₂（各々はテスト下のデバイス「DUT」とラベル付けされている）上のパッドを接触するために、別個のプローブ42₁および42₂にチャンネル信号を提供する。当然、一チャンネルが、同様に、同じIC上の複数のパッドへの複数のバスライン全体にわたってファンアウトされ得る。

【0011】

分離バッファの欠点は、先に示したように、分離バッファが、テストからのウェーハ上のDUTへのテスト信号の伝送に不確定な遅延を生むということである。この遅延は、バッファを介した遅延が温度の変化および電力電圧の変化と共に変化し得るので、不確定である。テストからウェーハ上のDUTへの信号遅延は、ウェーハのDUTの一連のテストの実行中において変化し得て、不正確なテスト結果が生じる。

10

【0012】

信号を複数の伝送ラインに分配すること、および、ウェーハテストシステムと、信号を複数の伝送ラインに分配する別のシステムの両システムに対して等しくない遅延を生じることなしに欠陥からの分離を提供することは望ましい。

【特許文献1】米国特許第6,603,323号明細書

20

【発明の開示】

【課題を解決するための手段】

【0013】

（概要）

本発明に基づいて、複数の分離バッファを介した遅延を一定に保つような回路が提供される。等しい遅延を有する分離バッファを用いた分岐を提供することにより、効率的なウェーハテストシステムの生成を可能にし、さらに、等しいラインの遅延を維持しながら分岐の分離を必要とする別のシステムの生成を可能にする。

【0014】

分離バッファが複数のライン上の信号の伝送に不確定な遅延を生むのを防ぐために、一実施形態では、バッファの遅延は、分離バッファに提供された電源電位を変化させることによって、制御される。あるいは、バッファの遅延は、電流を制御することによって（例えば、差動増幅器として構成された分離バッファを流れる電流を制御することによって）調節され得る。

30

【0015】

分離バッファの遅延が均一であることを確実にするために、バッファ遅延は、電源電圧または各分離バッファに提供される電流を制御する中央遅延制御回路によって制御される。遅延制御回路は、基準遅延ラインおよび基準バッファの入力に信号を提供する発振器を含む。次いで、基準遅延ラインおよび基準バッファは、位相比較器への入力を提供する。発振器の周波数および安定性は、遅延回路の動作には極めて重要というわけではない。その理由は、位相比較器が、常に、同一であるが遅延したバージョンの発振器の変化を比較するためである。基準遅延ラインは、分離バッファの遅延を設定するように選択された長さを有する。位相比較器の出力は、基準バッファの電圧または電流の遅延制御入力、および分岐に提供された分離バッファを駆動するために、ループフィルタを介して提供されている。構成したとおり、遅延制御回路は、システム内の分離バッファの各々が遅延ロックループの出力を受信するように、基準バッファが基準遅延ラインと等しい遅延を提供し、遅延ロックループを効率的に形成する。

40

【0016】

分離バッファの遅延を変化させることによって各分離バッファの出力電圧が変化し得るので、さらなる実施形態では、2つのバッファが、各チャンネルの分岐点とプローブとの間

50

において順に用いられる。第1のバッファは、可変遅延制御が適用され、その一方で、第2のバッファは、遅延制御を有さず、出力を変更せずにシステム電圧を供給し得る。

【0017】

さらなる実施形態では、各分岐において2つのバッファを用いることと比較して、必要とされる回路を低減するために、遅延制御回路によって遅延が制御された分離バッファが、分岐点の前においてチャンネルに提供されている。次いで、固定システム出力電圧を有する遅延制御なしのバッファが、各分岐点に提供されている。次いで、遅延制御回路内の基準バッファは、2つのバッファからなり、そのうちの1つのバッファは、可変遅延分離バッファに整合するように制御された遅延を有し、その一方で、第2のバッファは、遅延制御を有さず、固定システム出力電圧を供給し、各分岐に提供されたバッファを整合する。

10

【0018】

ウェーハテストシステムに対しては、本発明により作成された等しい遅延の分離バッファを介して分岐されたチャンネルを有するものにプローブカードをシンプルに変更することは、限定数のチャンネルを備えたテストがウェーハ上の全ICをテストすることを可能にする。そのような分岐を用いると、プローバは、プローブカードにおいて分岐を用いない場合に必要とされる、複数回、ウェーハに接触するように位置変更する必要はない。テストのコストは、プローブカードのコストに比べて大きい。そのため、遅延分離バッファを含むようにテストを変更することは可能であるが、単にプローブカードを分離バッファと置き換えることは、有意に安価な代替手段である。

【0019】

添付の図面を用いて本発明のさらなる詳細を説明する。

20

【発明を実施するための最良の形態】

【0020】

図6は、分離バッファ50に供給されるバイアス電圧を変更し得る遅延制御を備えたバッファ50の一実施形態を示す。図6では、バッファ50は、信号入力55および出力56を有するインバータ51を含む。システム電源電圧レール57および58は、高電圧 V_+ および低電圧 V_- を提供する。CMOSデバイスを用いる場合、バイアスまたは電源電圧は、典型的には、 V_{dd} および V_{ss} と呼ぶ。典型的には、レール電圧 V_+ および V_- は、バッファに直接供給される。電圧 V_+ は、例えば、5ボルトであり得、 V_- は、グラウンドすなわちゼロ電圧であり得る。しかし、図6では、遅延制御回路は、電源電圧を変更することによって遅延を制御するように設定されており、電圧レール V_+ および V_- は、それぞれの遅延制御回路60および61を介して、高電源電圧および低電源電圧として、インバータ51に提供されている。図5および図6では2つの別個の遅延制御回路60および61を示したが、単一の組み合わせた回路が用いられ得る。さらに、2つの回路60および61が V_+ および V_- 電圧を変化させるように記載したが、単に所望の遅延を実現するためには、電圧 V_+ および V_- の一方が変更され得る。

30

【0021】

バッファに供給される電圧を変化させることによってバッファ遅延を制御するように記載してきたが、このように行うことに伴う問題は、バッファ(例えば、インバータ51)に供給される電圧の変化が、その出力部56に供給される高電圧および低電圧を変化させるということである。本発明によると、この問題は、図7に示すように、各分離バッファをペアのインバータ(例えば、CMOSインバータ)としてインプリメントすることによって、対処される。

40

【0022】

図7は、バッファが、図6をインバータ51に直列にインバータ52を追加するように変更することによって形成されたようなインプリメンテーションを示す。遅延は電源バイアス電圧を変化させることによって制御され、第1のインバータ51に供給される電圧のみが、その遅延を制御するために変更される。第2のインバータ52に対する電源バイアス電圧は、 V_+ および V_- レールに固定されたままである。第2のインバータ52の出力は全バッファ50の出力56であるので、全バッファ50の高出力電圧および低出力電圧

50

は、 V_+ および V_- レールに固定されている。一部の場合における分離バッファ出力は、 V_+ および V_- レールへの固定が維持される必要があるため、図 7 の回路は、固定された電源電圧を有する第 2 のインバータ 5 2 を用いる。

【 0 0 2 3 】

異なった遅延制御回路が各分離バッファに提供されると、温度およびデバイス特性が、分離バッファ間の遅延を変更し得る。従って、各分離バッファによって提供される遅延を制御するための単一の遅延制御回路は、好ましい。複数の分離バッファに対して単一の遅延制御回路を用いることは、複数の遅延制御回路と比べて、テストシステムに必要な全回路を有意に低減し得る。

【 0 0 2 4 】

複数のバッファの遅延を制御するための単一の遅延制御回路の詳細を図 8 に示す。遅延回路 7 0 は、図 5 と同様に、ウェーハテスト構成の 2 つの分離バッファ 5 0₁ および 5 0₂ に接続されているように示されている。しかし、同様に、遅延制御回路 7 0 は、2 つ以上の分離バッファに提供され得るか、クロックツリーのように、ウェーハテストと別のタイプの回路の分岐に提供され得る。さらに、当業者に理解されるように、示した遅延制御回路 7 0 は、図 5 および図 6 に示した遅延制御回路 6 0 および 6 1 の組み合わせとして機能するように構成され得るか、遅延制御回路 6 0 および 6 1 の個々のものとして機能するように構成され得る。

【 0 0 2 5 】

遅延制御回路 7 0 は、基準遅延ライン 7 4 および基準バッファ 7 6 の両方の入力に提供される周期信号を生成する発振器またはクロック生成器 7 2 を含む。発振器は、直列に接続されたインバータ、または、抵抗のような遅延素子と直列のインバータから形成され得る。発振器信号周波数およびデューティサイクルは、極めて重要というわけではない。その理由は、エラー信号は、基準遅延ライン 7 4 および基準バッファ 7 6 に同時に入力される同一の周期または発振器のサイクルの立ち上がりエッジおよび立ち下りエッジにのみ由来するためである。

【 0 0 2 6 】

基準遅延ライン 7 4 は、分離バッファ 5 0₁ および 5 0₂ を介して所望の遅延と等しい遅延を有するように構成される。基準遅延ライン 7 4 ラインの大きさは、当業者には理解されるように、遅延ライン 7 4 を介して遅延を制御するように設定され得る。基準遅延ライン 7 4 は、分離バッファ 5 0₁ および 5 0₂、基準バッファ 7 6、位相比較器 7 8 などを含んだ集積回路上に構成され得るか、そのような集積回路の外部に提供され得る。集積回路上の構成要素の物理的な大きさはリソグラフィを用いて制御され得るので、部分ごとの変動は最小化され得る。絶対的な遅延のまたは相対的な遅延のより正確な制御が必要とされる要求の厳しいアプリケーションでは、レーザトリミングが、遅延ライン 7 4 を調整するために供給され得る。レーザトリミングなしでは、伝送ラインの遅延のわずかな変化が、伝送ラインを構成するために用いられた材料または基板の $T c e$ のために、生じ得る。このような場合では、伝送ラインの比較的小さな遅延の変化は、遅延ロックスループを調整することによって、安定化され得る。

【 0 0 2 7 】

位相比較器 7 8 は、基準遅延ライン 7 4 および基準バッファ 7 6 からの出力の位相差を測定する。位相比較器 7 8 の出力は、ローパスフィルタまたはローパスフィルタ回路 8 0 を駆動する。フィルタ 8 0 は、位相エラーと比例する制御電圧を生成するように位相比較器信号をフィルタリングする。次いで、この位相エラー制御電圧は、基準バッファ 7 6 の遅延を調整するように用いられる。電圧制御の基準バッファ 7 6 と、位相比較器 7 8 と、ローパスフィルタ 8 0 との組み合わせは、通常、「遅延ロックスループ」と呼ばれる。従って、遅延制御回路 7 0 は、基準バッファ 7 6 に時間プロセスおよび温度に独立な基準を提供し、さらに、複数の分離バッファ（例えば、5 0₁ および 5 0₂）に制御電圧を供給する。

【 0 0 2 8 】

10

20

30

40

50

図 8 の遅延制御回路 70 は、基準バッファ 76 を介した遅延に、基準遅延ライン 74 を介した遅延を整合するようにさせる。基準遅延ライン 74 を介した遅延は、典型的には、周囲条件（例えば、電源の温度または電圧）によって変更されないので、遅延制御回路 70 は、周囲温度または自身の電源温度の変化に関らず、基準バッファ 76 を介した遅延を一定に保つ。

【0029】

図 8 の遅延制御回路 70 はさらに、単一チャネル 42 と DUT 37₁ および 37₂ との間の分岐 42₁ および 42₂ に提供された分離バッファ 50₁ および 50₂ のバイアス電圧を制御する。従って、遅延制御回路 70 は、基準バッファ 76 と、分離バッファ 50₁ および 50₂ を介した遅延を一定に保つ傾向にある。2つの分離バッファ 50₁ および 50₂ を示したが、示したように、別の分岐に提供されたさらなる分離バッファは、回路 70 によって制御された遅延を有し得る。

10

【0030】

遅延制御回路 70 は、バッファの遅延を設定するために、基準バッファ 76 ならびに分離バッファ 50₁ および 50₂ に供給される電圧 V_+ および V_- の一方または両方を制御するように、接続され得る。従って、ループフィルタ 80 からの接続は、 V_- あるいは V_+ の一方からの変更された電圧を提供するための単一ライン、または、 V_+ および V_- の各々からの変更された電圧を提供する 2つのラインを備えたバスであり得る。

【0031】

バッファ間の遅延が実質的に同一になることを確実にするために、基準バッファ 76 および分離バッファ 50₁、50₂ などは、可能な限り類似するべきであり、または、少なくとも、分離バッファ 50₁ および 50₂ を介した遅延を許容の差以内に保つのに必要なだけ類似するべきである。好適には、基準バッファ 76 ならびに分離バッファ 50₁ および 50₂ は、同一のウェーハ上に製造され、場合により、類似のデバイスおよび温度特性を確実にするために、同一の IC チップ上に提供され得る。

20

【0032】

基準バッファ 76 ならびに分離バッファ 50₁ および 50₂ は、図 6 に示した単一インバータ構成または図 7 に示した直列インバータの一方であり得る。図 6 の単一インバータ構成では、遅延制御回路 70 は、バッファインバータの全てに供給された電源電圧の一方または両方を制御する。図 7 の直列インバータ構成では、遅延回路 70 は、直列の第 1 のインバータの供給バイアス電圧を制御し、その一方で、電源電圧を第 2 の直列インバータに対して V_+ および V_- に固定したままにする。図 7 の分離バッファ構成では、遅延バッファ 76 ならびに分離バッファ 50₁ および 50₂ は、好適には、遅延が各バッファにおいて実質的に等しい値に正確に制御させるように基準バッファと分離バッファの類似度を最大化するために、直列インバータを含む。

30

【0033】

図 9 は、ローパスフィルタまたはループフィルタ 80 の一実施形態の詳細を示す。ループフィルタ 80 は、図 8 に示した位相比較器 78 の出力を積分し、 V_+ および V_- システム電圧レール間に集中化された、基準バッファ 76 ならびに分離バッファ 50₁ および 50₂ への 2つの集中化された遅延制御電圧 V_H および V_L を提供するように機能する。図 9 に示した回路は、ループフィルタ 80 に対する一実施形態を提供するが、フィルタ設計は、極めて重要というわけではなく、当業者に理解されるように、別のローパスフィルタ回路構成によって置き換えられ得る。例えば、コンデンサおよび抵抗を用いた受動ローパスフィルタは、能動素子増幅器 90 および 92 を含んだ図 9 に示したループ回路 80 を置き換え得る。

40

【0034】

図 9 のループフィルタ回路 80 は、入力として、電源レール電圧 V_+ および V_- 、ならびに位相比較器 78 の出力を受け取る。これらの入力から、図 9 の回路は、制御電圧 V_H および V_L を生成する。電圧 V_H は、高電源入力（換言すると、CMOS インバータに対する V_{dd} 入力）として基準バッファ 76 および分離バッファに提供され、その一方で、

50

V_L は、低電源入力（換言すると、CMOSインバータに対する V_{SS} 入力）として基準バッファ76および分離バッファに提供される。

【0035】

ループフィルタ80は、2つの差動増幅器90および92を含む。増幅器90の出力は制御電圧 V_H を提供し、その一方で、増幅器92の出力は制御電圧 V_L を提供する。抵抗94は、レール電圧 V_+ を増幅器90の非反転(+)入力に接続し、その一方で、抵抗96は、レール電圧 V_- を増幅器92の非反転(+)入力に接続する。位相比較器78からの出力は、抵抗98を介して増幅器90の非反転(+)入力に接続されており、抵抗99を介して増幅器92の反転(-)入力に接続されている。フィードバックは、グラウンドに反転入力を接続する抵抗101と同様に、抵抗100および自身の出力を反転(-)入力に接続するコンデンサ103によって、増幅器90に提供される。フィードバックは、抵抗102および自身の出力を反転(-)入力に接続するコンデンサ104によって、増幅器92に提供される。フィードバックコンデンサ103および104は、増幅器90および92が、ノイズを低減するために集積器としての機能を果たすことを可能にする。抵抗94、96、98および99は、電圧 V_H および V_L が V_+ と V_- の間に集まることを確実にさせる機能を果たす。

10

【0036】

多数のバッファを駆動するために、電力増幅器が、 V_H および V_L 出力を増幅するために追加され得る。コンデンサを、 V_H および V_L 出力と分離バッファのそれぞれの入力間に配置することは望ましくあり得る。そのようなコンデンサは、電源からの高周波数ノイズをフィルタリングして除去する。

20

【0037】

図9の回路は、分離バッファの出力におけるデジタル信号が電源入力を変更させないように維持するように設計されているが、 V_+ および V_- 電源レベルの間に集まらせる。そのようにすることによって、次の回路の遷移は、 V_+ および V_- レベルが変更されない場合にそうであるような信号の立ち上がりエッジおよび立ち下りエッジとほとんど等しい時刻において起こり得る。分離バッファの出力を V_+ と V_- の間に集めることをしないことによって、一エッジは、通常よりもはやく次の回路の遷移をトリガし、それによって、場合によっては、エラーのあるテスト結果を引き起こす。

【0038】

図9に示す回路では、位相比較器78からの位相差信号出力が大きいほど、 V_H と V_L の差が大きい。分離バッファに供給されると、バッファ遅延制御回路70からの V_H と V_L の差が大きくなるほど、分離バッファによって提供される遅延は小さい。

30

【0039】

図10は、図9の回路からの V_H および V_L 信号出力に対する動作範囲を示すチャートを示す。 V_H および V_L の範囲は、抵抗94、96、98および99に対して選択された値に依存する。抵抗94、96、98および99は、好適には、位相差の変化があると、 V_H と V_L の中央電圧が等しいままであることを確実にするように V_H および V_L に等しい変化が生じるように、選択される。抵抗の値はさらに、位相比較器78からの位相差出力信号が0である場合において、 V_H が全範囲の真ん中にあり、 V_L が全範囲の真ん中にあるように、選択される。 V_H および V_L に対する特定の範囲は、インプリメントされる特定の回路の要求に依存して変化し得る。

40

【0040】

図11は、必要とされる全回路を低減するように構成された、図8の分離バッファおよび遅延制御回路に対する代替を示す。図11では、単一の可変遅延分離バッファ110は、分岐点の前において、チャンネルまたは伝送ライン42に配置される。インバータとして示された分離バッファ110は、遅延を設定するために、遅延制御回路70から、可変電源バイアス信号 V_L および V_H を受け取る。次いで、固定遅延バッファ112₁および112₂は、ファンアウト点の後において、分岐42₁および42₂に含められる。これもまたインバータとして示したバッファ112₁および112₂は、システム電源レールか

50

ら固定電源入力 V_+ および V_- を受け取る。2つのバッファ112₁および112₂を示したが、ファンアウトは、2つ以上のバッファに対してなされ得る。

【0041】

図11の直列インバータ114および116は、図8の基準バッファ76の代わりとして機能する。インバータ114は、ループフィルタ80から可変電源バイアス信号 V_L および V_H を受け取る。インバータ116は、固定電源レール V_+ および V_- を受け取る。全インバータは、好適には、類似のデバイスおよび温度変化特定を生成するように同一の半導体ウェーハ上に作成することを含めて、可能な限り類似するように作成される。従って、図11の回路は、均一な遅延を生成する分離バッファを備えた共通チャネルからファンアウトを提供する。図11の回路は、図7に示したようなバッファを用いて図8の回路に対する利点を提供する。その理由は各分岐点において単一のバッファのみが必要とされるためである。

【0042】

図12は、直列CMOSインバータによって形成された図7の分離バッファに対する一実施形態を示し、インバータ51は単一の遅延制御回路160によって制御された遅延を有し、その一方で、インバータ52は固定の遅延を有する。遅延制御回路160は、図11の遅延制御回路70と同様に、図7の回路60および61の機能を組み合わせる。CMOSインバータ51は、図11の回路70と同様に、遅延制御回路160から生成された遅延制御電圧 V_H および V_L を受け取るPMOSトランジスタ121およびNMOSトランジスタ120を含む。同様に、CMOSインバータ52はPMOSトランジスタとNMOSトランジスタを含み、それらのトランジスタは固定 V_- および V_+ 電圧レールによって駆動される。

【0043】

図13は、図12の回路の電圧の変化と対照的に、電流を変化させることによって制御された遅延を有する分離バッファ構成を示す。図13はさらに、CMOSインバータとは対照的に、バッファが、バイポーラ接合トランジスタ(BJT)を用いて作成された差動増幅器などの別の構成をとり得るということを示す。示すように、図13におけるバッファ51は、遅延制御回路161によって制御された電流を有する電流シンク130を備えた差動増幅器である。一実施形態では、遅延制御回路161は、図8の回路70として構成され得る。遅延制御回路161に対するそのような構成では、図8のループフィルタ80の出力は、差動増幅器として構成された基準バッファ76および差動増幅器バッファ51の供給電流入力であり得る。図13のバッファ51は、+および-の差動増幅器入力を形成するベースと、電流シンク130に接続された共通エミッタと、抵抗136および138を介して V_+ 電源レールに提供されたコレクタとを有するBJTトランジスタ132および134を含む。

【0044】

差動増幅器51は、単独で用いられ得るか、レールツーレール(rail-to-rail)の単一出力が望まれる場合では、第2の増幅器52を介して出力56に接続され得る。抵抗136および138ならびに電流シンク130が出力スイング(swing)を制限するので、差動増幅器51は、レールツーレールの V_+ および V_- 電圧を供給しない。レールツーレールの出力が望まれる場合では、図13に示すように、制御電圧 V_{OH} および V_{OL} が V_+ および V_- レールに接続された比較器として構成された増幅器52が、所望のレールツーレールのスイングを提供する。

【0045】

具体的に本発明を上述したが、これは、単に、当業者に本発明を構成し用いる態様を教示するに過ぎない。多くのさらなる改変が本発明の範囲内に含まれ、その範囲は、添付の特許請求の範囲によって規定される。

【図面の簡単な説明】

【0046】

【図1】複数の信号ラインにファンアウトされた単一の伝送ラインを示す。

10

20

30

40

50

【図 2】複数のラインに提供された分離バッファを有する、複数のラインにファンアウトされ単一の伝送ラインを示す。

【図 3】半導体ウェーハ上の IC をテストするための従来のテストシステムの略ブロック図を示す。

【図 4】各チャンネルが単一プローブに連結された従来のテストシステム配置を示す。

【図 5】ウェーハテストの単一チャンネルが、単一のチャンネルを用いて同時に複数の IC をテストするための分離バッファを有する複数のプローブにファンアウトされ得る態様を示す。

【図 6】バッファに供給された電源バイアス電圧を変化させることによって遅延が制御された分離バッファの一実施形態を示す。

【図 7】2つの直列インバータによって形成された分離バッファを示し、第 1 のバッファのみが変更される電源バイアス電圧を有する。

【図 8】複数の分離バッファの遅延を制御する遅延制御回路の詳細を示す。

【図 9】図 8 のループフィルタの一実施形態の詳細を示す。

【図 10】図 9 の回路からの V_H および V_L 信号出力に対する動作範囲を示すチャートを示す。

【図 11】チャンネル分岐点の前に配置された可変電源分離バッファと、各分岐に提供された固定電圧バッファとを有する、図 8 の回路の代替を示す。

【図 12】直列の CMOS インバータによって形成された、図 7 の分離バッファに対する一実施形態を示し、第 1 の直列 CMOS インバータは単一の遅延制御回路によって制御された遅延を有する。

【図 13】差動増幅器を流れる電流を変化させることによって制御された遅延を有する差動増幅器として構成された分離バッファを有する一実施形態を示す。

【図 1】

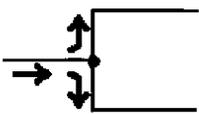


FIG. 1

【図 2】

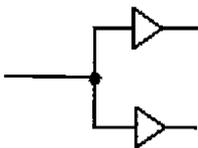


FIG. 2

【図 3】

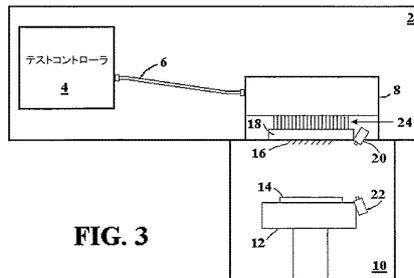


FIG. 3

【図 4】

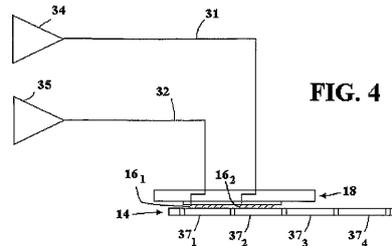


FIG. 4

【図 5】

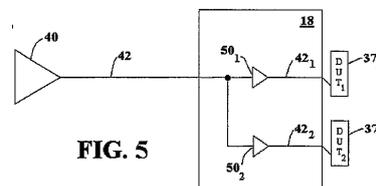


FIG. 5

10

20

【 図 6 】

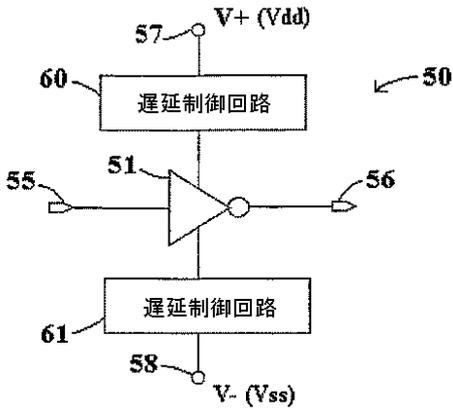


FIG. 6

【 図 8 】

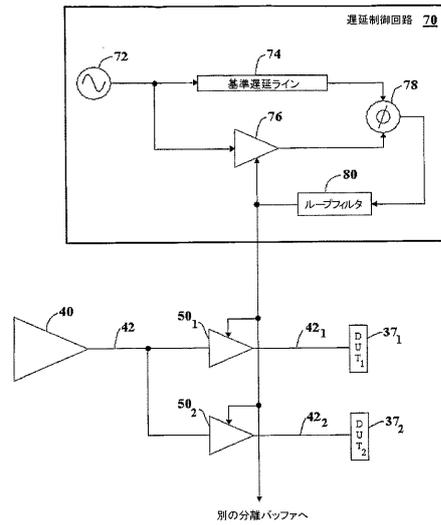


FIG. 8

【 図 7 】

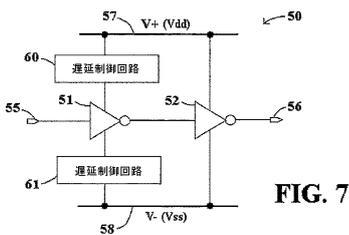


FIG. 7

【 図 9 】

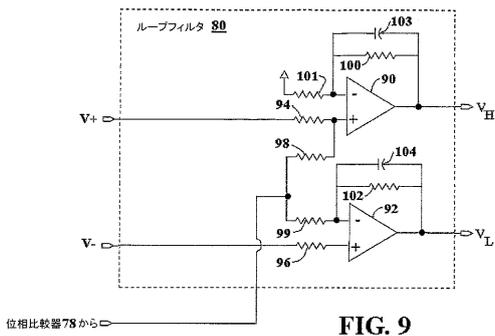


FIG. 9

【 図 1 1 】

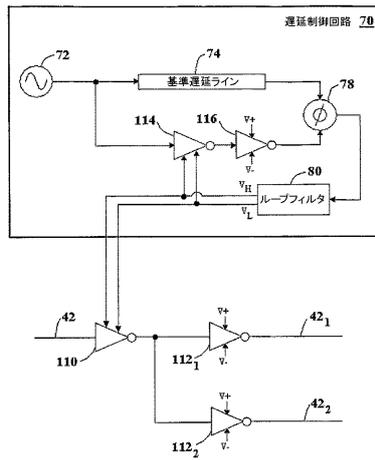


FIG. 11

【 図 1 0 】

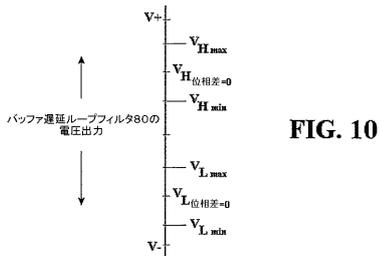


FIG. 10

【 図 1 2 】

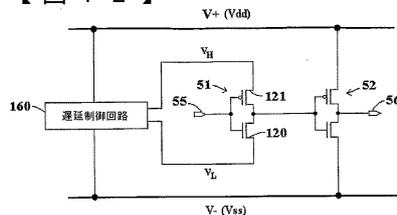


FIG. 12

【 図 1 3 】

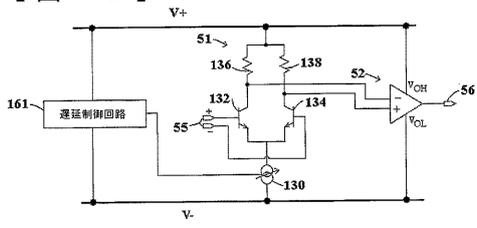


FIG. 13

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/35205
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : G01R 31/02, 31/26; H03K 3/00; H03H 11/26 US CL : 324/765, 158.1; 702/89; 327/250, 269 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 324/754, 765, 158.1; 702/89; 327/250, 261, 262, 276, 277, 284, 269, 271, 538 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6,622,103 A (MILLER) 16 September 2003 (16.09.2003), Figure 4.	1, 14, 15, 19-23
X	US 5,070,297 A (KWON et al) 3 December 1991 (03.12.1991), Figure 3.	19, 20 and 23
A	US 6,570,397 B2 (MAYDER et al) 27 May 2003 (27.05.2003), Figure 8.	1-23
A	US 6,181,145 B1 (TOMITA et al) 30 January 2001 (30.01.2001), Figures 3 and 11.	1-23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 01 March 2005 (01.03.2005)	Date of mailing of the international search report 18 MAY 2005	
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner of Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230	Authorized officer Russell M. Kobert Telephone No. 571-272-1650	

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ミラー, チャールズ エー.

アメリカ合衆国 カリフォルニア 94539, フレモント, セミロン ドライブ 4888
1

Fターム(参考) 2G132 AA01 AB01 AD07 AG08 AL11 AL25
5J001 AA05 AA11 BB12 CC03 DD06 DD09