

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

H01L 25/00 (2006.01)

H01L 23/00 (2006.01)

H01L 21/50 (2006.01)

专利号 ZL 200710085521.1

[45] 授权公告日 2009年8月19日

[11] 授权公告号 CN 100530637C

[22] 申请日 2007.3.7

[21] 申请号 200710085521.1

[30] 优先权

[32] 2006.10.6 [33] US [31] 11/539,481

[73] 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

[72] 发明人 吴文进 邱文智 余振华

[56] 参考文献

US2003/0107119A1 2003.6.12

CN1172358C 2004.10.20

CN1180475C 2004.12.15

审查员 康 兴

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈 晨

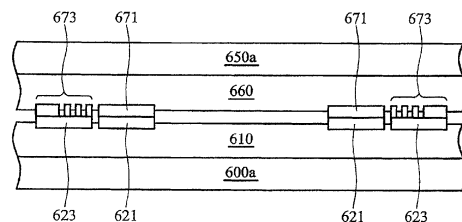
权利要求书 3 页 说明书 13 页 附图 17 页

[54] 发明名称

堆栈结构及其形成方法

[57] 摘要

一种堆栈结构及其形成方法，包含：第一芯片，在第一表面上定义有第一芯片区，至少一个第一保护结构形成于所述第一表面上而围绕所述第一芯片区，所述第一保护结构的至少一侧具有至少一个第一延伸部，所述第一延伸部横越围绕所述第一保护结构的第一切割道；以及第二芯片连接于所述第一芯片的上方，在第二表面上定义有第二芯片区，至少一个第二保护结构形成于所述第二表面上而围绕所述第二芯片区，所述第二保护结构的至少一侧具有至少一个第二延伸部，所述第二延伸部横越围绕所述第二保护结构的第二切割道，其中所述第一延伸部连接所述第二延伸部。本发明不仅能减少基底上芯片图形的加工成本，还使得可以容易地连接两个对应基底上的对应保护结构。



1.一种堆栈结构，其特征在于，包含：

第一芯片，在其第一表面上定义有第一芯片区，至少一个第一保护结构形成于所述第一表面上而围绕所述第一芯片区，所述第一保护结构的至少一侧具有至少一个第一延伸部，所述第一延伸部横越围绕所述第一保护结构的第一切割道；以及

第二芯片，位于所述第一芯片的上方并与其连接，在其第二表面上定义有一个第二芯片区，至少一个第二保护结构形成于所述第二表面上而围绕所述第二芯片区，所述第二保护结构的至少一侧具有至少一个第二延伸部，所述第二延伸部横越围绕所述第二保护结构的第二切割道，其中所述第一延伸部连接所述第二延伸部。

2.如权利要求1所述的堆栈结构，其特征在于，所述第一保护结构与所述第二保护结构的至少其中之一包含多个环状物。

3.如权利要求2所述的堆栈结构，其特征在于，所述环状物的至少一侧包含至少一个第三保护结构，所述第三保护结构连接所述环状物。

4.如权利要求2所述的堆栈结构，其特征在于，所述环状物包含至少一个第三保护结构，所述第三保护结构连接所述环状物的角落。

5.如权利要求4所述的堆栈结构，其特征在于，所述第三保护结构包含一个阵列，所述阵列具有多个开口，且所述开口中的至少其中之一具有圆角。

6.如权利要求2所述的堆栈结构，其特征在于，所述环状物的至少其中之一具有填料在其一角。

7.一种堆栈结构，其特征在于，包含：

第一芯片，在其第一表面上定义有第一芯片区，至少一个第一保护结构位于所述第一表面上而围绕所述第一芯片区；以及

第二芯片，位于所述第一芯片的上方并与其连接，在其第二表面上定义有第二芯片区，至少一个第二保护结构位于所述第二表面上而围绕所述第二芯片区，其中所述第一保护结构与所述第二保护结构的至少其

中之一包含多个环状物，所述环状物的至少一侧包含至少一个第三保护结构，所述第三保护结构与所述环状物中至少其中之二连接。

8.如权利要求7所述的堆栈结构，其特征在于，所述环状物中的一个外侧环状物的宽度大于所述环状物中的一个内侧环状物。

9.如权利要求7所述的堆栈结构，其特征在于，所述环状物包含至少一个第四保护结构，所述第四保护结构连接所述环状物的角落。

10.如权利要求9所述的堆栈结构，其特征在于，所述第四保护结构包含一个阵列，所述阵列具有多个开口，且所述开口中的至少其中之一具有圆角。

11.如权利要求7所述的堆栈结构，其特征在于，所述环状物的至少其中之一具有填料于其一角。

12.一种堆栈结构的形成方法，其特征在于，包含：

形成多个第一芯片位于第一基底的第一表面上，所述第一芯片的至少其中之一包含第一芯片区，至少一个第一保护结构围绕所述第一芯片区，所述第一保护结构的至少一侧具有至少一个第一延伸部，所述第一延伸部横越围绕所述第一保护结构的第一切割道；

形成多个第二芯片位于第二基底的第二表面上，所述第二芯片的至少其中之一包含第二芯片区，至少一个第二保护结构围绕所述第二芯片区，所述第二保护结构的至少一侧具有至少一个第二延伸部，所述第二延伸部横越围绕所述第一保护结构的第二切割道；

连接所述第一基底的所述第一表面与所述第二基底的所述第二表面，因而连接所述第一延伸部与所述第二延伸部；

薄化所述第一基底与所述第二基底的至少其中之一；以及

分割所述第一基底与连接于其上的所述第二基底。

13.如权利要求12所述的堆栈结构的形成方法，其特征在于，所形成的所述第一保护结构与所述第二保护结构至少其中之一具有多个环状物。

14.如权利要求13所述的堆栈结构的形成方法，其特征在于，该方法进一步包含：形成至少一个第三保护结构，其连接所述环状物的至少一

侧，以与所述环状物连接。

15.如权利要求 13 所述的堆栈结构的形成方法，其特征在于，该方法进一步包含：形成至少一个第三保护结构于所述环状物的角落，以与所述环状物连接。

16.如权利要求 15 所述的堆栈结构的形成方法，其特征在于，该方法进一步包含：使所形成的所述第三保护结构包含一个阵列，所述阵列具有多个开口，所述开口中的至少其中之一具有圆角。

17.如权利要求 13 所述的堆栈结构的形成方法，其特征在于，该方法进一步包含：使所形成的所述环状物的至少其中之一具有填料于其一角。

堆栈结构及其形成方法

技术领域

本发明涉及半导体结构及其形成方法，特别涉及半导体的堆栈结构及其形成方法。

背景技术

随着电子产品的发展，半导体技术广泛地应用于内存、中央处理单元（Central Processing Unit, CPU）、液晶显示器、发光二极管、激光二极管、及其它装置或芯片组的制造上。为了达成高集成度（Integration）与高速度的目标，需要持续缩减半导体集成电路的尺寸。目前已发展出各种材料与技术，以达成上述集成度与速度的目标，并克服伴随而来的制造上障碍。为了达成上述目标，应用堆栈技术将两个或更多个芯片组装在一起，以提供多种功能的芯片并缩减芯片尺寸。

图 1A 为二片晶片的俯视图。不同的芯片 103 与 113 分别形成于晶片 100 与 110 上，多个焊垫（未示出）则形成于芯片 103 与 113 中。可通过连接所述焊垫将晶片 100 与 110 组装成堆栈结构。在每一片晶片中，分别以切割道 105 与 115 分离芯片 103 与 113。在形成芯片 103 与 113 后、且在沿着所述切割道 105/115 分割所述芯片 103/113 之前，通过一个连接工艺将晶片 110 连接在晶片 100 的上方。

图 1B 为上述已连接的晶片沿着某条剖面线（未示出）的剖面图，所述剖面线穿过图 1A 所示切割道 105、115 其中之一。如图 1B 所示，通过分别形成于晶片 100 与 110 上的焊垫 107 与 117，将晶片 100 与 110 连接起来。在形成堆栈的晶片 100 与 110 之后，以一研磨的工艺研磨晶片 100 与 110 的背面，以缩减晶片 100 与 110 的厚度。然后对研磨后的晶片进行切割（分离）的工艺，而得到个别的堆栈芯片。

如图 1B 所示，已连接的晶片 100 与 110 之间并未填入隔离材料。当

对晶片 100 与 110 进行研磨工艺（例如化学机械研磨）时，化学物或微粒 109 可能会流入晶片 100 与 110 之间的空隙中，而流至焊垫 107 与 117 或切割道沿线的芯片区（未示出）会造成形成于上述芯片区内的组件或电路间的短路。为了解决上述问题，已公开有一些保护结构。

图 1C 为二片晶片的俯视图，其上分别形成有不同的芯片。图 1D 则给出了图 1C 中所示芯片 123 与 133 的放大图。

请参考图 1C，芯片 123 与 133 分别形成在晶片 120 与 130 上；另外，保护结构 125、127、135、与 137 也分别形成在晶片 120 与 130 上，其中保护结构 125 与 135 分别围绕芯片 123 与 133，保护结构 127 与 137 则具有不同于芯片 123 与 133 的图形，形成于晶片 120 与 130 中未形成集成电路（例如功能性电路）的周边区上。

如图 1D 所示，保护结构 125 与 135 分别包含多个环状物。将晶片 130 连接在晶片 120 之上时，保护结构 125 的环状物亦与保护结构 135 中对应的环状物对齐、并连接于其上，而保护结构 127 亦与保护结构 137 对齐、并连接于其上。通过上述连接工艺，保护结构 127 与 137 将已连接的晶片 120 与 130 的周边区分隔、分离成许多孤立的区块，每个孤立的区块为保护结构 127 与 137 所隔离或密封。因此，对已连接的晶片 120 与 130 进行化学机械研磨的工艺时，保护结构 127 与 137 会阻挡已连接的晶片 120 与 130 四周的化学物质，避免上述化学物质经由切割道渗透到芯片 123 与 133。另外，已连接的保护结构 125 与 135 例如环状物，围绕并分别密封芯片 123 与 133。因此，即使保护结构 127 与 137 仍无法适当地防止晶片 120 与 130 四周的化学物质的渗入，围绕于独立的芯片 123 与 133 的、已连接的保护结构 125 与 135 可作为另一遮蔽机构，用来阻挡上述化学物质。

然而，保护结构 125、127、135、与 137 却有一些缺点。如图 1C 所示，保护结构 127 与 137 的图形与芯片 123 与 133 的图形相异。换句话说，需额外增加至少一组掩膜，以供保护结构 127 与 137 的图形化之用；且保护结构 127 与 137 的加工工艺还必须与芯片 123 与 133 的加工工艺相异，因此增加了加工的成本与时间。另外，必须要对准保护结构 125 与 135 的环状物；否则保护结构 125 与 135 的环状物将无法互连，从而

无法在上述环状物之前形成所需的密封空间。因此，无法对准的保护结构 125 与 135 反而会影响连接后的保护结构 125 与 135 的功能。

如前所述，目前需要一种堆栈结构与堆栈方法来改善上述问题。

发明内容

有鉴于此，本发明提供一种半导体装置的堆栈结构及其形成方法，以解决上述现有技术中所遭遇的问题。

本发明提供一种堆栈结构，包含：第一芯片，在其第一表面上定义有第一芯片区，至少一个第一保护结构形成于所述第一表面上而围绕所述第一芯片区，所述第一保护结构的至少一侧具有至少一个第一延伸部，所述第一延伸部横越围绕所述第一保护结构的第一切割道；以及第二芯片，位于所述第一芯片的上方并与其连接，在其第二表面上定义有第二芯片区，至少一个第二保护结构位于所述第二表面上而围绕所述第二芯片区，所述第二保护结构的至少一侧具有至少一个第二延伸部，所述第二延伸部横越围绕所述第二保护结构的第二切割道，其中所述第一延伸部连接所述第二延伸部。

本发明又提供一种堆栈结构，包含：第一芯片，在其第一表面上定义有第一芯片区，至少一个第一保护结构位于所述第一表面上而围绕所述第一芯片区；以及第二芯片，位于所述第一芯片的上方并与其连接，在其第二表面上定义有第二芯片区，至少一个第二保护结构位于所述第二表面上而围绕所述第二芯片区，其中所述第一保护结构与所述第二保护结构的至少其中之一包含多个环状物，所述环状物的至少一侧包含至少一个第三保护结构，所述第三保护结构与所述环状物中至少其中之一连接。

本发明还提供一种堆栈结构的形成方法，包含：形成多个第一芯片于第一基底的第一表面上，所述第一芯片的至少其中之一包含第一芯片区，至少一个第一保护结构围绕所述第一芯片区，所述第一保护结构的至少一侧具有至少一个第一延伸部，所述第一延伸部横越围绕所述第一保护结构的第一切割道；形成多个第二芯片于第二基底的第二表面上，所述第二芯片的至少其中之一包含第二芯片区，至少一个第二保护结构

围绕所述第二芯片区，所述第二保护结构的至少一侧具有至少一个第二延伸部，所述第二延伸部横越围绕所述第一保护结构的第二切割道；连接所述第一基底的所述第一表面与所述第二基底的所述第二表面，因而连接所述第一延伸部与所述第二延伸部；薄化所述第一基底与所述第二基底的至少其中之一；以及分割所述第一基底与连接于其上的所述第二基底。

综上所述，与现有技术相比，本发明技术方案不需要使用额外的罩幕或掩膜以在基底的周边区形成不同的图形，因此可以减少在整个基底上形成芯片图形所需的加工成本与时间。

同时，应用本发明技术方案，在不对形成在两个对应基底上的对应保护结构作精密对准的情形下，仍可容易地连接所述对应保护结构。

附图说明

图 1A 为一个俯视平面图，显示用于堆栈的二片传统的晶片；

图 1B 为一个剖面图，显示堆栈后的图 1A 所示的晶片，沿着某条穿过其切割道的剖面线的剖面图；

图 1C 为一个俯视平面图，显示用于堆栈的二片晶片，其上具有不同的芯片；

图 1D 为图 1C 所示的芯片 123 与 133 的放大图；

图 2 为一个俯视示意图，显示定义于一个基底上的多个芯片；

图 3A 为图 2 中的交叉区 230 的放大图；

图 3B 为图 2 中的交叉区 230 的放大图；

图 4A 为图 2 中的交叉区 230 的放大图；

图 4B 为图 2 中的交叉区 230 的放大图；

图 5A~5E 为图 3A 所示的角落区 340 的放大图；

图 6A~6E 为一系列剖面示意图，显示堆栈基底的形成工艺。

附图中主要附图标记说明如下：

100~晶片，103~芯片，105~切割道，107~焊垫，109~化学物或微粒，110~晶片，113~芯片，115~切割道，117~焊垫，120~晶片，123~芯片，125~保护结构，127~保护结构，130~晶片，133~芯片，135~保护结构，

137~保护结构;

200~基底, 210~芯片, 220~环绕区, 230~交叉区;

303~芯片, 305~切割道, 310~芯片区, 320~周边区, 321~环状物, 322~环状物, 323~保护结构, 324~间隔区, 324a~隔间, 324b~隔间, 325~保护结构, 335~保护结构, 340~角落区;

403~芯片, 405~切割道, 410~芯片区, 420~周边区, 423~保护结构, 425~保护结构, 440~开口;

520~周边区, 523~保护结构, 523a~环状物, 523b~环状物, 523c~环状物, 523d~环状物, 523f~填充物, 523g~填充物, 524~间隔区, 527~保护结构, 528~开口, 529~保护结构, 540~角落区;

600~基底, 600a~基底, 610~多层内联机结构, 621~连接垫, 623~保护结构, 650~基底, 650a~基底, 660~多层内联机结构, 671~连接垫, 673~保护结构。

具体实施方式

为了让本发明的上述和其它目的、特征、和优点能更明显易懂, 下文特举出较佳实施例, 并配合附图, 作详细说明如下:

图 2 为一个俯视平面示意图, 显示定义在基底上的多个芯片。基底 200 包含多个芯片 203 定义于其上。至少一个芯片 203 包含芯片区 210 与环绕区 220, 其中形成有保护结构(图 2 中未示出)。芯片 203 被多个垂直与水平的切割道(未示出)所分隔。上述切割道用于形成多个测试结构于其中, 并在芯片分离的工艺中作为切割刀具的下刀处。附图标记「230」用于标记二条垂直的切割道的交叉区, 其具体介绍详见后文。

基底 200 可以是硅、III-V 族化合物基底、显示器基底(例如液晶显示器(liquid crystal display; LCD)、等离子显示器(plasma display)、电致发光灯显示器(electro luminescence lamp display; EL lamp display))、或者是发光二极管(light emitting diode; LED)等, 合称为基底 200。在芯片区 210 中形成有各种的装置、二极管、及/或电路。每个芯片区 210 还可包含至少一个连接垫(未示出), 其形成在基底 200 上, 并用于与形成于另一基底(未示出)上的另一个连接垫(未示出)相互连接。

在某些实施例中，使用同一套制造电子装置、二极管、电路、及/或保护结构的掩膜，在整个基底 200 上重复定义芯片区 210。相同的加工工艺在基底 200 的周边区实施，同基底 200 的中心区域一样施以图形化。虽然化学物质与碎片会流入不完整芯片的芯片区中，但围绕其芯片区的上述保护结构（未示出）仍会在周边区发挥其阻挡化学物质的功能。与背景技术中对图 1C 与 1D 的描述中，在基底的芯片区与周边区形成不同图形的加工工艺比较，图 2 所示实施例不需要使用额外的罩幕或掩膜，以在基底 200 的周边区形成不同的图形，因此可以减少在整个基底 200 形成芯片图形所需的加工成本与时间。在另一个实施例中，参见后文对图 3A~3B、4A~4B、与 5A~5E 图的介绍，可在周边区定义不同的图形。

请再参考图 2，在形成芯片 210 后，将基底 200 连接于形成有相同或不同的装置、二极管、电路、及/或保护装置的另一个基底（未示出）。定义在另一个基底上的芯片图形可以相同或类似于定义在基底 200 上的芯片图形。基底 200 与另一个基底的连接将在后文中详细介绍。

以下介绍上述保护结构的第一实施方式。

图 3A 显示了图 2 的交叉区 230。在图 3A 中，与图 2 所示相似的组件，其附图标记在数值上比图 2 所示增加了 100。如图所示，芯片 303 的至少其中之一包含芯片区 310 与周边区 320，各芯片 303 由切割道 305 所分离，切割道 305 上形成有各种图形以供测量装置的电性与物性。附图标记「340」指芯片 303（例如周边区 320）的角落区，保护结构 323 形成在周边区 320 中。

请参考图 3A，保护结构 323 形成在围绕芯片区 310 的周边区 320 中。保护结构 323 可包含介电层（如氧化物、氮化物、氮氧化物、或其类似物质）、导体层（如铝、铜、铝铜、或其类似物质）、上述介电层和导体层的组合、或其类似物质。保护结构 323 可延伸至芯片区 310 的表面上（如图 6A 所示的保护基底 623），从而使得保护结构 323 与形成在另一个基底（未示出）上的对应保护结构（未示出）接触。在某些实施例中，至少一个保护结构 323 可包含多个环状物 321 与 322。环状物 321 与 322 可具有相同的宽度，并由相同的间隔区 324 所隔开。环状物 321

与 322 中至少其中之一的宽度可为 $2\mu\text{m}$ 或更大；另外，位于两个环状物 321 与 322 之间的间隔区 324 的宽度可为 $2\mu\text{m}$ 或更大。保护结构 323 的形成，用于连接形成在另一个基底（未示出）上的对应保护结构（未示出），上述另一个基底是设计用来与间隔区 324 所属的基底作连接。

由于保护结构 323 的形成围绕芯片区 310，并连接形成在另一个基底上的对应的保护结构，连接后的保护结构可将芯片区 310 密封，而在已连接的基底的后续加工（例如研磨加工）中，防止流经切割道 305 的化学物质（例如酸、碱、或去离子水）对芯片区 310 造成污染或损坏，其详细说明记载在后文对图 6A~6E 所作的介绍中。而环状物 321 与 322 的数量不应受限于图 3A 所示，其数量可酌以增减，以达到所需对芯片区 310 的保护效果。

在某些实施例中，如图 3A 所示上述环状物中外侧环状物 321 的宽度可大于其它的环状物 322。较宽的环状物 321 所能提供避免化学物质穿透的保护强度要大于较薄的环状物 322。因此，即使化学物质可流入切割道 305 中，通过较宽的环状物 321 与连接于切割道 305 上的较宽的保护结构 325 所组合而成的结构，仍足以保护已密封的芯片区 310，而避免其受损。

请再参考图 3A，附加的保护结构 325 形成于切割道 305 的范围内，其从围绕某一芯片区 310 的保护结构 323，延伸至围绕相邻的芯片区 310 的相邻保护结构 323。虽然图 3A 所示范例显示保护结构 325 与切割道 305 垂直，但实际保护结构 325 与切割道 305 相交的角度可以不是 90 度而为其它角度。保护结构 325 还用于与形成在另一个基底上的对应保护结构连接（例如图 4A 所示及后文对图 4A 所作介绍中的保护结构 425）。

因此前述所有的保护结构（包括保护结构 325），将切割道 305 分成两个或两个以上的区域，至少其中之一由保护结构 323 中的外侧环状物 321 与保护结构 325 所定义。换句话说，一个单一的水平线或垂直线的切割道 305 被分成多个由保护结构 325 所分隔的区域。通过图 3A 所示隔离的切割道区域，即使保护结构 325 中的其中之一受损而无法与连接在其上的另一个基底的对应保护结构接触，保护结构 325 仍可以更有效地防止化学物质沿着切割道 305 自其一个区域流动至另一个区域。

在某些实施例中，保护结构 325 优选地由在邻接芯片 303 边缘的中

间处横越切割道 305，以达到所需的隔离效果。在某些实施例中，保护结构 325 的宽度优选为 $2\mu\text{m}$ 或更大。然而保护结构 325 并不限于以上的说明书内容及附图所介绍。

保护结构 325 的尺寸、数量、与形状可作改变，以达到对切割道 305 所需的隔离效果。例如芯片 303 的至少其中之一可包含一个或更多个保护结构 325。芯片 303 的一侧可包含两个或更多个保护结构 325。因此通过以上介绍，本领域技术人员可以毫无困难地对保护结构 325 作修改或修饰。

下面介绍上述保护结构的第二实施方式。

图 3B 为图 2 所示的交叉区 230 的放大图。在图 3A 与 3B 中，相似组件的附图标记在数值上是相同的。

请参考图 3B，保护结构 323 的环状物 321 与 322 通过至少一个保护结构 335 相互连接，而将间隔区 324 分成多个隔间（例如 324a、324b）。虽然图 3B 所示范例显示保护结构 335 与切割道 305 垂直，但实际中保护结构 325 与切割道 305 相交的角度可以不是 90 度而为其它角度。

如图 3B 所示，位于环状物 321 与 322 之间的间隔区 324，通过保护结构 335 而被分成至少两个区。保护结构 335 用于与形成在对应基底上的对应保护结构（例如图 4A 所示的保护结构 423）连接，而上述对应结构用于与保护结构 335 所属的基底连接而形成堆栈晶片组装体，以在环状物 321 与 322 之间的间隔区 324 形成隔离、密封的隔间（例如 324a、324b）。密封的隔间 324a、324b 用于对个别的间隔区 324 提供所需的保护效果。例如，当角落区 340 发生裂隙而化学物质流入其中时，上述化学物质会被局限在由受损的环状物 321 与 322 和保护结构 335 所定义的隔间 324a、324b 中，而使上述化学物质不会经由环状物 321 与 322 之间的间隔区 324 流入并环绕芯片区 310。

在某些实施例中，保护结构 335 的宽度优选为 $2\mu\text{m}$ 或更大。然而保护结构 335 并不限于以上的说明书内容及附图所介绍。保护结构 335 的尺寸、数量、及形状可以酌情修改，以达到周边区 320 中所需的隔离效果。

在其它实施例中，基底可包含一同形成于其上的保护结构 325 与 335，然后将该基底连接于具有和保护结构 325 与 335 对应的保护结构的对应基底，以对芯片 303 提供更多重的保护。

以下介绍上述保护结构的第三实施方式。

图 4A 为图 2 所示的交叉区 230 的放大图。在图 4A 中，与图 3A 所示相似的组件，其附图标记在数值上增加了 100。

请参考图 4A，保护结构 423 具有单一的环状物，其宽度为 $6\mu\text{m}$ 或更大。保护结构 423 用于与形成在对应晶片 200 上、具有至少一个环状物 321、322 的对应保护结构 325 或 335（如图 3A 与 3B 所示）作连接，其形成于围绕芯片 403 的芯片区 410 的周边区 420 中。附加的保护结构 425 形成在切割道 405 的范围内，其从围绕某一芯片区 410 的保护结构 423 延伸至围绕相邻的芯片区 410 的相邻保护结构 423。关于保护结构 425 的其它细节皆与前文所述的保护结构 325 相同或相似，故在此省略而不再重复。将上述两个基底连接在一起时，较宽的保护结构 423 则成为横跨环状物 321、322 与间隔区 324 的桥梁，而将间隔区 324 密封。

在某些实施例中，保护结构 423 的宽度足以防止化学物质流入芯片区 410 中。另外，可视需求将保护结构 423 与其它的保护机构（例如但不限于图 2、3A、与 3B 图所示者）连接，且不需要精密的对准。例如，可将图 3A 所示的基底 200 与图 4A 所示的基底连接，此时保护结构 323、325 分别与保护结构 423、425 连接。保护结构 423 的宽度约为环状物 321、322 与二者之间的间隔区 324 的宽度的总和。因此，在不对形成在两个对应基底上的对应保护结构作精密对准的情形下，仍可容易地连接保护结构 423，关于其详细介绍记载于后文对图 6A~6E 的说明中。

现在请参考图 4B，在某些实施例中，保护结构 423 可包含多个开口 440，其材质与用于形成保护结构 423 的材质相异。例如，保护结构 423 可包含宽的铜环，其形成可通过诸如电镀铜的工艺、与铜的化学机械研磨（chemical mechanical polishing; CMP）的工艺等。在铜的化学机械研磨的工艺之后，由于其宽度与机械性质等因素，上述铜环的外观可能会发生碟形化（dishing）的现象。上述铜环的碟形化会对保护结构 423 与

形成在另一个基底（未示出）上的其它保护结构（未示出）的连接造成不良影响。因此，将氧化物、氮化物、氮氧化物、介电层、低介电常数介电层、上述物质的组合、或其它类似物质形成于开口 440 内，可减少或避免宽铜环的碟形化效应的发生。在某些实施例中，开口 440 的形状可以是圆形、椭圆形、三角形、正方形、长方形、六边形、八边形、上述形状的组合、或其它类似的形状。开口 440 的尺寸（例如长度、宽度、或半径）可以是 $2\mu\text{m}$ 或更大。以上所述仅为举例，开口 440 的尺寸可以是其它值或其它种类，甚至可排列成一、二、三、或更多列。

可将任何两个具有如前文对图 3A~3B 与图 4A~4B 所作介绍中的保护结构的基底彼此连接，此时如果保护结构 325、335、与 425 可如预料中地与对应的保护结构连接时，可将形成在上述基底上的芯片区 310 与 410 予以密封。在某些实施例中，还可将两个具有相同保护结构的基底连接起来，以达成所需对芯片区 310 与 410 的保护效果。

图 5A~5E 为图 3A 所示的角落区 340 的多个变化例的放大图。在图 5A~5E 中，其与图 3A 所示相似的组件，其附图标记在数值上是增加了 200。

如图 5A 所示，保护结构 523 包含多个环状物 523a~523d 以及位于其间的间隔区 524。在图 5A 中，外圈的环状物 523a 的宽度大于其它环状物 523b~523d 的宽度。如前所述，外圈的环状物 523a 可以进一步保护芯片区（未示出），以免其受到在切割道（未示出）中流动的化学物质的污染或伤害。

如前所述，保护结构 523 形成于围绕芯片（未标记）的芯片区（未标记）的周边区 520 中，其包含环状物 523a~523d 可与形成于对应基底（图 5A~5E 中未示出）上的其它保护结构（未示出）连接。在连接时，配对连接的基底会受到连接应力与热循环的作用。另外，角落区 540 作为应力集中的区域，其容易发生破裂。在连接工艺与化学机械研磨工艺进行当中或进行之后，角落区 540 可能会发生破裂与损坏。因此，化学物质有可能会由发生破裂的角落区 540 流入连接结构的芯片区中。在图 5B~5E 中提供了各种设计，以减少或消除上述问题。

请参考图 5B，保护结构 527 形成于角落区 540 中。在图 5B 中，保护结构 527 连接环状物 523a~523d 而使其彼此连接在一起。换句话说，保护结构 527 的形成通过将环状物 523b~523d 的至少一侧的终端，延伸至外圈的环状物 523a。在某些实施例中，保护结构 527 排列成阵列状，其内具有至少两个彼此互相隔离的区域。因此，如果上述区域中与外圈的环状物 523a 邻接者之中的至少一个或多个区域，由于角落区 540 发生破裂的缘故而无法密封时，其它邻近芯片区（未作标记）的密封区域仍然可提供所需的保护效果，防止上述芯片区受到化学物质的污染或损坏。

如图 5C 所示，保护结构 529 包含多个开口 528，且其中至少一个开口 528 具有圆角（rounded corners），其可有效地避免或减少在进行连接工艺及/或化学机械研磨工艺时，在角落区 540 发生破裂的情形。

如图 5D 所示，在某些实施例中，保护结构 523 的环状物 523a~523d 的至少其中之一具有圆角，可将环状物 523a~523d 的至少其中之一予以圆化。在某些实施例中，其中至少两个或更多的环状物具有圆角。如图 5D 所示，所有的环状物 523a~523d 都具有圆角，其可令人满意地减少或避免在已连接的结构中发生破裂。

如图 5D 与 5E 所示，在某些实施例中，保护结构 523 的环状物 523a~523d 的至少其中之一在角落处具有填充物 523f、523g，填充物 523f、523g 与保护结构 523 可为相同材料。填充物 523f、523g 可以具有直线的角落结构（如图 5E 中的填充物 523g）或圆化的角落结构（如图 5D 中的填充物 523f）。通过填充物 523f、523g，保护结构 523 可以更令人满意地减少或避免在已连接的结构中发生破裂。

请注意，位于角落区 540 的保护结构的可变化范围，并不限于图 5A~5E 中所示。具有任何形状与任何尺寸的任意结构，只要是其可令人满意地减少或避免在芯片角落处已连接的结构中发生破裂的结构，对本领域技术人员而言，均可轻易地将其应用在本发明中。

图 6A~6E 为一系列的剖面示意图，用于显示堆栈基底的形成方法。

如图 6A 所示，其显示基底 600 上可形成一个多层内联机结构 610。基底 600 可与前文对图 2 所作说明中的基底 200 相同或相似。多层内联

机结构 610 可包含至少一个导体层（未示出）（例如为金属层、介层结构（via）、接点（contact）、镶嵌式结构（damascene structure）、双镶嵌结构、上述结构的组合、或其它类似结构）与至少一个介电层（未示出）（例如氧化物层、氮化物层、氮氧化物层、低介电常数介电层、上述材料的组合、或其它类似材料）。多层内联机结构 610 的形成，用于提供形成在基底 600 上的二极管、电子装置、及/或电路之间的内联机。上述二极管、电子装置、及/或电路（未示出）与多层内联机结构 610 的形成方法可以是光微影（photolithographic）的加工工艺、蚀刻的加工工艺、离子布植（implantation）的加工工艺、金属化（metallization）的加工工艺、沉积的加工工艺、清洁的加工工艺、上述工艺的组合、或其它类似的加工工艺。

请参考图 6A，将连接垫 621 与保护结构 623 形成在多层内联机结构 610 上。连接垫 621 可包含铜层、铝层、铝铜层、上述材料的组合、或其它类似材料，而其形成方法可以是化学气相沉积（chemical vapor deposition; CVD）的加工工艺、物理气相沉积（physical vapor deposition; PVD）的加工工艺、电化学镀膜（electrochemical plating）的工艺、无电镀膜（electroless plating）的工艺、上述工艺的组合、或其它类似的加工工艺。保护结构 623 可与前文对图 3A~3B、4A~4B、5A~5E 所作说明中的各保护结构相同或相似。

请参考图 6B，基底 650、多层内联机结构 660、连接垫 671、与保护结构 673 可分别相同或类似于基底 600、多层内联机结构 610、连接垫 621、与保护结构 623。另一方面，保护结构 623 与 673 可以是不同的结构，且分别可为前文对图 3A~3B、4A~4B、5A~5E 所作说明中的各保护结构。

然后将基底 650 翻面后，通过将连接垫 621 与 671 连接在一起，用来将基底 650 连接至基底 600 的上方。在此同时，如图 6C 所示，将保护结构 623 与 627 彼此互连。其连接工艺可包含融化接合（fusion）的连接工艺、热加工工艺、等离子体（plasma）加工工艺、上述工艺的组合、或其它类似的加工工艺。

然后对堆栈后的基底 600 与 650 的背面进行基底研磨的工艺（例如化学机械研磨（chemical mechanical polishing; CMP）的加工工艺），将

堆栈后的基底 600 与 650 薄化为如图 6D 与 6E 所示。如前所述，已连接的保护结构 623 与 673 的形成，绕着具有连接垫 621 与 671 的芯片区（未示出）。通过已连接的保护结构 623 与 673，形成在上述芯片区（未标记）内的电路、电子装置（未示出）、及连接垫 621 与 673 受到屏蔽，而不会受到在上述化学机械研磨加工工艺中所使用的颗粒或化学物质造成的污染与伤害。另外，由于单一的保护结构 623 的宽度与多重环状的保护结构 673 的宽度的总和约略相等，可以在没有任何未对准（misalignment）疑虑的情况下将保护结构 623 与 673 令人满意地连接在一起。换句话说，即使保护结构 623 与 673 无法完全互补（例如连接保护结构 623 与 673 之前存在着一些重迭的情况），已连接的保护结构 623 与 673 仍能避免粒子或化学物质的污染。

在前述的研磨工艺之后，进行对堆栈的基底 600a 与 650a 进行切割的工艺，以形成个别的堆栈芯片。在某些实施例中，在对堆栈的基底 600a 与 650a 进行切割之前，可形成至少一个接点结构（例如穿透晶片的介层结构（via through wafer; VTW）），其至少穿透堆栈的基底 600a 与 650a 的至少其中之一，而提供散热的功能及/或将堆栈的基底 600a 与 650a 与其下方的其它基底（未示出）电性连接。

虽然，本发明已以较佳实施例揭露如上，然其并非用以限定本发明。任何本领域技术人员在不脱离本发明的精神和范围内，当可作些许更动与润饰。因此，本发明保护范围应以所附权利要求书的界定为准。

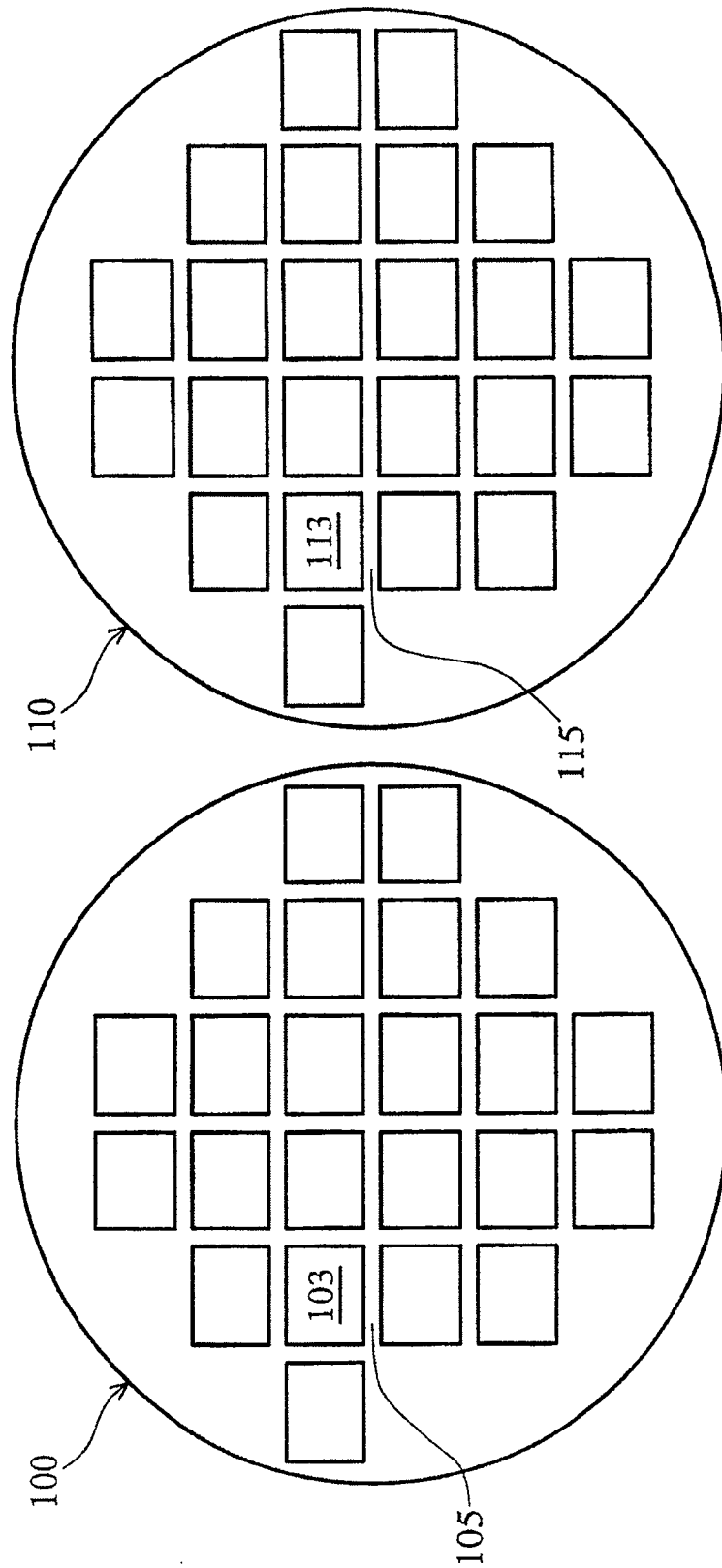


图1A

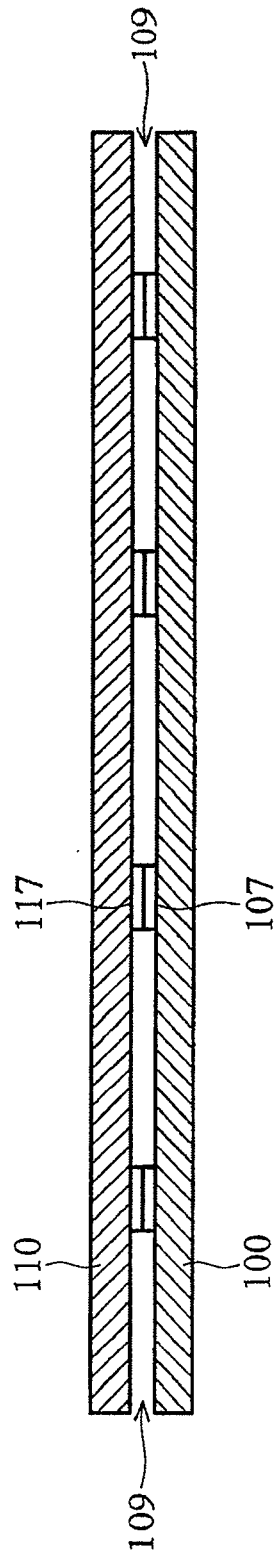


图1B

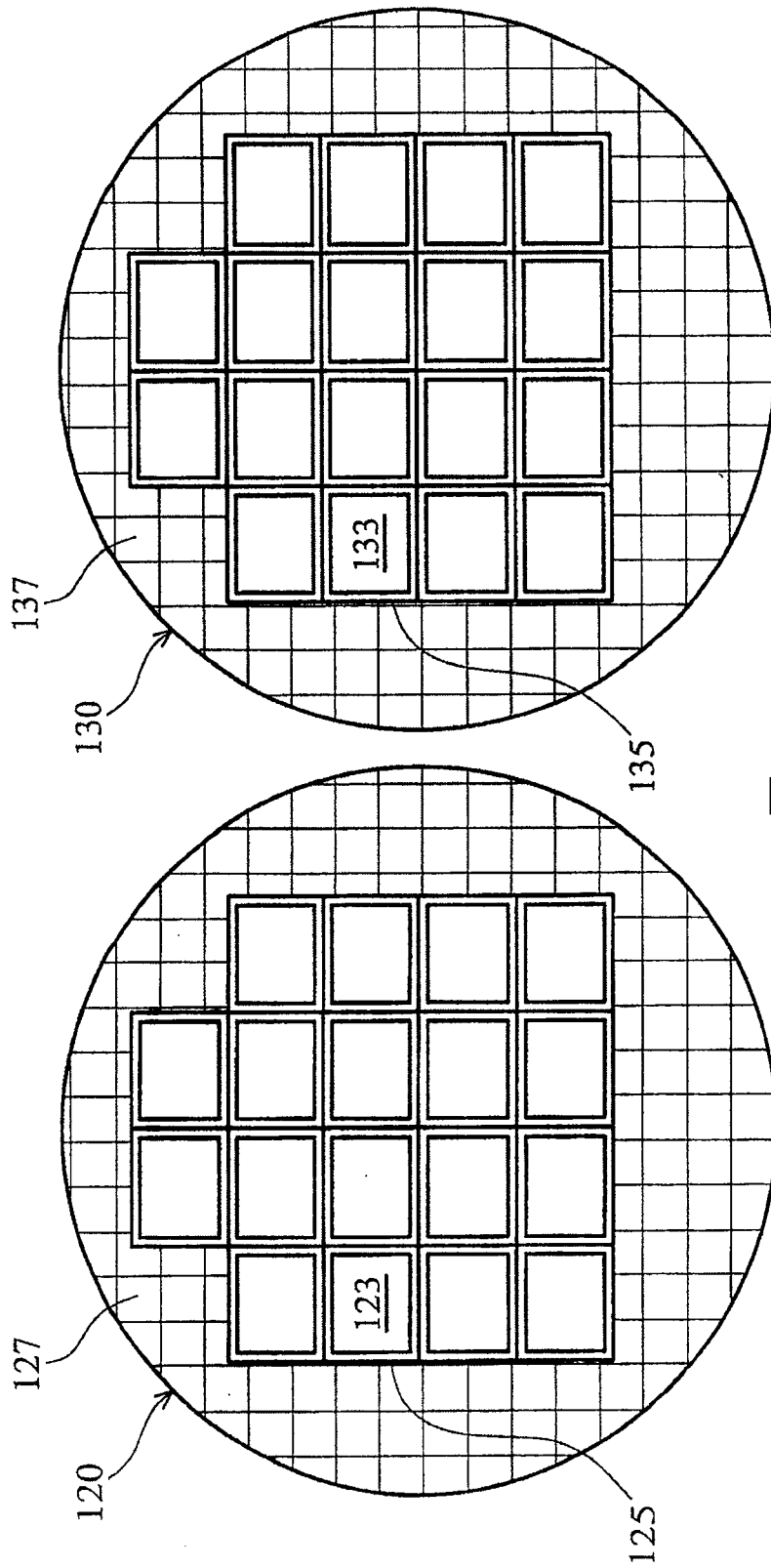


图10

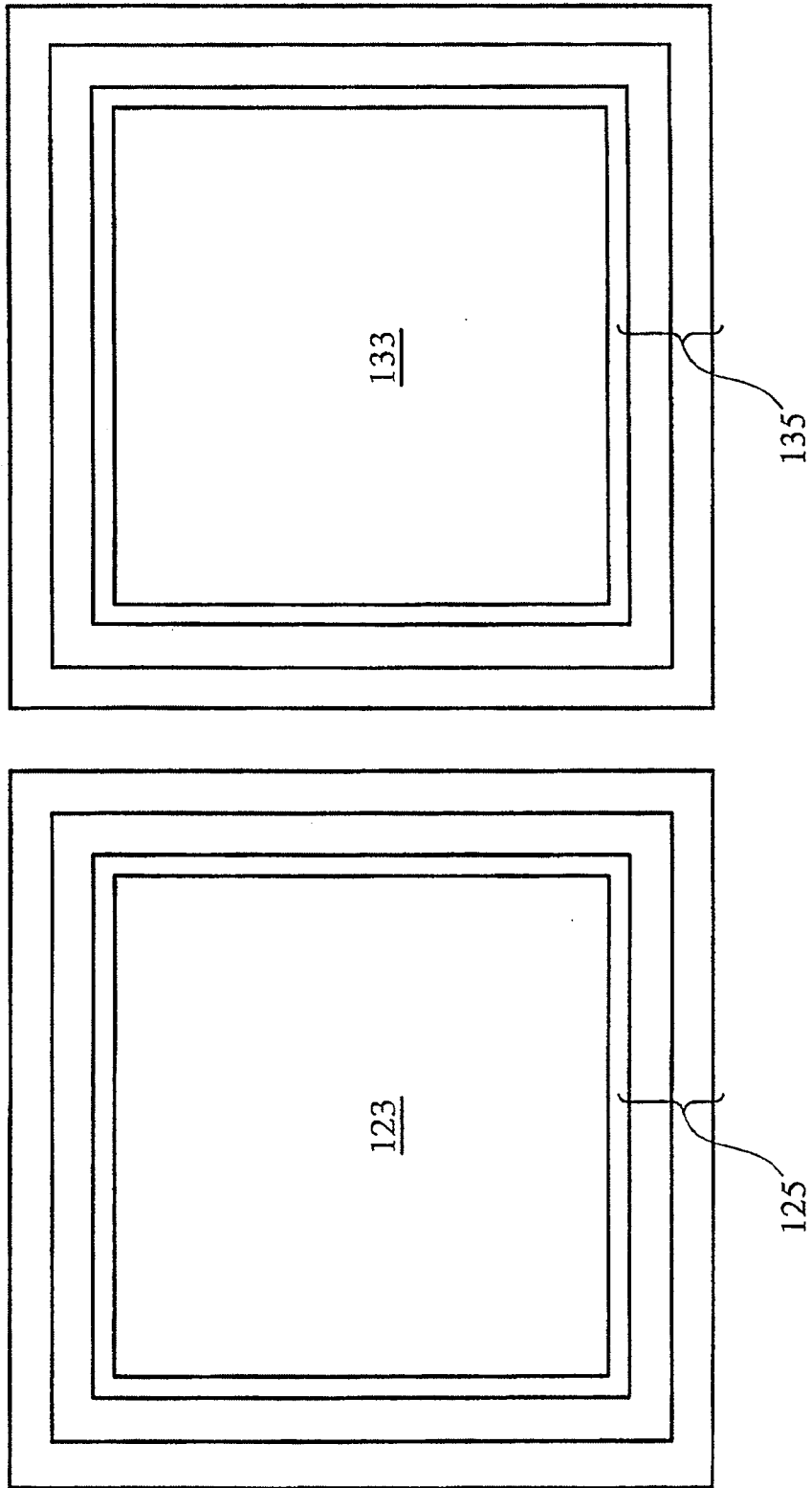


图1D

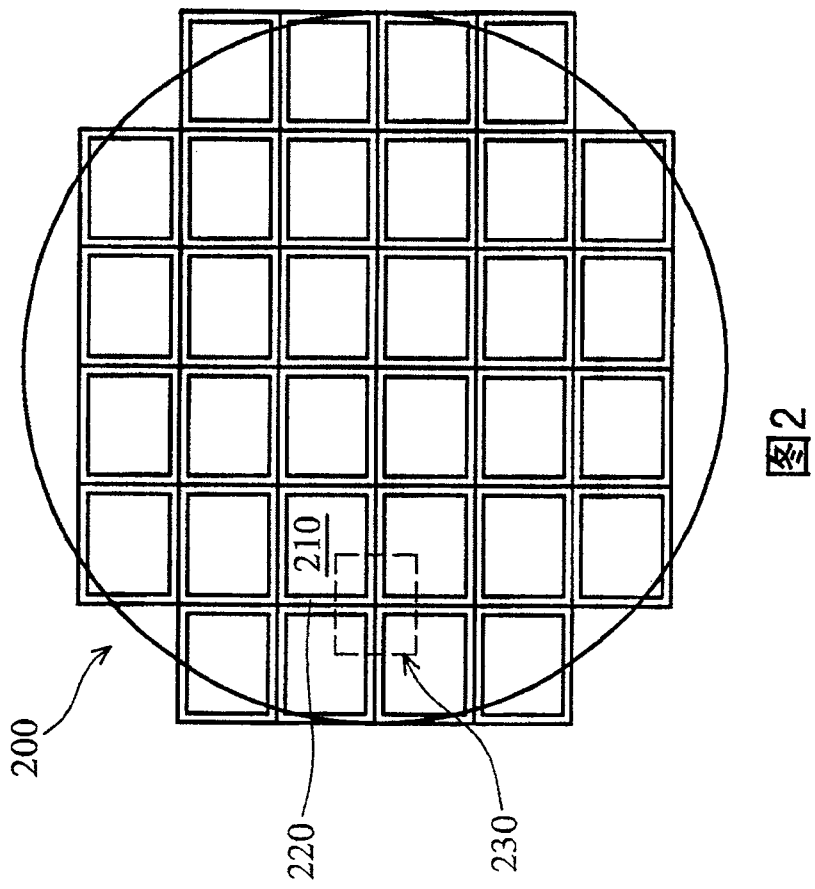


图2

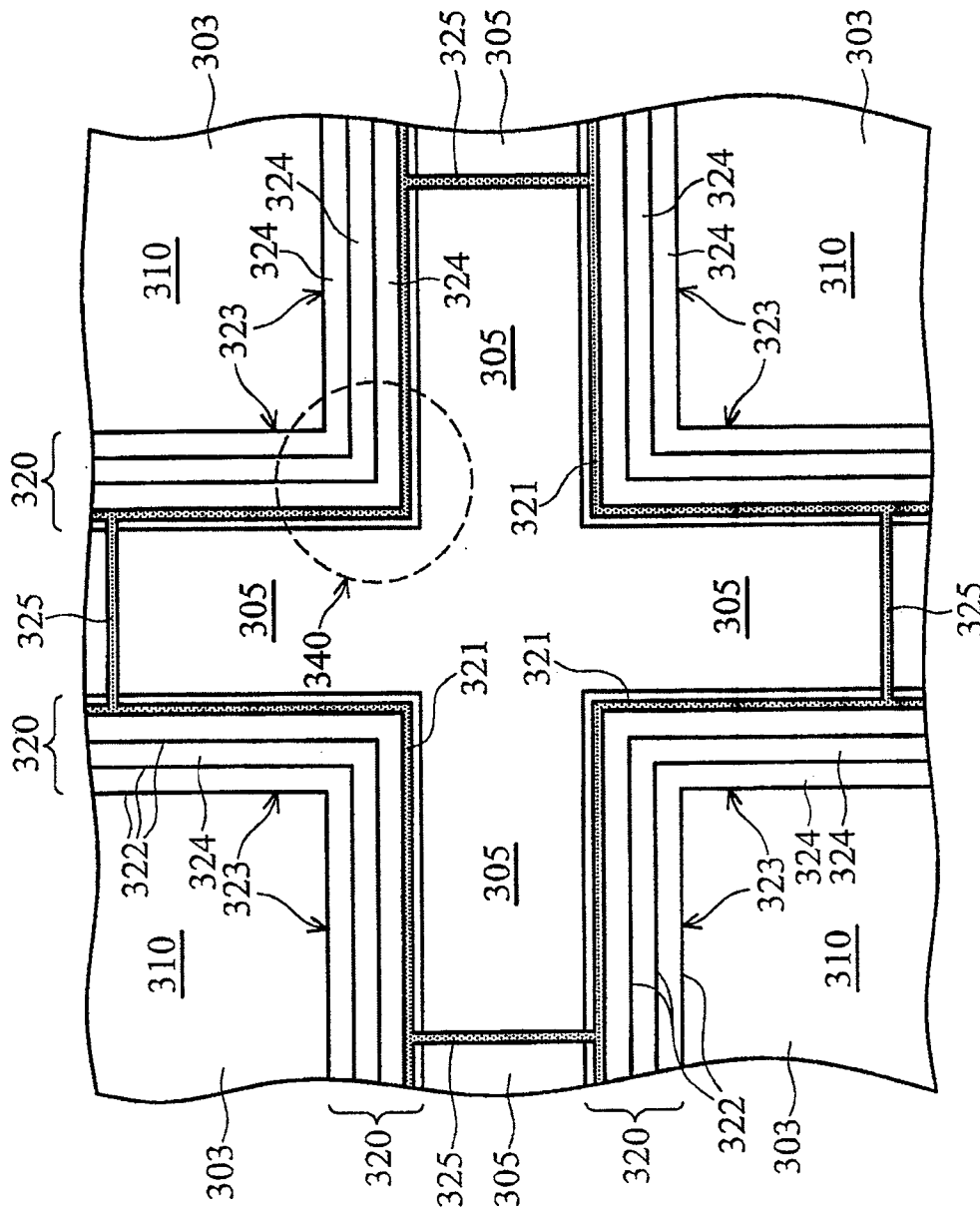


图3A

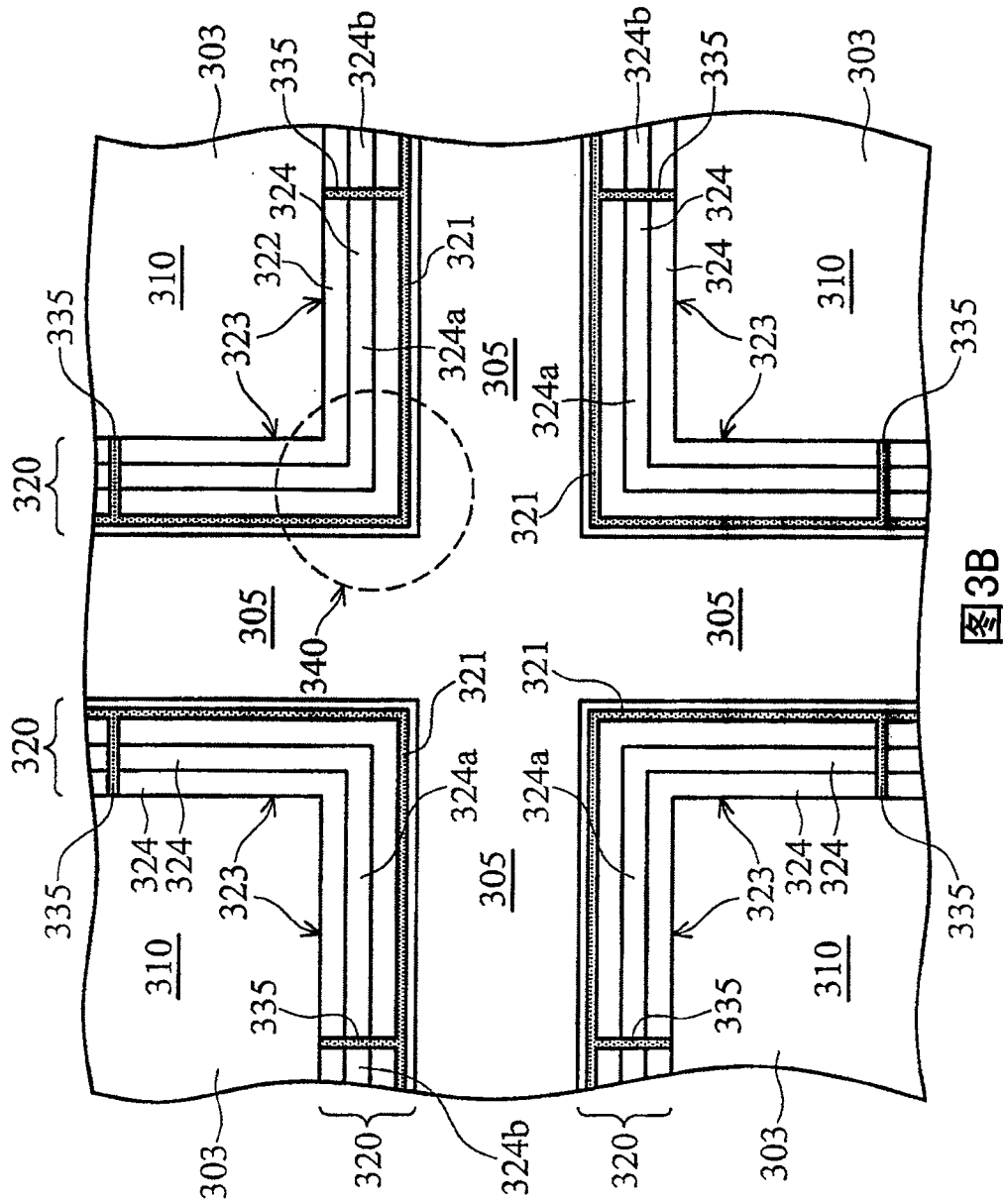


图 3B

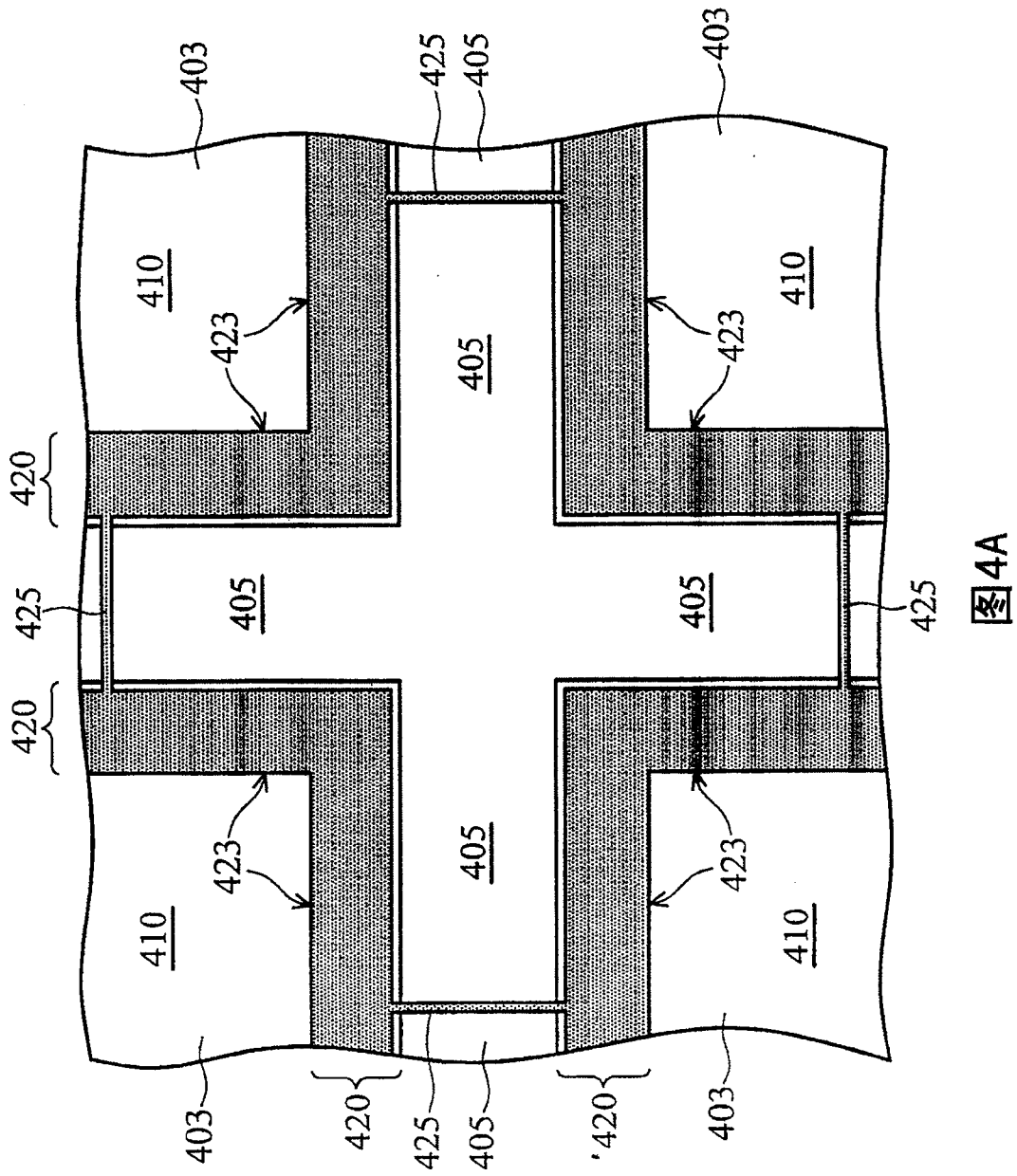


图 4A

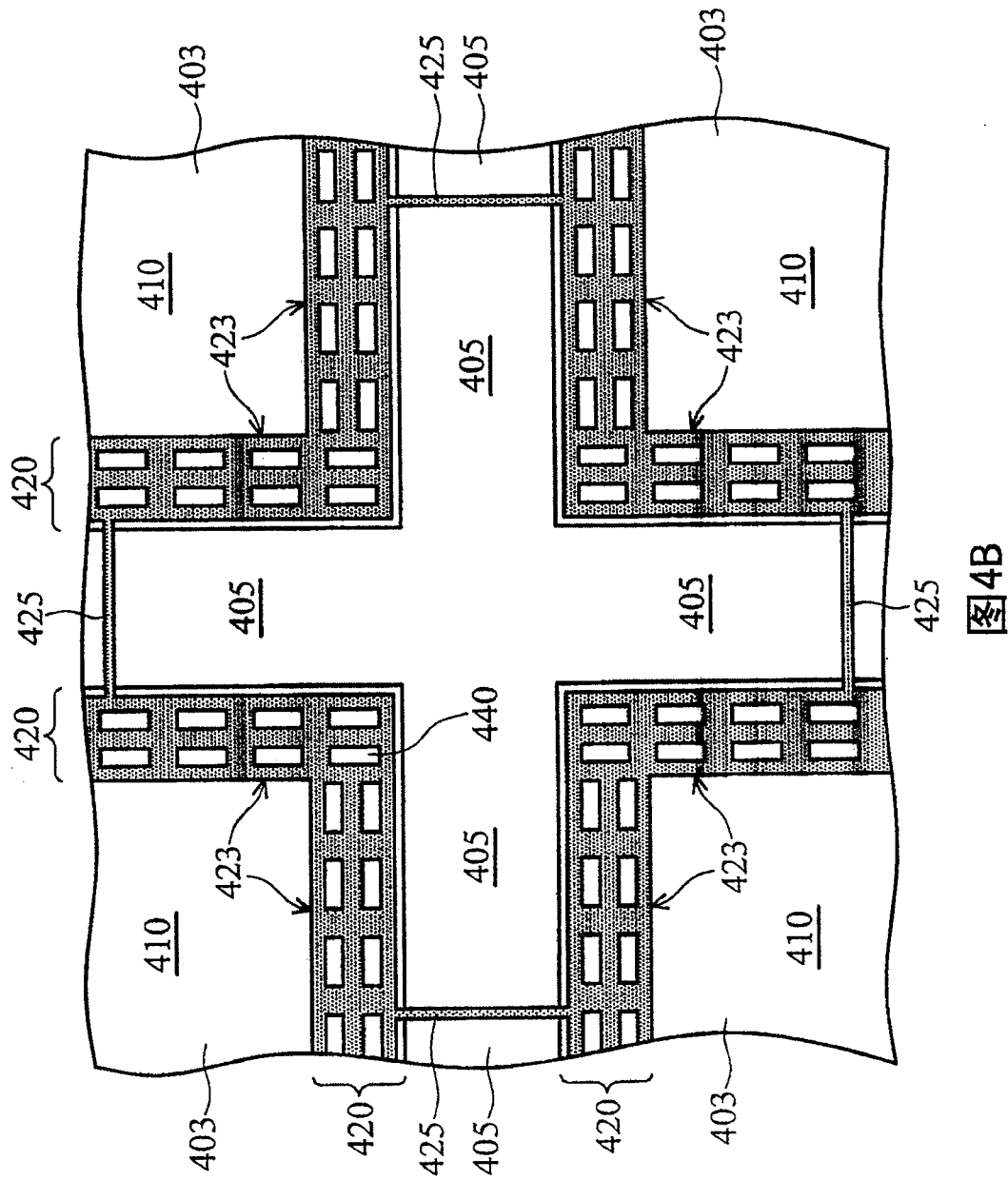


图4B

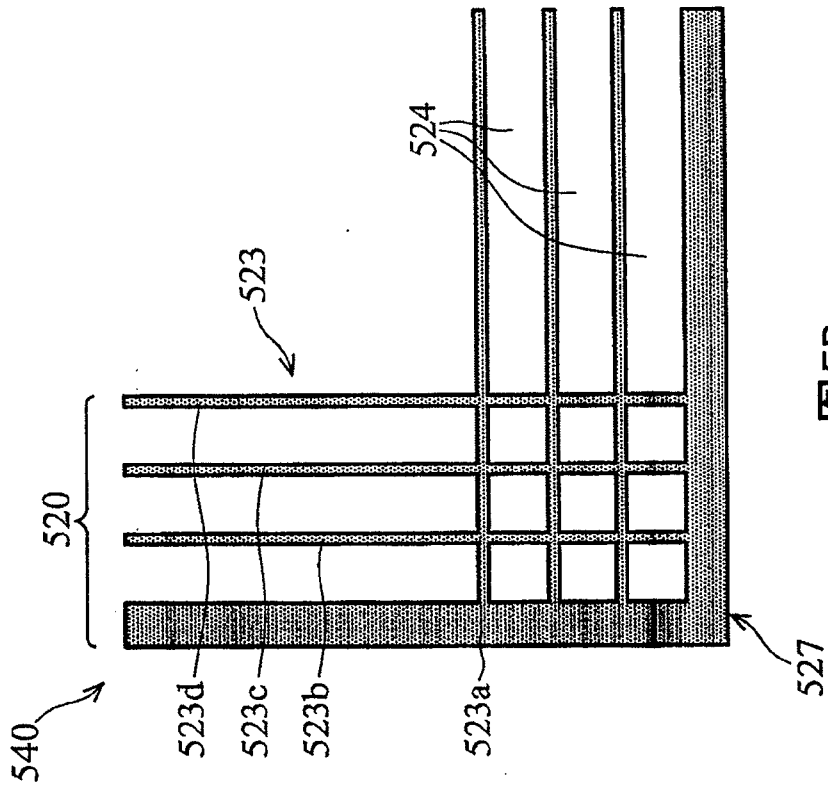


图5A

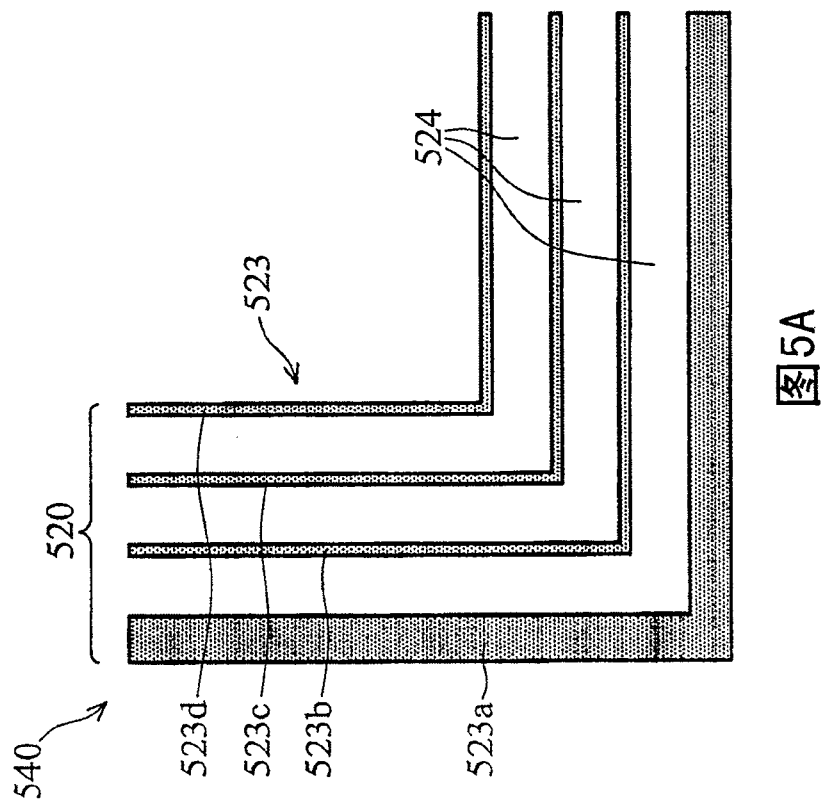


图5B

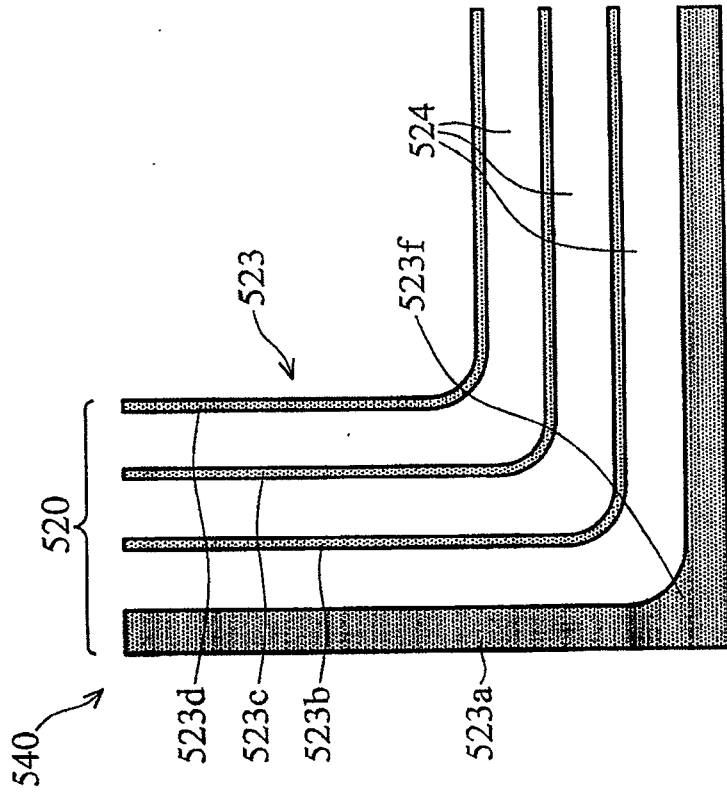


图5D

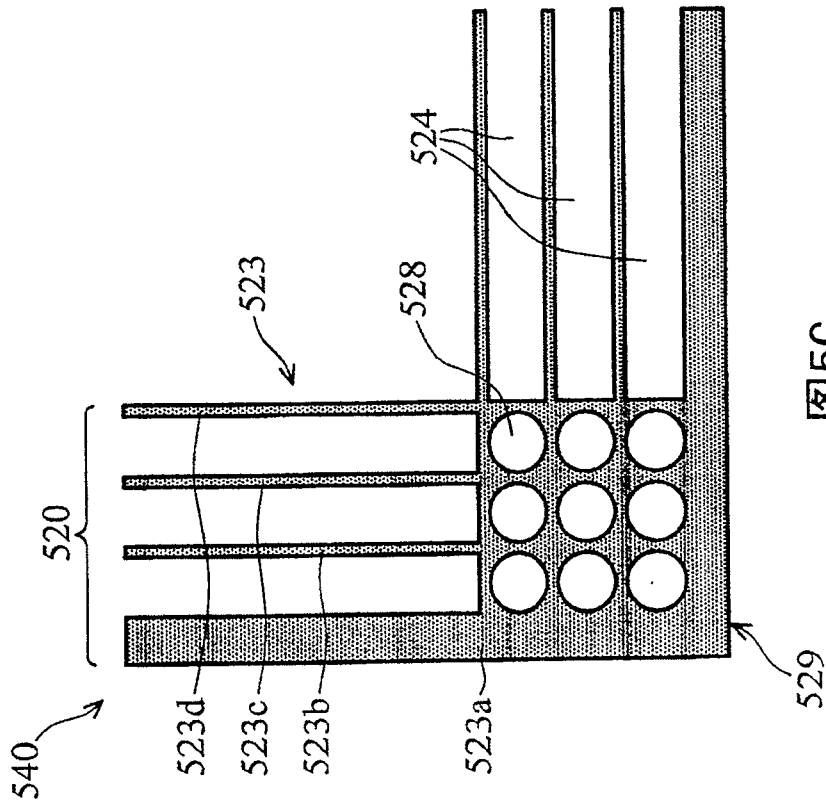


图5C

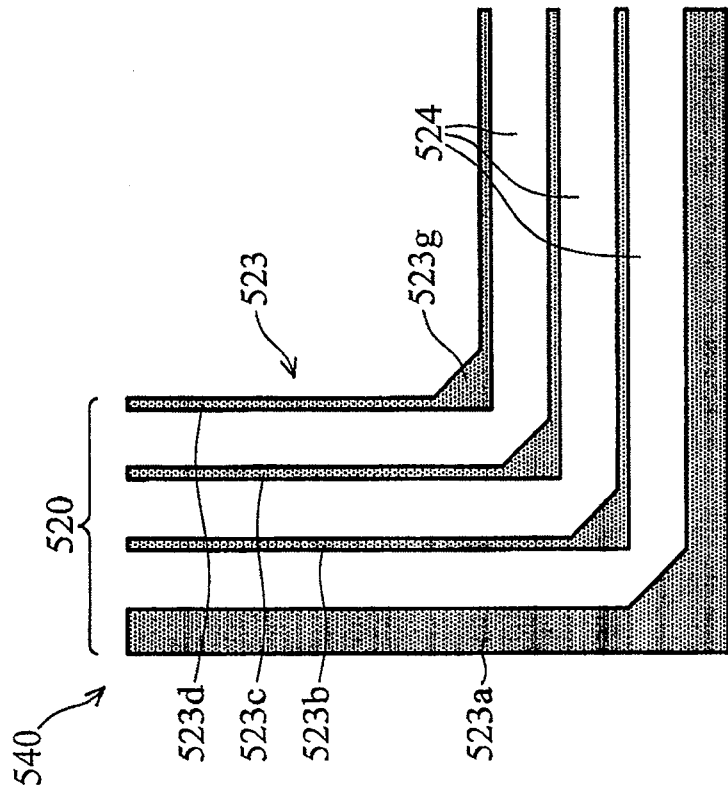


图5E

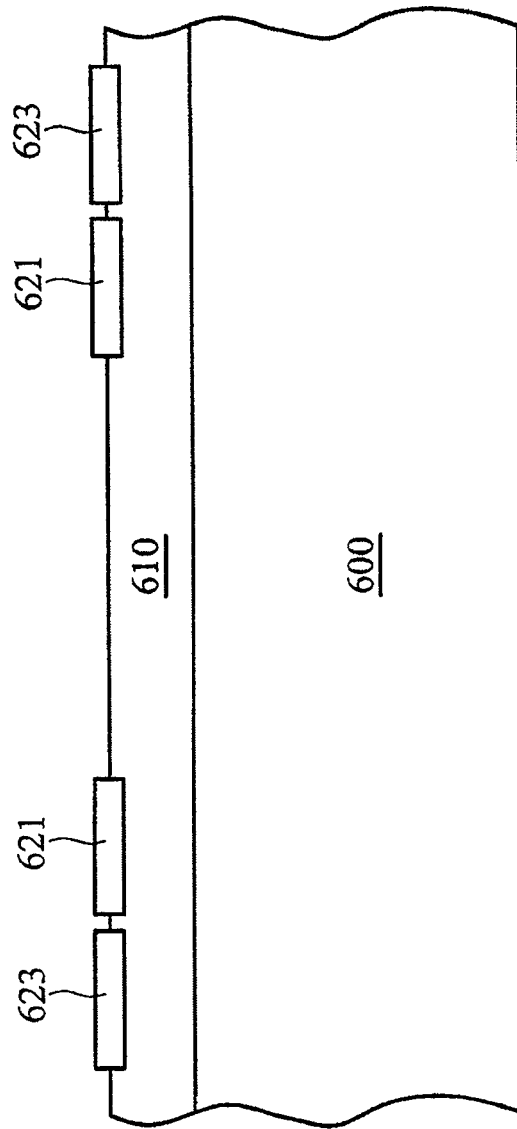


图6A

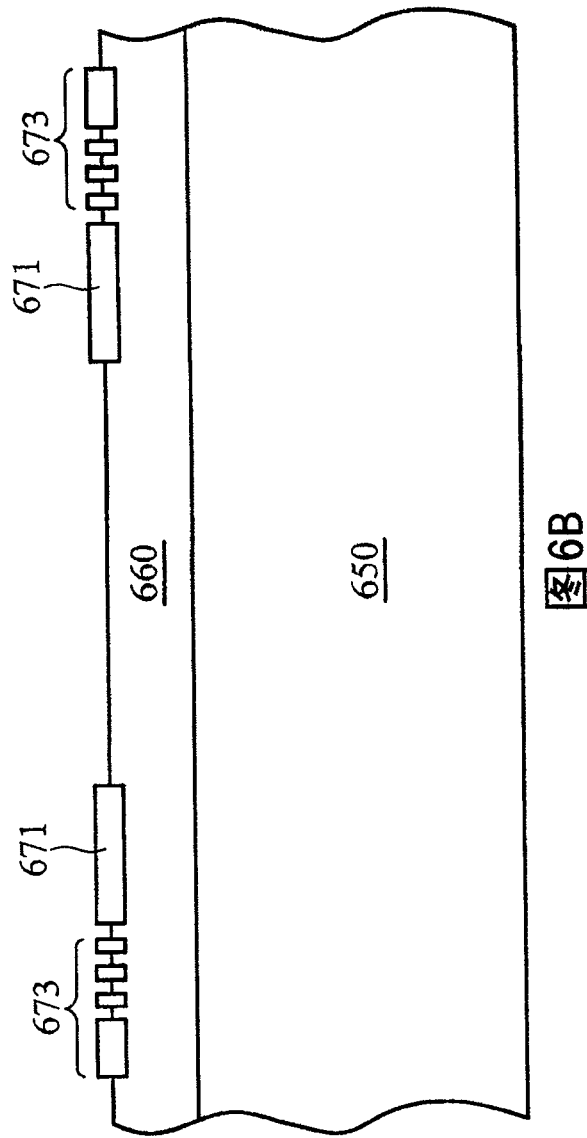


图6B

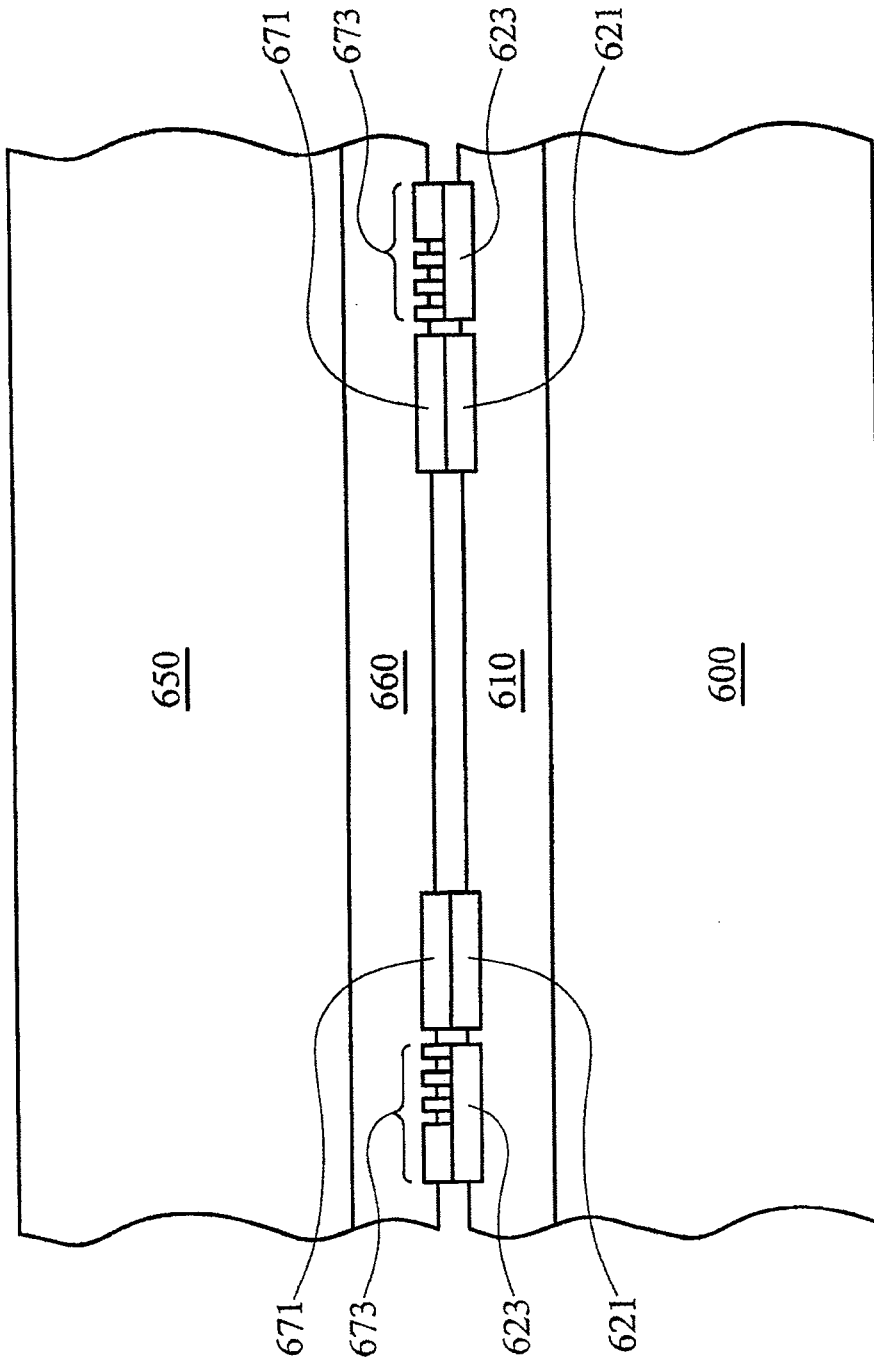


图6C

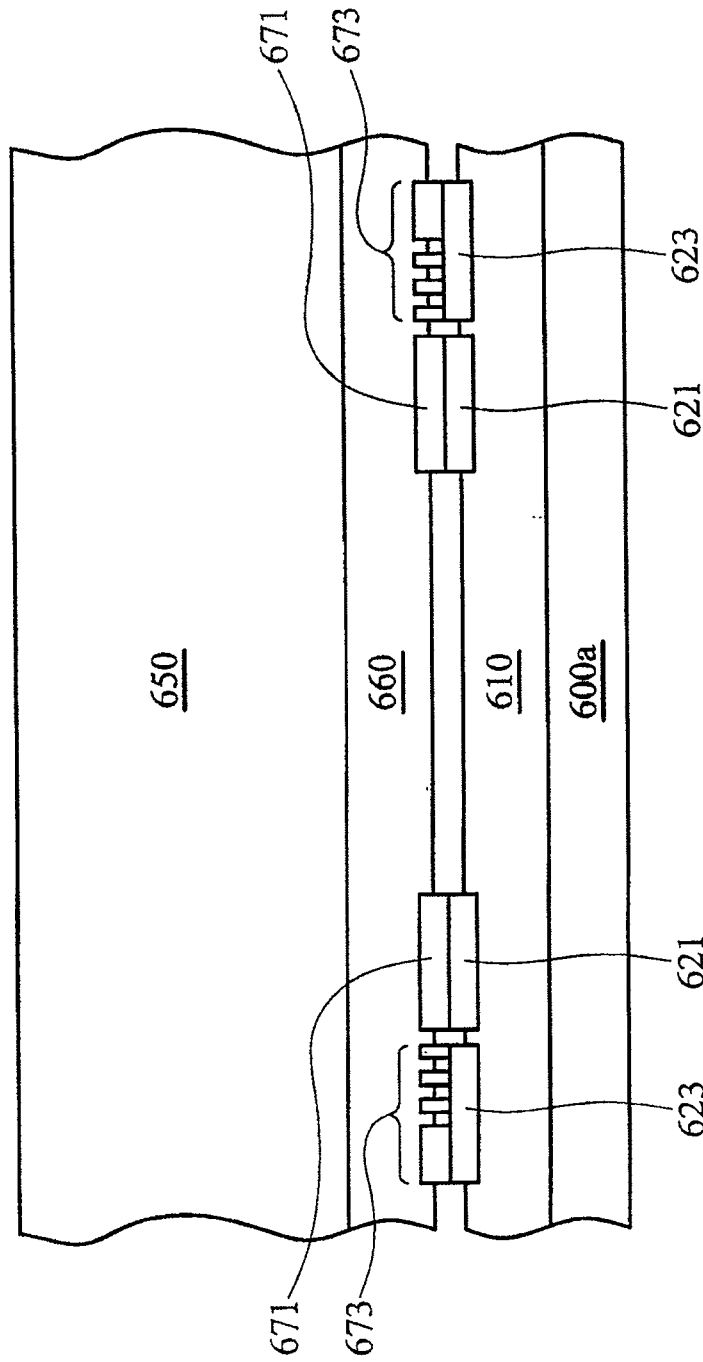


图6D

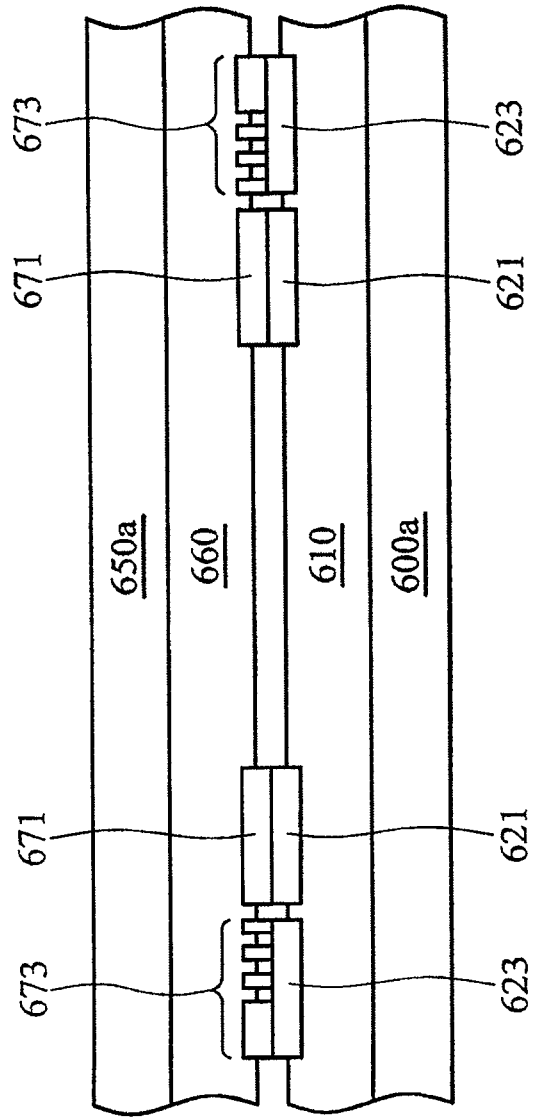


图6E