



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월14일
(11) 등록번호 10-1311966
(24) 등록일자 2013년09월17일

(51) 국제특허분류(Int. Cl.)
B81C 1/00 (2006.01) *B81B 7/02* (2006.01)
B81B 1/00 (2006.01) *H01G 7/00* (2006.01)
 (21) 출원번호 10-2013-7010119
 (22) 출원일자(국제) 2011년09월20일
 심사청구일자 2013년04월19일
 (85) 번역문제출일자 2013년04월19일
 (65) 공개번호 10-2013-0054441
 (43) 공개일자 2013년05월24일
 (86) 국제출원번호 PCT/US2011/052417
 (87) 국제공개번호 WO 2012/040245
 국제공개일자 2012년03월29일
 (30) 우선권주장
 61/384,319 2010년09월20일 미국(US)
 (56) 선행기술조사문헌
 US20040119137 A1
 US20080290756 A1
 US20070222021 A1
 US20040251793 A1

(73) 특허권자
페어차일드 세미컨덕터 코퍼레이션
 미국 95134 캘리포니아주 산 호세 오차드 파크웨이 3030
 (72) 발명자
브리제 야누스
 미국 94611 캘리포니아주 오클랜드 팔리 씨티. 333
블룸스버그 존 가드너
 미국 94611 캘리포니아주 오클랜드 에이큰 드라이브 6625
아카르 센크
 미국 92612 캘리포니아주 엘바인 나바르 74
 (74) 대리인
유미특허법인

전체 청구항 수 : 총 10 항

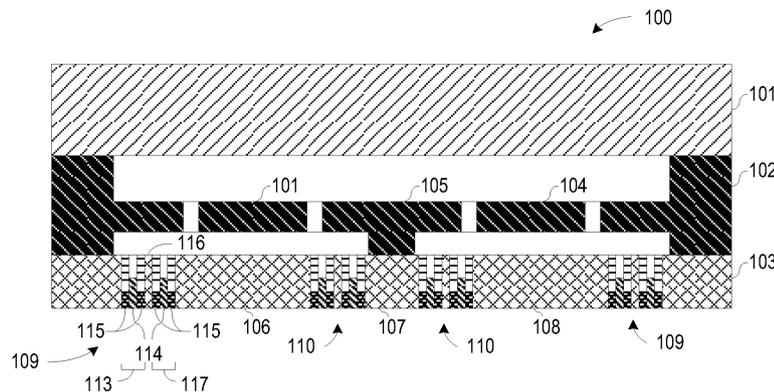
심사관 : 신동혁

(54) 발명의 명칭 **감소된 셉트 커패시턴스를 갖는 판통 실리콘 비아**

(57) 요약

본 발명은 감소된 셉트 커패시턴스를 갖는 비아를 포함하는 미소 기계전자 시스템(MEMS) 센서의 디바이스층을 위한 장치 및 방법을 제공한다. 일실시예에서, 디바이스층은 기관의 일부분에 의해 수평 방향으로 분리된 한 쌍의 트렌치를 갖는 기관을 포함할 수 있으며, 한 쌍의 트렌치의 각각의 트렌치가, 제3 수직층에 의해 분리되는 제1 및 제2 수직층을 포함하고, 제1 및 제2 수직층이 유전체를 포함하고, 제3 수직층이 폴리실리콘을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

미소 전자기계 시스템(MEMS) 디바이스용의 비아층에 있어서,

기판의 일부분에 의해 수평 방향으로 분리된 한 쌍의 트렌치를 갖는 상기 기판을 포함하며, 상기 한 쌍의 트렌치의 각각의 트렌치가, 제3 수직층에 의해 분리된 제1 수직층과 제2 수직층을 포함하고, 상기 제1 수직층과 상기 제2 수직층이 유전체를 포함하고, 상기 제3 수직층이 폴리실리콘을 포함하는, 미소 전자기계 시스템을 위한 비아층.

청구항 2

제1항에 있어서,

상기 제3 수직층의 체적(volume)의 80% 미만이 폴리실리콘을 포함하는, 미소 전자기계 시스템을 위한 비아층.

청구항 3

제1항에 있어서,

상기 제3 수직층의 체적의 20% 미만이 폴리실리콘을 포함하는, 미소 전자기계 시스템을 위한 비아층.

청구항 4

제1항에 있어서,

상기 제1 수직층 및 상기 제2 수직층이 열 산화물(thermal oxide)을 포함하는, 미소 전자기계 시스템을 위한 비아층.

청구항 5

제1항에 있어서,

유전체의 상기 제1 수직층 및 상기 제2 수직층의 각각이, 열 산화물과, 상기 열 산화물의 유전 상수보다 낮은 유전 상수를 갖는 제3 재료를 포함하는, 미소 전자기계 시스템을 위한 비아층.

청구항 6

센서에 있어서,

캡층(cap layer);

상기 캡층에 연결되고, 검사 질량체(proof mass)를 포함하는 디바이스층(device layer); 및

상기 디바이스층에 연결된 비아층(via layer)

을 포함하며,

상기 디바이스층이, 실리콘 기판의 일부분에 의해 수평 방향으로 분리된 한 쌍의 트렌치를 갖는 상기 실리콘 기판을 포함하며, 상기 한 쌍의 트렌치의 각각의 트렌치가 제3 수직층에 의해 분리된 제1 수직층과 제2 수직층을 포함하고, 상기 제1 수직층 및 상기 제2 수직층이 유전체를 포함하고, 상기 제3 수직층이 폴리실리콘을 포함하는,

센서.

청구항 7

제6항에 있어서,

상기 제3 수직층의 체적의 80% 미만이 폴리실리콘을 포함하는, 센서.

청구항 8

제6항에 있어서,
상기 제3 수직층의 체적의 20% 미만이 폴리실리콘을 포함하는, 센서.

청구항 9

제6항에 있어서,
상기 제1 수직층 및 상기 제2 수직층이 열 산화물을 포함하는, 센서.

청구항 10

제6항에 있어서,
유전체의 상기 제1 수직층 및 상기 제2 수직층의 각각이, 열 산화물과, 상기 열 산화물의 유전 상수보다 낮은 유전 상수를 갖는 제2 재료를 포함하는, 센서.

명세서

기술분야

- [0001] 우선권의 주장
- [0002] 본 출원은 "TSV WITH REDUCED SHUNT CAPACITANCE"를 발명의 명칭으로 하여 2010년 9월 20일자로 출원된 미국 가특허 출원 번호 61/384,319(미국 대리인 관리 번호 : 2921.103PRV)에 대한 우선권의 이점을 주장하며, 이 특허 출원은 그 전체 내용이 원용에 의해 본 명세서에 통합된다.

배경 기술

- [0003] 미소 전자기계 시스템(MEMS) 칩은 비아층(via layer)을 포함한 복수의 층을 포함할 수 있다. 비아층은 MEMS 칩 내의 MEMS 디바이스의 특성을 감지하기 위한 전극을 형성하도록 이용되는 유전체 트렌치(dielectric trench)를 포함할 수 있다. 이러한 트렌치는 미국 특허 제7,539,003호에 개시되어 있다.

발명의 내용

해결하려는 과제

- [0004] 유전체 트렌치는 정전용량성 감지 애플리케이션(capacitive sensing application) 또는 무선 주파수(RF) 애플리케이션을 위해 이용되는 MEMS 디바이스와 같은 MEMS 디바이스의 성능을 저하시킬 수 있는 커다란 셉트 커패시턴스를 가질 수 있다.

과제의 해결 수단

- [0005] 어떠한 실시예에서, 미소 기계전자 시스템(MEMS) 센서는 감소된 셉트 커패시턴스를 갖는 비아를 포함할 수 있다. 일 실시예에서, 디바이스층은 기판의 일부분에 의해 수평 방향으로 분리된 한 쌍의 트렌치를 갖는 기판을 포함할 수 있으며, 한 쌍의 트렌치의 각각의 트렌치가 제3 수직층에 의해 분리되는 제1 및 제2 수직층을 포함하고, 제1 및 제2 수직층이 유전체를 포함하고, 제3 수직층이 폴리실리콘을 포함한다.
- [0006] 본 과제의 해결 수단 부분은 본 특허 출원의 발명의 청구 대상의 개요를 제공하기 위한 것이며, 본 발명에 대한 배타적이거나 총괄적인 설명을 제공하려는 것이 아니다. 본 특허 출원에 대한 추가의 정보는 상세한 설명에 포함되어 있다.

도면의 간단한 설명

- [0007] 반드시 실적으로 도시될 필요는 없는 도면에서, 동일한 도면 부호는 상이한 도면에 있는 유사한 구성요소를 나타낼 수도 있다. 앞자리의 숫자가 상이한 도면 부호는 유사한 구성요소의 상이한 예를 나타낼 수도 있다. 이들 도면은 전반적으로 본 명세서에서 논의되는 각종 실시 형태를 제한하기 위한 것이 아니라 예로서 설명하기 위한 것이다.

도 1은 일례의 MEMS 디바이스의 단면도를 개략적으로 도시하는 도면이다.

도 2는 일례의 비아층의 레이아웃 도면을 개략적으로 도시하는 도면이다.

도 3a는 비아층의 일례의 TSV 구조의 등가 회로(300)를 개략적으로 도시하는 도면이다.

도 3b는 비아층의 일례의 TSV 구조의 대안의 레이아웃 등가 회로를 개략적으로 도시하는 도면이다.

도 4는 다양한 트렌치 구조 및 감지 커패시턴스의, 주파수를 함수로 하는 임피던스의 비교를 개략적으로 도시하는 도면이다.

도 5는 주파수를 함수로 하는 4개의 트렌치 구성에 대한 감지 커패시터 임피던스 대 셉트 임피던스의 비교를 개략적으로 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 발명자들은 기존의 설계에 연관된 셉트 커패시턴스를 크게 감소시키는 MEMS 디바이스의 비아층에 전극을 형성하는 구조 및 방법을 발견하였다. 어떠한 실시예에서, 통합된 MEMS 디바이스의 층은, 복수의 유전체 층이 사이에 위치되는 비저항이 높은 폴리 충전된 복수의 층(multiple high-resistivity, poly filled layer)을 갖는 관통 실리콘 비아(through silicon via, TSV) 구조를 포함할 수 있다. TSV 구조는 비저항이 높은 폴리층을 유전체와 직렬로 연결할 수 있으므로, MEMS 디바이스의 감지 커패시터에 대한 정전용량성 셉팅 이펙트(capacitive shunting effect)를 감소시킨다. 특정의 예에서, MEMS 디바이스에 연관된 전자 장치의 동작 주파수는 감지 커패시터의 임피던스가 셉트 커패시턴스의 임피던스보다 커지도록 선택될 수 있으며, 이로써 셉트 커패시턴스의 작용을 감소시킨다. 일 실시예에서, 저유전율(low-K)의 유전체를 포함하거나, 또는 저유전율의 유전체와 열 산화물(thermal oxide), 도핑된 산화물 또는 기타 유전체 재료와 같은 기타 재료의 조합을 포함하는 유전체 트렌치는, 예컨대 저유전율의 유전체가 트렌치에 사용되는 산화물보다 낮은 유전 상수를 갖는 경우에는 셉트 커패시턴스를 낮출 수 있다. 일 실시예에서, 저유전율의 유전체는 산화물의 유전 상수의 대략 절반인 유전 상수를 가질 수 있다.

[0009] 어떠한 실시예에서, 트렌치는 예컨대 진공과 같은 음의 압력 하에서 폴리로 부분적으로 충전(fill)될 수 있다. 진공 하에서의 트렌치의 영역의 유전 상수는 산화물의 4분의 1로 될 수 있어서, 산화물이 충전된 트렌치에 대하여 셉트 커패시턴스를 감소시킨다.

[0010] 도 1은 일례의 MEMS 디바이스(100)의 단면을 개략적으로 도시하고 있다. 어떠한 실시예에서, MEMS 디바이스(100)는 3개의 층, 즉 캡층(cap layer)(101), 디바이스층(102), 및 비아층(103)을 포함할 수 있다. 디바이스층(102)은 앵커(anchor)(105)에 의해 지지되는 가동부(moveable portion)(104)를 포함할 수 있다. 어떠한 실시예에서, MEMS 디바이스(100)의 가동부(104)는 실리콘 웨이퍼로부터 에칭될 수 있다. 에칭된 디바이스층(102)은 가동부(104)의 동평면 이동(in-plane movement) 및 비평면 이동(out-of plane movement)을 감지할 수 있도록 하는 구조를 포함할 수 있다. 어떠한 실시예에서, 가동부(104)는 MEMS 디바이스(100)의 각가속도(angular acceleration)를 감지할 수 있게 하기 위해 특정한 주파수로 진동하도록 구동될 수 있다.

[0011] 캡층(101)은 디바이스층(102)의 가동부(104)의 주위 환경 인클로저(environmental enclosure)의 적어도 일부분을 제공할 수 있다. 어떠한 실시예에서, 캡층(101)은 디바이스층(102)의 가동부(104)의 이동을 수용하기 위해 리세스(도시하지 않음)를 포함할 수 있다. 일 실시예에서, 캡층(101)은 MEMS 디바이스(100)가 기계적으로 충격을 받을 때와 같은 상황에서는 디바이스층(102)의 가동부(104)의 이동을 제한할 수 있다. 어떠한 실시예에서, 캡층(101)은 디바이스층(102)의 가동부(104)에 대해 진공이 유지될 수 있도록 디바이스층(102)에 본딩될 수 있다.

[0012] 비아층(103)은 디바이스층(102)의 가동부(104)의 주위 환경 인클로저의 일부분을 제공할 수 있다. 어떠한 실시예에서, 비아층(103)은 디바이스층(102)의 가동부(104)를 감지하거나 구동하기 위한 전극(106, 107, 108)을 포함할 수 있다. 일 실시예에서, 디바이스층 전극 중의 하나 이상, 예컨대 구동 전극(107)이 구동 신호를 디바이스층(102)에 제공할 수 있다. 일 실시예에서, 비아층(103)의 하나 이상의 감지 전극(106, 108)이 디바이스층(102)의 가동부(104)의 이동을 나타내는 감지 정보를 제공할 수 있다. 어떠한 예에서, 감지 정보는 디바이스층(102)의 가동부(104)의 이동에 관련된 감지 커패시턴스의 변화를 포함할 수 있다. 일 실시예에서, 비아층(103) 내의 트렌치(109, 110)는 감지 전극의 어느 정도의 전기적 분리를 제공할 수 있다.

[0013] 도 2는 종래의 구조에 비하여 감소된 셉트 커패시턴스를 제공할 수 있는 트렌치 또는 비아 구조를 포함하는 일

례의 비아층(203)의 레이아웃 도면을 개략적으로 도시하고 있다. 비아층(203)의 레이아웃은 복수의 전극을 위한 영역을 포함한다. 일실시예에서, 비아층(203)의 레이아웃은 구동 전극(207)을 둘러싸는 중앙 및 감지 전극(206, 208) 부근의 구동 전극(207)을 포함할 수 있다. 어떠한 실시예에서, 감지 전극은 유전체 트렌치 또는 비아 구조(209, 210)에 의해 비아층(203)의 실리콘의 외측 영역뿐만 아니라 구동 전극(207)으로부터 분리될 수 있다. 도 1을 참조하지만, 도 2의 실시예까지 확장할 수 있는 바와 같이, 일실시예에서, 유전체 트렌치(109, 110)는 유전체의 수직층(115) 사이에 위치한 폴리실리콘의 수직층(114)을 포함하는 제1 트렌치 영역(113)을 포함할 수 있다. 일실시예에서, 단결정성 실리콘의 수직층(116)에 의해 제1 트렌치 영역으로부터 분리된 제2 트렌치 영역(117)은 유전체의 층(115) 사이에 위치한 폴리실리콘의 제2 수직층(118)을 포함할 수 있다. 도 1을 참조하면, 구동 신호는 예컨대 쿼드러플(quadruple) 유전체 트렌치(110)에 의해 감지 전극(106, 108)으로부터 전기적으로 분리된 앵커 전극(107)과 같은 비아층(103)의 부분을 통해 디바이스층(102)의 가동부(104)에 인가될 수 있다. 일실시예에서, 감지 전극(106, 108)의 구동 전극(107) 반대쪽 측은 또 다른 쿼드러플 유전체 트렌치(109)를 통해 비아층(103)의 접지된 부분으로부터 고립될 수 있다.

[0014] 일실시예에서, 도시되지 않았지만, 분리 트렌치는 감지 전극을 둘러쌀 수 있으며, 별도의 트렌치가 구동 전압을 접속하기 위해 앵커 전극 주위에 형성될 수 있다. 구동 전압이 셉트 커패시턴스에 민감하지 않을 때에는, 앵커 전극을 분리시키기 위해 단순한 싱글 트렌치가 이용될 수 있다.

[0015] MEMS 디바이스의 센서는 감지 전극(106, 108)에 접속된 감지 커패시턴스를 포함할 수 있다. 디바이스층(102)의 가동부(104)의 이동은 감지 커패시턴스를 변화시킬 수 있다. 어떠한 실시예에서, 낮은 레지스턴스 단결정(monocrystalline)을 포함하는 감지 전극(106, 108)은 감지 커패시턴스의 변화를 측정하기 위해 이용될 수 있다.

[0016] 도 3a는 비아층의 일례의 TSV 구조의 등가 회로(300)를 개략적으로 도시하고 있다. 어떠한 실시예에서, 등가 회로는 구동 전극(307), 감지 전극(306), 감지 커패시턴스(326), 제1 TSV 네트워크(310) 및 제2 TSV 네트워크(309)를 포함할 수 있다. 감지 커패시턴스(326)는 디바이스층의 이동으로 변경될 수 있다. 일실시예에서, 제1 TSV 네트워크(310)는 구동 전극(307)과 감지 전극(306) 사이의 분리 트렌치를 나타낼 수 있다. 제2 TSV 네트워크(309)는 감지 전극(306)과 비아층의 주변부 사이의 분리 트렌치를 나타낼 수 있다. 각각의 네트워크(309, 310)는 4개의 정전용량성 요소(315)와 3개의 저항성 요소(314, 316)를 포함할 수 있다. 정전용량성 요소(315)는 도 1 및 도 2에 대하여 위에서 설명한 4개의 수직 유전체층에 연관될 수 있다. 3개의 저항성 요소 중의 2개의 저항성 요소(314)는 폴리실리콘의 2개의 수직층에 연관될 수 있다. 일실시예에서, 제3 저항성 요소(316)는 낮은 레지스턴스의 단결정 실리콘의 수직층에 연관될 수 있다. 유전체의 셉트 커패시턴스(315)와 직렬로 접속된 폴리실리콘의 상대적으로 높은 저항성의 수직층(314)은 센서에 대한 셉팅 이펙트(shunting effect)를 감소시켜, 감지 커패시턴스(326)의 성능을 향상시킬 수 있다.

[0017] 도 3b는 비아층의 일례의 TSV 구조의 대안의 레이아웃 등가 회로를 개략적으로 도시하고 있다. 구동 전압이 예컨대 낮은 소스 임피던스로 인해 셉트 커패시턴스에 실질적으로 민감하지 않기 때문에, 감지 커패시터 출력의 부하(load)에 의해 MEMS 센서의 성능의 열화가 발생할 수 있다. 대안의 레이아웃을 채용하는 실시예에서, 등가 회로(330)는 감지 커패시턴스(326)의 양측에 TSV 구조(331, 332)의 셉트 커패시턴스가 부하를 가하는 것을 보여주고 있다.

[0018] 폴리실리콘과 유전체의 상이한 조합 및 타입을 이용함으로써 셉트 커패시턴스를 감소시키기 위한 추가의 개선이 달성될 수 있다. 예컨대, 수직 유전체층이 2개의 재료, 예컨대 기밀성(hermeticity)을 보장하기 위해 약 3.9의 유전 상수를 갖는 열 산화물과, 제조하는 동안의 구조적 강도를 제공하기 위해 약 2의 유전 상수를 갖는 저유전율의 유전체를 포함할 때, 추가의 셉트 커패시턴스 감소가 달성될 수 있다. 어떠한 실시예에서는, 저유전율의 유전체 재료가 다공성(porous)의 것이어서, 진공을 유지할 수 없다. 따라서, 일부의 저유전율 유전체는 100% 트렌치 충전에 적합하지 않다. 조합 유전체층은 진공을 유지할 수 있고, 저유전율의 유전체에 연관된 이점을 제공할 수 있다.

[0019] 일실시예에서, 셉트 커패시턴스 감소 X는 트렌치 길이와 각각의 유전 상수 K1 및 K2를 각각 함수로 하는 산화물(0%)과 저유전율 유전체(D%)의 양에 좌우될 수 있다. 예컨대,

[0020]
$$X = (K2 * D + K1 * 0) / K1$$

[0021] 산화물이 트렌치의 20%를 나타내고, 저유전율 유전체가 트렌치의 80%를 나타내며, K1=3.9이고, K2=2이면, 다음과 같이 되며,

- [0022] $X = (2*0.8 + 3.9*0.2)/3.9 = 0.61$
- [0023] 이것은 산화물만으로 충전된 트랜치에 비하여 셉트 커패시턴스의 39% 감소를 나타내게 된다.
- [0024] 트랜치 길이가 4.0mm이고, 비아층이 200 μ m이고, 트랜치 면적이 0.8mm²이면, 1 μ m 두께의 유전체에 대해 약 27.6pF의 산화물 커패시턴스가 발생된다. 트랜치의 80%를 저유전율 유전체 재료로 충전하면, 커패시턴스를 약 16.8pF으로 감소시킬 수 있다.
- [0025] 트랜치의 비유전체(non-dielectric) 수직층을 부분적으로 충전하는 것 또한 셉트 커패시턴스를 감소시킬 수 있다. 어떠한 실시예에서, 폴리실리콘 충전의 일부분이 TSV의 제조 동안 제거(에칭)되면, 셉트 커패시턴스가 추가로 감소될 수 있다. 감소 영향은 저유전율 유전체를 이용하는 것과 유사하게 될 수 있다. 폴리실리콘층이 유전체층보다 수 배 더 두껍게 되고, 일부 저유전율 유전체의 절반 정도인 약 1의 유전 상수를 가질 수 있는 진공에 트랜치가 노출될 때, 감소 영향이 더 커지게 될 수 있다. 이전 실시예의 트랜치에 대해서는, 폴리 두께(polythickness)의 80%가 제거되면, 셉트 커패시턴스는 약 27.6pF에서 약 6.1pF으로 강하될 수 있다.
- [0026] 도 4는 다양한 트랜치 구조 및 1pF 감지 커패시턴스(405)의, 주파수를 함수로 하는 임피던스의 비교를 개략적으로 도시하고 있다. 다양한 트랜치 구조는 비저항이 높은 폴리 충전을 갖는 싱글 트랜치 구조(401), 더블 트랜치 구조(402) 및 쿼드러플 트랜치 구조(403)와, 저유전율 유전체 및 80% 폴리실리콘 에치백(etch back)을 채용하는 쿼드러플 트랜치 구조(404)를 포함한다.
- [0027] 신호 대 잡음비의 열화 및 그에 따른 이용 가능한 성능의 손실은 감지 커패시터 임피던스 대 셉트 임피던스의 비율에 비례할 수 있다. 도 5는 주파수를 함수로 하는 4개의 트랜치 구성에 대한 감지 커패시터 임피던스 대 셉트 임피던스의 비교를 개략적으로 도시하고 있다. 4개의 구성은 비저항이 높은 폴리 충전을 갖는 싱글 트랜치 구조(501), 더블 트랜치 구조(502) 및 쿼드러플 트랜치 구조(503)와, 저유전율 유전체 및 80% 폴리실리콘 에치백을 채용하는 쿼드러플 트랜치 구조(504)를 포함한다. 상기한 비율이 1보다 낮은 전자장치의 동작 주파수를 선택하는 것은, TSV 커패시턴스의 셉팅 영향의 급격한 감소를 가능하게 한다. 하이 레지스턴스 폴리 실리콘은 과도한 전력 소비를 방지하기 위해 충분히 낮은 신호 대 잡음비를 제공할 수 있다. 예컨대, 이 비교는 싱글 트랜치 구조가 도시된 주파수 범위에 걸쳐 1 아래로 되는 감지 커패시터 임피던스 대 셉트 임피던스의 비율을 보여주지 않는다는 것을 나타낸다. 반대로, 저유전율 유전체 및 20% 폴리 충전을 갖는 쿼드러플 트랜치 구조는 DC에서는 1 아래 및 약 639kHz에서는 0.1 아래의 감지 커패시터 임피던스 대 셉트 임피던스의 비율을 갖는다. 일반적으로, MEMS 디바이스의 동작 주파수가 낮을수록, 전력 소비가 낮아지며, 이것은 제한된 에너지 공급원을 갖는 모바일 시스템에서 MEMS 디바이스를 이용할 때에 커다란 장점을 제공할 수 있다.
- [0028] 추가 주의 사항 및 실시예
- [0029] 실시예 1에서, 실리콘 기판의 제1 면에 적어도 한 쌍의 트랜치를 에칭하는 단계와, 상기 실리콘 기판의 상기 제1 면 위에 산화물층을 형성하는 단계와, 상기 산화물층 상에 폴리실리콘층을 형성하는 단계와, 상기 한 쌍의 트랜치의 각각의 트랜치 내의 상기 폴리실리콘층을 사전에 정해진 깊이까지 에치백(etch back)하는 단계와, 상기 트랜치의 측벽에 유전체층을 형성하는 단계를 포함하며, 상기 유전체층이 상기 산화물층의 일부분 및 제2 유전체 재료를 포함하는 것을 특징으로 하는 방법을 제공할 수 있다.
- [0030] 실시예 2에서, 실시예 1의 방법은, 필요한 경우, 상기 산화물층의 가장 위에 질화물층을 형성하는 단계를 더 포함한다.
- [0031] 실시예 3에서, 실시예 1 또는 실시예 2의 상기 질화물층을 형성하는 단계는, 필요한 경우, 상기 폴리실리콘층의 일부분을 상기 트랜치에 있는 상기 산화물층의 상부 표면까지 제거하는 단계를 포함하며, 상기 폴리실리콘층의 일부분을 제거하는 단계는 상기 트랜치 내의 상기 폴리실리콘층의 일부분을 남겨두는 단계를 포함한다.
- [0032] 실시예 4에서, 실시예 1 내지 3 중 어느 하나의 실시예의 상기 산화물층의 가장 위에 질화물층을 형성하는 단계는, 필요한 경우, 상기 질화물층의 가장 위에 레지스트층을 형성하는 단계를 포함한다.
- [0033] 실시예 5에서, 실시예 1 내지 4 중 어느 하나의 실시예의 방법은, 필요한 경우, 리세스(recess)를 위한 경계를 정하기 위해 상기 레지스트층을 패터닝하는 단계를 더 포함한다.
- [0034] 실시예 6에서, 실시예 1 내지 5 중 어느 하나의 실시예의 방법은, 필요한 경우, 상기 리세스의 경계를 추가로 정하기 위해 질화물의 일부분을 제거하는 단계를 더 포함한다.
- [0035] 실시예 7에서, 실시예 1 내지 6 중 어느 하나의 실시예의 방법은, 필요한 경우, 상기 실리콘 기판 내로 리세스

를 에칭하는 단계를 더 포함한다.

- [0036] 실시예 8에서, 실시예 1 내지 7 중 어느 하나의 실시예의 상기 리세스를 에칭하는 단계는, 필요한 경우, 상기 트렌치의 측벽으로부터 상기 산화물층의 일부분을 제거하는 단계를 포함한다.
- [0037] 실시예 9에서, 실시예 1 내지 8 중 어느 하나의 실시예의 상기 산화물층을 형성하는 단계는, 필요한 경우, 상기 트렌치의 측벽에 산화물층을 형성하는 단계를 포함한다.
- [0038] 실시예 10에서, 실시예 1 내지 9 중 어느 하나의 실시예의 방법은, 필요한 경우, 상기 실리콘 기판의 상기 제1 면의 일부분을 MEMS 센서의 디바이스층에 본딩하는 단계를 더 포함한다.
- [0039] 실시예 11에서, 실시예 1 내지 10 중 어느 하나의 실시예의 방법은, 필요한 경우, 상기 트렌치의 제1 끝부분을 노출시키기 위해 상기 실리콘 기판의 제2 면을 그라인딩하는 단계를 포함한다.
- [0040] 실시예 12에서, MEMS 디바이스용의 비아층은, 기판의 일부분에 의해 수평 방향으로 분리된 한 쌍의 트렌치를 갖는 기판을 포함할 수 있으며, 상기 한 쌍의 트렌치의 각각의 트렌치가 제3 수직층에 의해 분리된 제1 수직층과 제2 수직층을 포함하고, 상기 제1 수직층과 상기 제2 수직층이 제1 재료를 포함하고, 상기 제3 수직층이 제2 재료를 포함하며, 상기 제1 재료가 유전체를 포함한다.
- [0041] 실시예 13에서, 실시예 1 내지 12 중 어느 하나의 실시예의 상기 제2 재료는, 필요한 경우, 폴리실리콘을 포함한다.
- [0042] 실시예 14에서, 실시예 1 내지 13 중 어느 하나의 실시예의 상기 제3 수직층은, 필요한 경우, 80% 미만의 폴리실리콘을 포함하는 체적(volume)을 포함한다.
- [0043] 실시예 15에서, 실시예 1 내지 14 중 어느 하나의 실시예의 상기 제3 수직층은, 필요한 경우, 20% 미만의 폴리실리콘을 포함하는 체적을 포함한다.
- [0044] 실시예 16에서, 실시예 1 내지 15 중 어느 하나의 실시예의 상기 제1 수직층 및 상기 제2 수직층은, 필요한 경우, 열 산화물을 포함한다.
- [0045] 실시예 17에서, 실시예 1 내지 16 중 어느 하나의 실시예의 각각의 상기 제1 수직층 및 상기 제2 수직층은, 필요한 경우, 열 산화물과 상기 열 산화물의 유전 상수보다 낮은 유전 상수를 갖는 제3 재료를 포함한다.
- [0046] 실시예 18에서, 실시예 1 내지 17 중 어느 하나의 실시예의 상기 제1 재료는, 필요한 경우, 열 산화물을 포함하며, 실시예 17의 상기 제2 재료는, 필요한 경우, 상기 열 산화물의 유전 상수보다 낮은 유전 상수를 갖는 유전체를 포함한다.
- [0047] 실시예 19에서, 센서는 캡층과, 상기 캡층에 연결되고, 검사 질량체(proof mass)를 포함하는 디바이스층과, 상기 디바이스층에 연결된 비아층을 포함할 수 있으며, 상기 디바이스층이, 실리콘 기판의 일부분에 의해 수평 방향으로 분리된 한 쌍의 트렌치를 갖는 실리콘 기판을 포함할 수 있고, 상기 한 쌍의 트렌치의 각각의 트렌치가 제3 수직층에 의해 분리된 제1 수직층과 제2 수직층을 포함하고, 상기 제1 수직층 및 상기 제2 수직층이 유전체를 포함하고, 상기 제3 수직층이 폴리실리콘을 포함한다.
- [0048] 실시예 20에서, 실시예 1 내지 19 중 어느 하나의 실시예의 상기 제3 수직층은, 필요한 경우, 80% 미만의 폴리실리콘을 포함하는 체적을 포함한다.
- [0049] 실시예 21에서, 실시예 1 내지 20 중 어느 하나의 실시예의 상기 제3 수직층은, 필요한 경우, 20% 미만의 폴리실리콘을 포함하는 체적을 포함한다.
- [0050] 실시예 22에서, 실시예 1 내지 21 중 어느 하나의 실시예의 상기 제1 수직층 및 상기 제2 수직층은, 필요한 경우, 열 산화물을 포함한다.
- [0051] 실시예 23에서, 실시예 1 내지 22 중 어느 하나의 실시예의 각각의 상기 제1 수직층 및 상기 제2 수직층은, 필요한 경우, 열 산화물과 상기 열 산화물의 유전 상수보다 낮은 유전 상수를 갖는 제2 재료를 포함한다.
- [0052] 상기한 상세한 설명은 상세한 설명의 일부를 형성하는 도면에 대한 참조를 포함한다. 도면은 본원 발명이 실시될 특정 실시형태를 예시로서 보여주고 있다. 이 실시형태는 여기에서 "실시예"로도 지칭된다. 본 명세서에 언급된 모든 공개 문헌, 특허, 및 특허 문헌은 참조에 의해 개별적으로 인용되어 있지만 그 전체 내용이 참조에 의해 본 명세서에 인용된다. 본 명세서와 이와 같이 참조로 포함된 문헌 간에 일치하지 않는 사용법이 있을 경우, 인용된 참조 문헌에서의 사용법은 본 명세서의 사용법에 대한 보조적인 것으로 간주되어야 하며, 예컨대

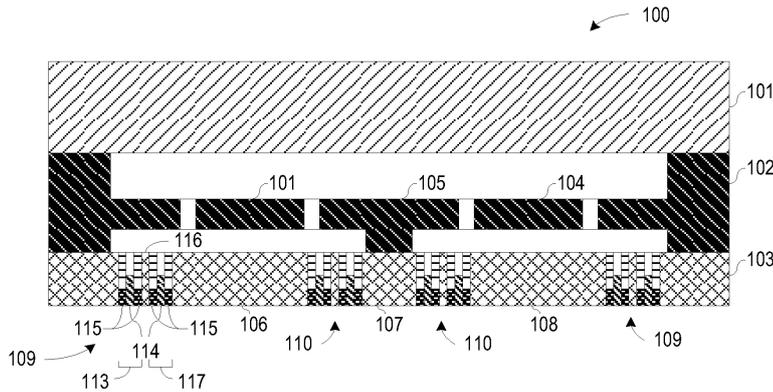
양립 불가능한 불일치의 경우에는, 본 명세서에서의 사용법이 우선한다.

[0053] 본 명세서에서는, "일" 또는 "하나의"라는 표현은, 특히 문헌에서 흔히 쓰이는 바와 같이, 다른 경우들이나 "적어도 하나" 또는 "하나 이상"이라는 표현의 용법과 관계없이 하나 또는 하나 이상을 포함하도록 사용된다. 본 명세서에서는, 특별한 지시가 없는 이상 "A 또는 B"가 "A이나 B가 아닌", "B이나 A가 아닌" 및 "A 및 B"를 포함하도록, "또는"이라는 표현은 독점적이지 않은 것을 언급하도록 사용된다. 첨부된 청구범위에서, "포함하다(including)" 및 "~인(in which)"이라는 표현은 "구비하다(comprising)" 및 "~인, ~이고(wherein)"의 공통 등가물로 사용된다. 또한, 이하의 청구범위에서는, "포함하다" 및 "구비하다"라는 표현이 개방형(open-ended)의 의미를 갖는다. 즉, 청구항에서 이 표현 앞에 열거된 것 이외의 요소들을 포함하는 시스템, 장치, 물품, 또는 프로세스 또한 여전히 그 청구항의 범위 내에 포함되는 것으로 간주된다. 더욱이, 이하의 청구범위에서, "제 1", "제 2" 및 "제 3" 등의 표현은 단순히 표지로서 사용되며, 그러한 대상에 대한 수적 요건을 강제하려는 의도는 아니다.

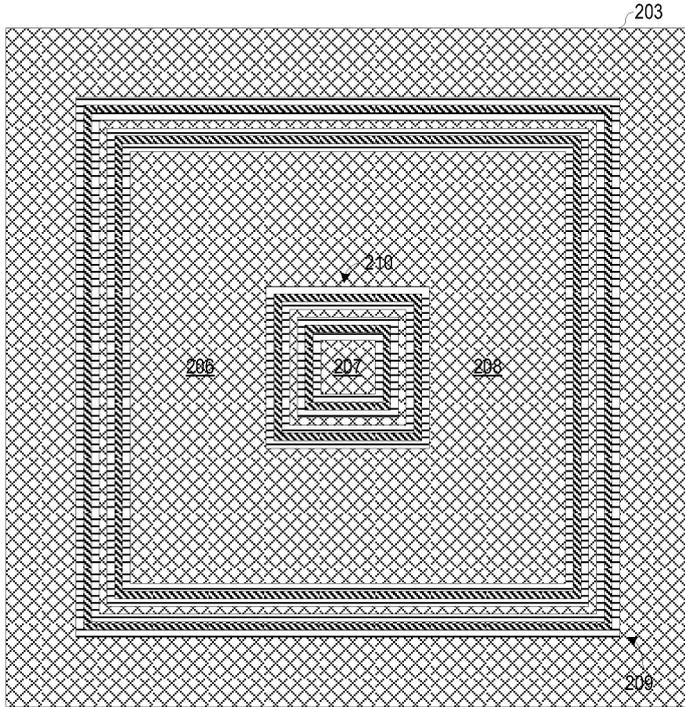
[0054] 상기한 설명은 예시를 위한 것으로, 본 발명을 제한하려는 것은 아니다. 다른 실시예에서는, 전술한 실시예(또는 이러한 실시예의 하나 이상의 특징)가 서로 조합되어 이용될 수도 있다. 상기한 설명을 검토한 당업자에 의해 다른 실시형태가 이용될 수 있다. 본 명세서에 포함된 요약서는 본 명세서를 읽는 사람이 기술적인 개시 내용의 본질을 신속하게 이해할 수 있도록 하기 위하여 37 C.F.R § 1.72(b)에 따라 제공된다. 이 요약서는 청구항의 범위 또는 의미를 해석하거나 제한하기 위해 이용되지 않을 것이라는 이해를 전제로 제공된 것이다. 또한, 본 발명의 상세한 설명 부분에서는, 여러 특징을 함께 그룹으로 묶어 개시내용을 간략화하였을 수도 있다. 이것은 청구되지 않은 공개된 특징이 임의의 청구항에 필수적이라고 의도되도록 해석되지 않아야 한다. 오히려, 발명의 청구 대상은 특정한 공개 실시형태의 모든 특징보다 작게 두어도 좋다. 따라서, 이하의 청구범위는 이에 의하여 상세한 설명에 포함되는 것이며, 각각의 청구항은 개별적인 실시형태를 나타낸다. 본 발명의 범위는 첨부된 청구범위와 함께 이러한 청구항으로 나타낸 등가물의 전체 범위를 참조하여 결정되어야 한다.

도면

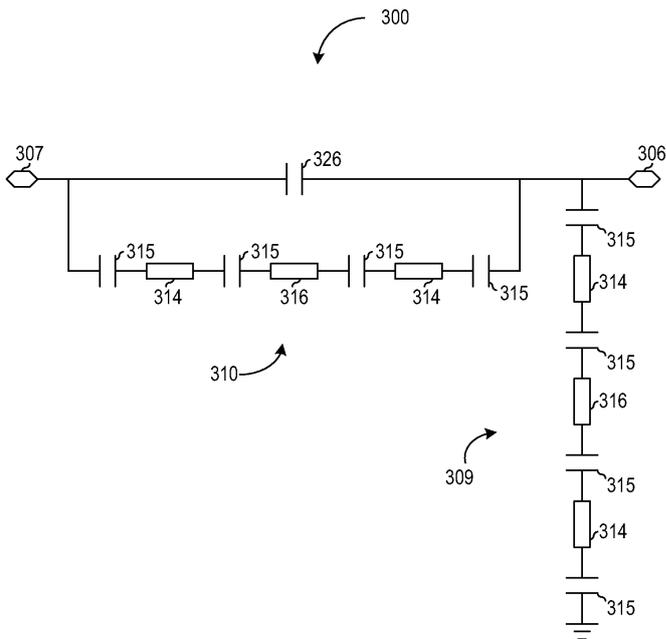
도면1



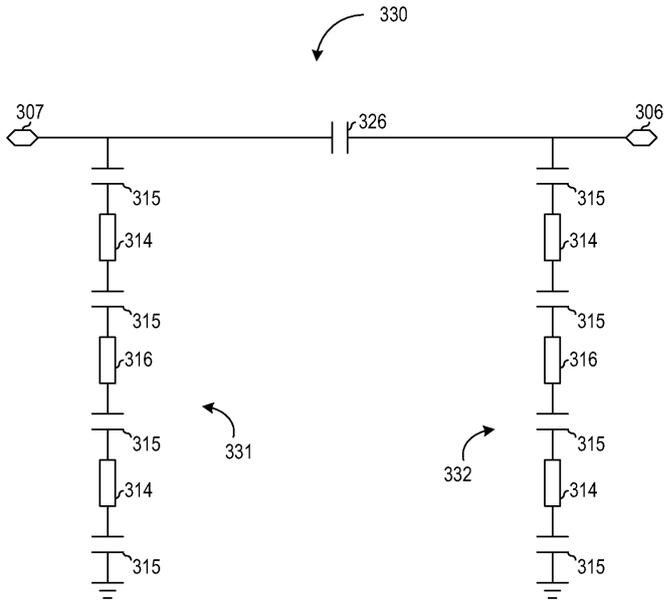
도면2



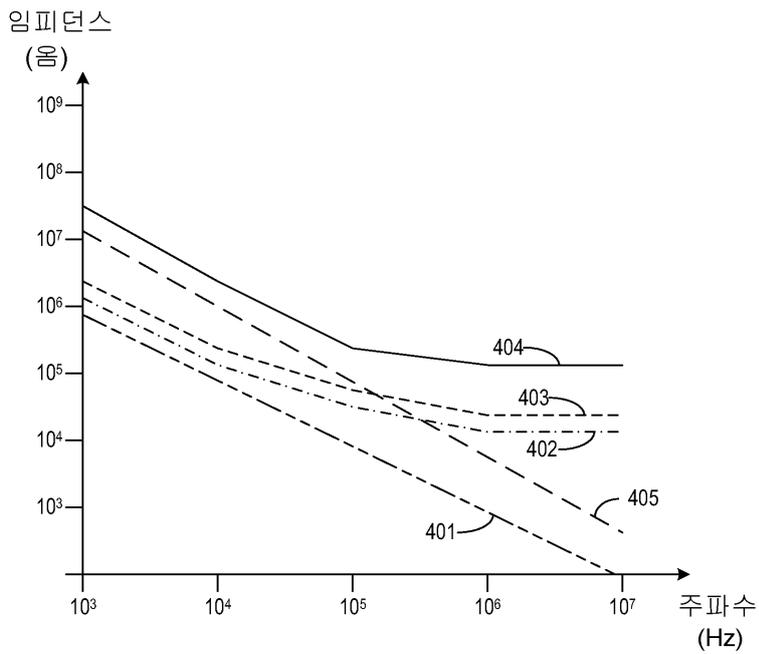
도면3a



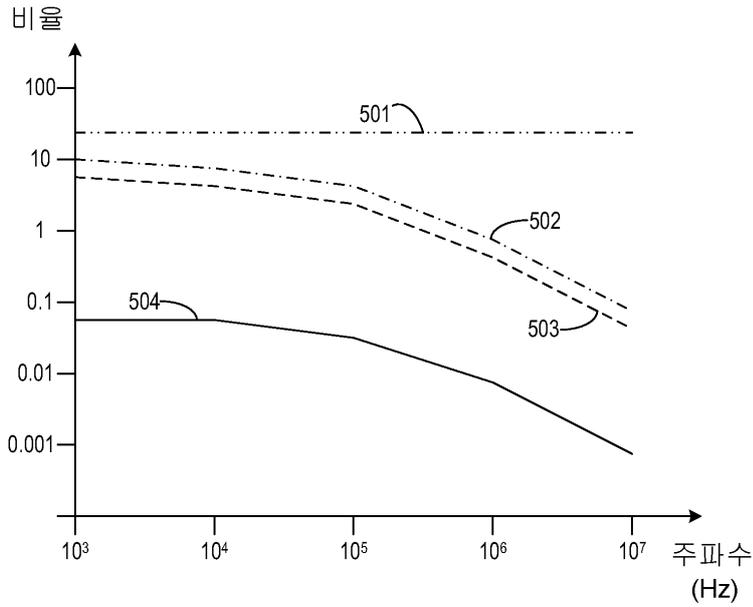
도면3b



도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항2의 2줄

【변경전】

약 80%

【변경후】

80%

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항8의 2줄

【변경전】

약 20%

【변경후】

20%

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항7의 2줄

【변경전】

약 80%

【변경후】

80%

【직권보정 4】

【보정항목】 청구범위

【보정세부항목】 청구항3의 2줄

【변경전】

약 20%

【변경후】

20%