

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3718261号

(P3718261)

(45) 発行日 平成17年11月24日(2005.11.24)

(24) 登録日 平成17年9月9日(2005.9.9)

(51) Int. Cl.⁷

F I

HO 1 L 21/768	HO 1 L 21/90	P
HO 1 L 21/31	HO 1 L 21/316	M
HO 1 L 21/316	HO 1 L 21/316	X
HO 1 L 27/12	HO 1 L 27/12	Z
	HO 1 L 21/95	

請求項の数 4 (全 8 頁)

(21) 出願番号 特願平7-160248
 (22) 出願日 平成7年6月27日(1995.6.27)
 (65) 公開番号 特開平9-17857
 (43) 公開日 平成9年1月17日(1997.1.17)
 審査請求日 平成14年6月19日(2002.6.19)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 塚本 研一
 東京都小平市上水本町5丁目20番1号
 日立超エル・エス・アイ・エンジニアリン
 グ株式会社内
 (72) 発明者 宇佐美 光雄
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所 中央研究所内
 審査官 小野田 誠

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 半導体基板上に絶縁膜を介して単結晶シリコン膜が形成された第1のSOI基板に、半導体素子を形成する工程と、
 (b) 前記第1のSOI基板上に、第1の絶縁膜を形成する工程と、
 (c) 前記第1の絶縁膜に、前記半導体素子と後に形成する配線層を接続するためのコンタクトホールを形成する工程と、
 (d) 前記第1の絶縁膜上に、前記半導体素子間または前記半導体素子と周辺回路とを接続するための配線層を形成する工程と、
 (e) 前記第1の絶縁膜および前記配線層上に、前記単結晶シリコン膜の熱膨張係数とほぼ等しい熱膨張係数を有する第2の絶縁膜を形成する工程と、
 (f) 前記第2の絶縁膜の一部を除去して開口部を形成する工程と、
 (g) 前記開口部において露出した前記配線層に動作試験装置の端子を接続して、前記半導体素子の動作試験を行う工程と、
 (h) 前記動作試験で異常動作が確認された半導体素子が形成されている領域の前記単結晶シリコン膜から上の部分を、前記第1のSOI基板から除去する工程と、
 (i) 前記第1のSOI基板に施された前記(a)工程乃至前記(f)工程と同じプロセスで同じ構造が形成された第2のSOI基板から、前記第1のSOI基板で異常動作が確認された半導体素子と同じ半導体素子が形成されている領域の前記単結晶シリコン膜から上の部分を切り出す工程と、

10

20

(j) 前記(i)工程で切り出した部分を、前記(h)工程で除去された領域に装着する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】

請求項1記載の半導体集積回路装置の製造方法であって、前記第2の絶縁膜の応力は、 $0.2 \sim 5 \times 10^9$ dyn/cm²であることを特徴とする半導体集積回路装置の製造方法。

【請求項3】

請求項1記載の半導体集積回路装置の製造方法であって、前記第2の絶縁膜は、プラズマCVD法、光CVD法、スパッタリング法またはバイアススパッタリング法で形成される酸化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項4】

請求項1記載の半導体集積回路装置の製造方法であって、前記第2の絶縁膜の表面をCMP法で平坦化することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、SOI (Silicon On Insulator) 基板に形成された半導体集積回路装置の製造方法に関し、特に、SDIT (Super Device Integration Technology)技術によって半導体素子の不良部位の改修が行なわれる半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体基板上に絶縁層を介して単結晶シリコン膜が形成されたSOI基板は、半導体素子の寄生容量を低減し、放射線に対する耐性を向上できることなどから、SOI基板を使用した半導体集積回路装置の開発研究が行なわれている。

【0003】

ところで、SOI基板に形成された半導体素子の一部に異常動作が生じた場合、一般に、他の半導体素子が正常に動作していても、半導体集積回路装置の全てが不良製品として処理されてしまう。

【0004】

そこで、異常動作が確認された半導体素子が形成されている領域を第1のSOI基板から除去し、新たに、正常動作が確認された半導体素子が形成されている領域を第2のSOI基板から切り出して、第1のSOI基板において除去された領域に埋め込むことにより、半導体集積回路装置の不良部位の改修を行ない、半導体集積回路装置の製造歩留まりを向上させるSDIT (Super Device Integration Technology)技術が検討されている。

【0005】

以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

【0006】

SDIT工程は、まず、第1のSOI基板を構成する厚さ2～3μmの単結晶シリコン膜に半導体素子を形成した後、第1のSOI基板上に第1絶縁層を堆積し、半導体素子と後に形成する第1配線層を接続するためのコンタクトホールを第1絶縁層に形成する。次に、第1のSOI基板の上に金属膜を堆積し、この金属膜を加工して、半導体素子間または半導体素子と周辺回路とを接続するための第1配線層を形成する。

【0007】

次に、第1のSOI基板の上に第2絶縁層を形成する。このとき、初めにプラズマCVD (Chemical Vapor Deposition)法で酸化シリコン膜を堆積した後、有機ガラス (Spin On Glass ; SOG)膜を第1のSOI基板の上に塗布し、続いて、熱処理を施すことによって、SOG膜を無機質化すると同時にSOG膜を平坦化する。

【0008】

次に、平坦化されたSOG膜および酸化シリコン膜から成る第2絶縁層の一部を順次エツ

10

20

30

40

50

チングして、第1配線層上の第2絶縁層の一部に開口部を形成した後、第1配線層に動作試験装置の端子を接続して半導体素子の動作試験を行なう。

【0009】

半導体素子に異常動作が確認されると、この半導体素子が形成されている領域の周囲に溝を掘り、続いて、ドライエッチングおよびウエットエッチングによって、この領域の単結晶シリコン膜から上の部分を第1のSOI基板から除去する。

【0010】

次に、第1のSOI基板に形成された半導体素子と同じプロセスで同じ構造の半導体素子が形成された第2のSOI基板においても、第1配線層を用いて半導体素子の動作試験を行なう。

10

【0011】

第2のSOI基板に形成された半導体素子のうち、第1のSOI基板で異常動作が確認された半導体素子と同じ構造の半導体素子において正常動作が確認されると、第2のSOI基板からこの半導体素子が形成されている領域の単結晶シリコン膜から上の部分を切り出し、第1のSOI基板の除去された領域にはめ込み、接着する。

【0012】

次に、第1のSOI基板上に第3絶縁層を堆積し、第3絶縁層および第2絶縁層の一部を順次エッチングして、第1配線層および後に形成される第2配線層を接続するためのスルーホールを形成した後、第1のSOI基板上に金属膜を堆積し、この金属膜を加工して第2配線層を形成する。

20

【0013】

【発明が解決しようとする課題】

本発明者は、前記SDIT技術を開発するにあたり、以下の問題点を見いだした。

【0014】

すなわち、SOI基板に半導体素子を形成した後に、SOI基板上に絶縁層および配線層が形成されるが、半導体素子の微細化に伴う配線層の高密度化、狭間隔化のために、ステップカバレッジ不良に起因する配線層の断線が生じやすくなっており、この対策として、絶縁層を平坦に加工する必要がある。

【0015】

配線層上に堆積された高温の熱処理が行なえない絶縁層の平坦化は、従来、有機シリコン化合物であるSOG膜を塗布した後に、約400の熱処理を施して行なわれている。

30

【0016】

しかしながら、SOG膜は、熱処理時に体積収縮を起こすため、第2のSOI基板から切り出された2~3μmの厚さの単結晶シリコン膜は反ってしまい、第1のSOI基板から剥がれたり、またはクラックを生じたりする。

【0017】

このため、SDIT技術を採用しても、半導体集積回路装置の不良部位を改修することができず、従って、半導体集積回路装置の製造歩留まりを向上させることができない。

【0018】

本発明の目的は、SDIT技術による半導体集積回路装置の製造歩留まりの向上を有効な技術とすることにある。

40

【0019】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】

すなわち、本発明の半導体集積回路装置の製造方法は、SDIT技術によってその不良部

50

位が改修される半導体集積回路装置において、SOI基板上の配線層間を絶縁するために設けられる平坦化絶縁層に、基板を構成する単結晶シリコンの熱膨張係数（約 $0.5 \times 10^{-6} / ^\circ\text{C}$ ）とほぼ等しい熱膨張係数を有する絶縁材料を用いる。

【0022】

【作用】

上記した手段によれば、SOI基板から切り出される $2 \sim 3 \mu\text{m}$ の厚さの単結晶シリコン膜が応力によって反ることがないので、SOI基板から切り出された単結晶シリコン膜は、移植されたSOI基板から剥がれず、また、クラックを生じることがない。

【0023】

一般に、ある温度 T において堆積された膜の応力 σ_f は、

$$\sigma_f = (\sigma_f - \sigma_s) \cdot [E_f / (1 - \nu_f)] \cdot (T_d - T) + \sigma_i$$
 で表される。ここで、 σ_f 、 σ_s はそれぞれ堆積された膜と基板の熱膨張係数、 E_f 、 ν_f は堆積された膜の弾性定数とポアソン比、 T_d は堆積温度、 σ_i は真性応力である。

10

【0024】

従って、堆積された膜と基板の熱膨張係数の差が小さいほど、基板に対する堆積された膜の応力は小さくなり、反りは生じにくくなる。

【0025】

【実施例】

以下、本発明の実施例を図面に基づいて詳細に説明する。

【0026】

本発明の一実施例であるSDIT工程を図1～図4を用いて説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

20

【0027】

まず、図1に示すように、単結晶シリコンからなる半導体基板1上に絶縁層2を介して $2 \sim 3 \mu\text{m}$ の厚さの単結晶シリコン膜3が形成された第1のSOI基板1Aに半導体素子（図示せず）を形成する。次に、第1のSOI基板1A上に第1酸化シリコン膜4およびBPSG（Boron Phosphorous Silicate Glass）膜5をCVD法で順次堆積した後、窒素ガス雰囲気中で $850 \sim 950$ の温度で熱処理を行ない、BPSG膜5の表面を平坦化する。

30

【0028】

次に、BPSG膜5および第1酸化シリコン膜4をフォトリジストをマスクにして順次エッチングし、半導体素子と後に形成する第1配線層6を接続するためのコンタクトホール（図示せず）を形成する。

【0029】

次に、第1のSOI基板1A上に金属膜（アルミニウム合金膜またはタングステン膜）を堆積し、フォトリジストをマスクにして、この金属膜をエッチングすることにより、半導体素子間または半導体素子と周辺回路（図示せず）とを接続するための第1配線層6を形成する。

【0030】

次に、第1のSOI基板1A上にプラズマCVD法で第2酸化シリコン膜7を厚く堆積し、続いて、例えば、CMP（Chemical Mechanical Polishing；化学的機械研磨）法で第2酸化シリコン膜7を平坦化する。なお、第2酸化シリコン膜7の熱膨張係数は、単結晶シリコン膜3の熱膨張係数（約 $0.5 \times 10^{-6} / ^\circ\text{C}$ ）とほぼ等しく、室温における第2酸化シリコン膜7の応力は、 $0.2 \sim 5 \times 10^9 \text{ dyn/cm}^2$ である。

40

【0031】

次に、第1配線層6上の第2酸化シリコン膜7の一部をエッチングして、開口部8を設ける。その後、開口部8において露出した第1配線層6に動作試験装置の端子を接続して、半導体素子の動作試験を行なう。動作試験で半導体素子に異常動作が確認されると、この半導体素子が形成されている領域（ブロックA）の単結晶シリコン膜3から上の部分を第

50

1のSOI基板1Aから除去する。

【0032】

初めに、ブロックAの周囲にドライエッチングによって溝を掘り、続いて、図2に示すように、ドライエッチングおよびウエットエッチングにより、第1のSOI基板1AからブロックAの単結晶シリコン膜3から上の部分を除去する。

【0033】

次に、第1のSOI基板1Aに形成された半導体素子と同じプロセスで同じ構造の半導体素子が形成された第2のSOI基板1Bにおいても、第1配線層を用いて第1のSOI基板1Aで行なった動作試験と同じ試験を行なう。

【0034】

第2のSOI基板1Bに形成された半導体素子のうち、第1のSOI基板1Aで異常動作が確認された半導体素子と同じ半導体素子において正常動作が確認されると、この半導体素子が形成されている領域(ブロックB)の単結晶シリコン膜3から上の部分を第2のSOI基板1Bから切り出す。

【0035】

まず、図3に示すように、第2のSOI基板1BのブロックBの表面に支持体9をエポキシ系の接着材で接着する。次に、第2のSOI基板1Bを裏面からエッチングして行き、半導体基板1および絶縁層2を全て除去して単結晶シリコン膜3から上の部分を残した後、ブロックB以外の領域を除去することによって、ブロックBを切り出す。

【0036】

次に、例えば、第1のSOI基板1AのブロックAが除去された部分の表面と第2のSOI基板1Bから切り出されたブロックBの裏面に金(Au)を蒸着し、真空中で圧着することにより、ブロックBを第1のSOI基板1AのブロックAを除去した部分に装着する。続いて、エポキシ系の接着材を有機溶剤で除去し、ブロックBから支持体9を離す。

【0037】

次に、図4に示すように、第1のSOI基板1A上に第3酸化シリコン膜10を堆積した後、第3酸化シリコン膜10および第2酸化シリコン膜7の一部を順次エッチングして、第1配線層6と後に形成する第2配線層11を接続するためのスルーホール(図示せず)を形成する。次いで、第1のSOI基板1A上に金属膜を堆積し、フォトレジストをマスクにして、この金属膜をエッチングすることにより、第2配線層11を形成する。

【0038】

最後に、第1のSOI基板1Aの表面をパッシベーション膜12で被覆することにより、半導体集積回路装置が完成する。

【0039】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0040】

例えば、前記実施例では、第1配線層の上に堆積された酸化シリコン膜は、プラズマCVD法で形成されたが、光CVD法またはスパッタリング法で形成してもよい。

【0041】

また、前記実施例では、第1配線層の上に堆積された酸化シリコン膜の平坦化をCMP法で行なったが、レジスト塗布エッチバック法またはスパッタエッチ法で行なってもよい。

【0042】

また、前記実施例では、第1配線層の上に酸化シリコン膜を堆積した後に、CMP法でこの酸化シリコン膜を平坦化したが、絶縁膜を堆積しながら平坦化できるバイアススパッタリング法で酸化シリコン膜を堆積してもよい。

【0043】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明す

10

20

30

40

50

れば、以下の通りである。

【 0 0 4 4 】

本発明によれば、S O I基板から切り出された薄い単結晶シリコン膜は、移植されたS O I基板から剥がれず、また、クラックを生じることがないので、S D I T技術の信頼性が向上し、S D I T技術による半導体集積回路装置の製造歩留まりの向上を有効な技術とすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である第1のS O I基板に形成された半導体集積回路装置を示す半導体基板の要部断面図である。

【図2】本発明の一実施例である第1のS O I基板に形成された半導体集積回路装置を示す半導体基板の要部断面図である。 10

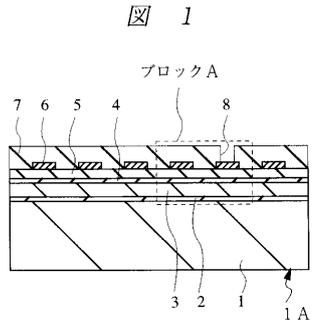
【図3】本発明の一実施例である第2のS O I基板に形成された半導体集積回路装置を示す半導体基板の要部断面図である。

【図4】本発明の一実施例である第1のS O I基板に形成された半導体集積回路装置を示す半導体基板の要部断面図である。

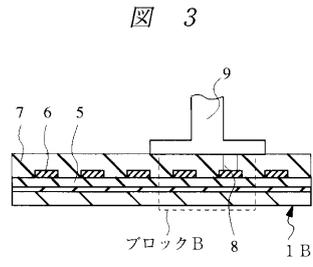
【符号の説明】

- | | | |
|-----|------------|----|
| 1 | 半導体基板 | |
| 1 A | 第1のS O I基板 | |
| 1 B | 第2のS O I基板 | |
| 2 | 絶縁層 | 20 |
| 3 | 単結晶シリコン膜 | |
| 4 | 第1酸化シリコン膜 | |
| 5 | B P S G膜 | |
| 6 | 第1配線層 | |
| 7 | 第2酸化シリコン膜 | |
| 8 | 開口部 | |
| 9 | 支持体 | |
| 1 0 | 第3酸化シリコン膜 | |
| 1 1 | 第2配線層 | |
| 1 2 | パッシベーション膜 | 30 |

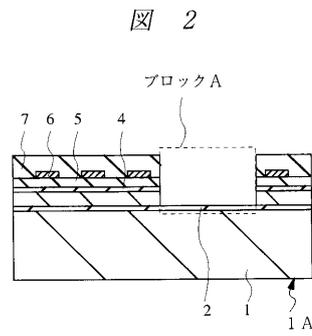
【 図 1 】



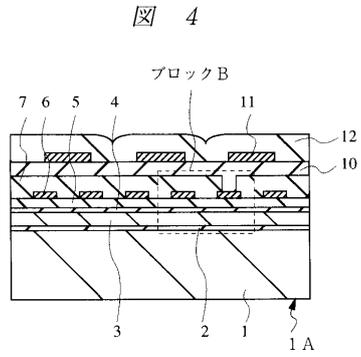
【 図 3 】



【 図 2 】



【 図 4 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/768

H01L 21/31

H01L 21/316

H01L 27/12