



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I593031 B

(45) 公告日：中華民國 106 (2017) 年 07 月 21 日

(21) 申請案號：104114956

(22) 申請日：中華民國 98 (2009) 年 11 月 20 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L23/60 (2006.01)

(30) 優先權：2008/12/19 日本

2008-323589

(71) 申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)  
日本(72) 發明人：戶羽健夫 TOBA, TAKEO (JP) ; 田中一雄 TANAKA, KAZUO (JP) ; 石塚裕康  
ISHIZUKA, HIROYASU (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200735277

US 20080169486

審查人員：邱智強

申請專利範圍項數：11 項 圖式數：23 共 44 頁

(54) 名稱

半導體積體電路裝置

(57) 摘要

本發明之課題係於 PAD on I/O 單元結構中，將墊片引出部之佈局配置於 I/O 部之大致中心，而削減半導體晶片之佈局面積。其解決方法為：於 I/O 部 5 中，將電晶體 8 佈局於最靠近半導體晶片之周邊部的位置。於該電晶體 8 之上方佈局有電阻 12，且於電阻 12 之上方佈局有二極體 10、11。於二極體 10、11 之上方佈局有電晶體 9，且於電晶體 9 之上方例如夾著形成於金屬配線層上之墊片引出部 5a 而佈局有邏輯部 6。藉此，可將墊片 2 至電晶體 9 之汲極作為同一節點，因此可將墊片引出部 5a 佈局於 I/O 部 5 之大致中央。

指定代表圖：

符號簡單說明：

2、2a . . . 墊片

5 . . . I/O 部

5a . . . 墊片引出部

6 . . . 邏輯部

7 . . . 輸出緩衝部

8 . . . 電晶體

9 . . . 電晶體

10、11 . . . 二極體

12 . . . 電阻

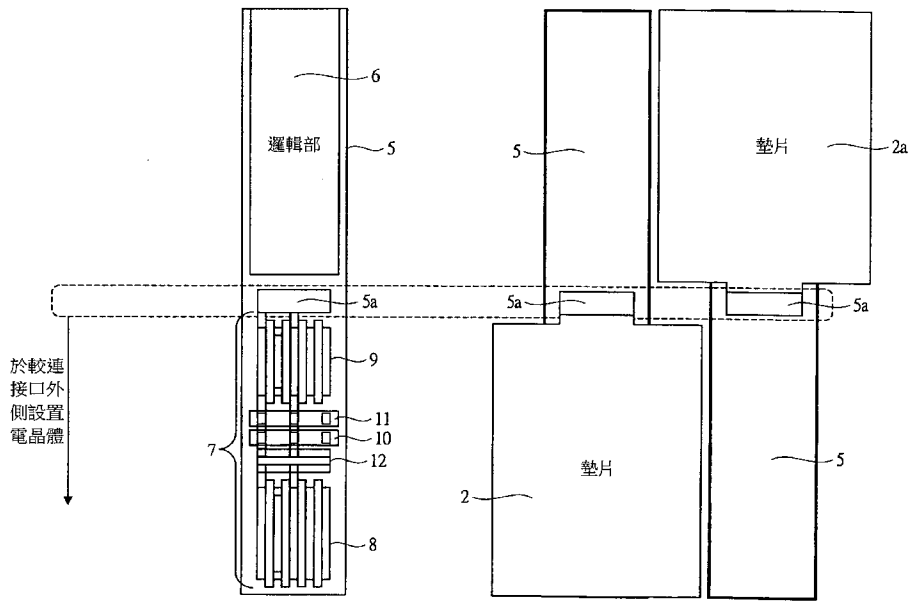


圖 12

## 發明摘要

※ 申請案號： 104114956 (由 98139554 分割)

※ 申請日： 98.11.20 ※IPC 分類：H01L 21/60 (2006.01)

## 【發明名稱】

H01L 23/60 (2006.01)

半導體積體電路裝置

## 【中文】

本發明之課題係於PAD on I/O單元結構中，將墊片引出部之佈局配置於I/O部之大致中心，而削減半導體晶片之佈局面積。其解決方法為：於I/O部5中，將電晶體8佈局於最靠近半導體晶片之周邊部的位置。於該電晶體8之上方佈局有電阻12，且於電阻12之上方佈局有二極體10、11。於二極體10、11之上方佈局有電晶體9，且於電晶體9之上方例如夾著形成於金屬配線層上之墊片引出部5a而佈局有邏輯部6。藉此，可將墊片2至電晶體9之汲極作為同一節點，因此可將墊片引出部5a佈局於I/O部5之大致中央。

## 【英文】

無

**【代表圖】**

**【本案指定代表圖】：**第（ 12 ）圖。

**【本代表圖之符號簡單說明】：**

2、2a	墊片
5	I/O部
5a	墊片引出部
6	邏輯部
7	輸出緩衝部
8	電晶體
9	電晶體
10、11	二極體
12	電阻

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

（無）

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體積體電路裝置

## 【技術領域】

本發明係關於半導體裝置之相關晶片面積之削減技術，尤其係關於對PAD on I/O(Input/Output)單元結構之佈局面積之削減有效的技術。

## 【先前技術】

近年來，由半導體積體電路裝置之低成本化及小型化等之要求，縮小半導體晶片之尺寸之成本削減正在進展。為減小晶片尺寸，必須削減所搭載之各零件之佈局面積。

因此，作為佈局面積削減技術之一，例如已知有將連接接合線等之墊片重疊於與外部之介面的I/O單元之所謂的PAD on I/O單元之結構。

## 【發明內容】

[發明所欲解決之問題]

然而，本發明者發現如上述之PAD on I/O單元技術有以下問題點。

I/O單元之輸出緩衝部係例如包含P通道MOS之電晶體與N通道MOS之電晶體之輸出緩衝部，且其係包含ESD(Electro Static Discharge：靜電放電)保護用之第1及第2二極體、第1及第2電阻、及ESD保護電路。

ESD保護用之第1及第2二極體係串聯連接於電源電壓與基準電位之間。於P通道MOS之電晶體之一方的連接部連接有電源電壓，且於

該電晶體之另一方之連接部連接有第1電阻之一方的連接部。

於該第1電阻之另一方之連接部連接有第2電阻之一方之連接部，且於該第2電阻之另一方之連接部連接有N通道MOS之電晶體之一方的連接部。

於N通道MOS之電晶體之另一方之連接部連接有基準電位。ESD保護電路係連接於電源電壓與基準電位之間，於第1二極體與第2二極體、及第1電阻與第2電阻之連接部係連接有墊片。

墊片由於受到接合線之接合時之侷限等而難以小型化，為充分實現晶片面積之削減的效果，以將墊片與I/O單元之重疊部分最大化為理想。

然而，上述電路構成中，由於墊片係與第1及第2電阻之連接部連接，因此與墊片連接之引出部只能配置於該2個電阻之間，其結果便產生墊片被佈局為從I/O單元露出而導致晶片面積削減之效果減小之問題。

又，隨著近年來之製程之細微化，配線電阻變為高電阻，甚至ESD保護電路之配線電阻亦增高。因此會導致ESD保護電路之放電特性降低，使ESD電湧經由遠離該ESD保護電路而配置之N通道MOS之電晶體等而對基準電位放電，有招致元件破壞之虞。

再者，亦考慮在配線電阻增高之部分，增加ESD保護電路之個數來保護元件，但該情形有晶片面積增大之問題。

本發明之目的在於提供一種在PAD on I/O(Input/Output)單元結構中，藉由將墊片引出部之佈局配置於I/O部之大致中心，可削減半導體晶片之佈局面積的技術。

關於本發明之上述及其他之目的與新穎之特徵，可由本說明書之記述及添加圖式瞭解。

[解決問題之技術手段]

以下簡單說明本申請案所揭示之發明中具代表性者之概要。

本發明之半導體積體電路裝置具備半導體晶片，該半導體晶片包括：沿半導體晶片之邊配置之複數之I/O墊片，及配置於半導體晶片且與任意之I/O墊片連接之複數之I/O部；該I/O部包含：具備作為輸出緩衝之N通道電晶體、及P通道電晶體，且為將信號輸出於外部時之介面之輸出緩衝部，及控制輸出緩衝部及輸入緩衝部之邏輯部；I/O部係以邏輯部、N通道電晶體、及P通道電晶體之順序朝半導體晶片之邊佈局；於邏輯部與N通道電晶體之間形成與I/O墊片連接之墊片引出部。

又，本發明之上述N通道電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成導電膜，而形成為使N通道電晶體之汲極端子成為高電阻。

再者，本發明之上述輸出緩衝部具備ESD保護用之第1及第2二極體，且第1及第2二極體係佈局於N通道電晶體與P通道電晶體之間。

又，本發明之上述輸出緩衝部具備ESD保護用之電阻，且上述電阻係佈局於第1及第2二極體與P通道電晶體之間。

再者，本發明之上述P通道電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成導電膜，而形成為使P通道電晶體之汲極端子成為高電阻。

且，以下簡單說明本申請案之其他發明之概要。

本發明之半導體積體電路裝置具備半導體晶片，該半導體晶片包括：沿半導體晶片之邊配置之複數之I/O墊片，及配置於該半導體晶片且與任意之I/O墊片連接之複數之I/O部；該I/O部包含：具備作為輸出緩衝之N通道電晶體、及P通道電晶體，且為將信號輸出於外部時之介面之輸出緩衝部，及含有作為輸入來自外部之信號時之介面之輸入緩衝部，且控制輸出緩衝部及輸入緩衝部之邏輯部；I/O部係以

邏輯部、P通道電晶體、及N通道電晶體之順序以直線狀佈局；於邏輯部與P通道電晶體之間形成與I/O墊片連接之墊片引出部。

又，本發明之上述N通道電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成導電膜，而形成為使N通道電晶體之汲極端子成為高電阻。

再者，本發明之上述輸出緩衝部具備ESD保護用之第1及第2二極體，且上述第1及上述第2二極體係佈局於N通道電晶體與P通道電晶體之間。

又，本發明之上述輸出緩衝部具備ESD保護用之電阻，且上述電阻係佈局於第1及第2二極體與P通道電晶體之間。

再者，本發明之上述P通道電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成導電膜，而形成為使P通道電晶體之汲極端子成為高電阻。

#### [發明之效果]

以下簡單說明本申請案所揭示之發明中根據具代表性者獲得之效果。

(1) 可減少輸出緩衝部之保護電路之元件構成。

(2) 可大幅削減由I/O部露出之墊片之面積，且可減小半導體晶片之晶片面積。

(3) 藉由上述(1)、(2)，可實現半導體積體電路裝置之小型化及低成本化。

#### 【圖式簡單說明】

圖1係顯示本發明之實施形態1之半導體晶片之佈局圖的說明圖；

圖2係將圖1之半導體晶片之墊片與I/O區域之一部分放大之說明圖；



圖3係顯示設於圖1之半導體晶片之I/O部之一例的佈局圖；

圖4係顯示設於圖3之I/O部之輸出緩衝部之構成例的電路圖；

圖5係圖3之I/O部之上方形成於配線層之周圍電源配線的佈局圖；

圖6係連接於圖3之I/O部之墊片的佈局圖；

圖7係顯示圖3之I/O部之剖面的說明圖；

圖8係顯示設於圖3之輸出緩衝部之電晶體之平面及剖面的說明圖；

圖9係本發明者所探討之一般之I/O部的電路圖；

圖10係圖9之I/O部之輸出緩衝部的佈局圖；

圖11係本實施形態1之I/O部與本發明者所探討之一般之I/O部的佈局比較圖；

圖12係顯示本實施形態1之I/O部與墊片之佈局關係的說明圖；

圖13係顯示本發明之另一實施形態之I/O部之一例的佈局圖；

圖14係顯示本發明之另一實施形態之I/O部之另一例的佈局圖；

圖15係顯示本發明之實施形態2之輸出緩衝部之一例的電路圖；

圖16係顯示圖15之輸出緩衝部之佈局例之說明圖；

圖17係顯示本發明之另一實施形態之I/O部之一例的佈局圖；

圖18係顯示本發明之另一實施形態之I/O部之另一例的佈局圖；

圖19係顯示本發明之另一實施形態之I/O部之一例的佈局圖；

圖20係顯示本發明之另一實施形態之I/O部之另一例的佈局圖；

圖21係顯示本發明之實施形態3之輸出緩衝部之一例的電路圖；

圖22係顯示圖21之輸出緩衝部之佈局例之說明圖；及

圖23係顯示本發明之另一實施形態之輸出緩衝部之一例的佈局圖。

## 【實施方式】

以下茲根據圖式詳細說明本發明之實施形態。另，用以說明實施形態之所有圖中，對於相同之構件原則上係賦與相同之符號，並省略其重複說明。

(實施形態1) 圖1係顯示本發明之實施形態1之半導體晶片之佈局圖的說明圖，圖2係將圖1之半導體晶片之墊片與I/O區域之一部分放大之說明圖，圖3係顯示設於圖1之半導體晶片之I/O部之一例的佈局圖，圖4係顯示設於圖3之I/O部之輸出緩衝部之構成例的電路圖，圖5係圖3之I/O部之上方形成於配線層之周圍電源配線的佈局圖，圖6係連接於圖3之I/O部之墊片的佈局圖，圖7係顯示圖3之I/O部之剖面的說明圖，圖8係顯示設於圖3之輸出緩衝部之電晶體之平面及剖面的說明圖，圖9係本發明者所探討之一般之I/O部的電路圖，圖10係圖9之I/O部之輸出緩衝部的佈局圖，圖11係本實施形態1之I/O部與本發明者所探討之一般之I/O部的佈局比較圖，圖12係顯示本實施形態1之I/O部與墊片之佈局關係的說明圖。

本實施形態1中，設於半導體積體電路裝置之半導體晶片1，如圖1所示，係於4個周邊部例如以直線狀分別配置有連接接合線等之複數的墊片2。

成為I/O墊片之墊片2之內側(半導體晶片1之中心側)係以直線狀分別配置有成為相同I/O墊片之複數的墊片2a，該等墊片2及墊片2a係以2行之交錯狀而佈局。

又，半導體晶片1係於墊片2、2a之下方佈局有與外部之介面之I/O區域3，成為所謂PAD on I/O部結構。且，中心區域4係位於半導體晶片1之中央，該中心區域4係形成有根據電晶體等之半導體元件之邏輯。

圖2係將PAD on I/O部結構之墊片2、2a與I/O區域3之一部分(用圖1之虛線表示之區域)放大的說明圖。

I/O區域3之複數之I/O部5係以一行佈局於半導體晶片1之邊方向，該等上方係以2行佈局有交錯狀之墊片2、2a。I/O部5及墊片2、2a分別係由長方形狀構成，且墊片2、2a之長邊例如分別係I/O部5之長邊的約一般左右之長度。

各I/O部5之一方之短邊側係形成有墊片引出部5a，且介以該墊片引出部5a分別連接有I/O部5與對應之墊片2(或墊片2a)之中央部。

圖3係顯示I/O部5之一例的佈局圖，圖4係顯示設於圖3之I/O部5之輸出緩衝部7之構成例的電路圖。

如圖3所示，I/O部5係包含邏輯部6及輸出緩衝部7。邏輯部6例如係包含ESD保護電路6a(顯示於圖4)、成為輸入用緩衝之輸入緩衝部、轉換電壓位準之位準轉換器、及於輸出緩衝部7輸出驅動信號之變換器等。

又，如圖4所示，輸出緩衝部7係包含輸出緩衝用之電晶體8、9、ESD保護用之二極體10、11、及相同之ESD保護用之電阻12。電晶體8例如係包含P通道MOS，電晶體9例如係包含N通道MOS。

二極體10、11係串聯連接於電源電壓VCCQ與基準電位VSSQ之間。電晶體8之一方之連接部係連接有電源電壓VCCQ，且該電晶體8之另一方之連接部係連接有電阻12之一方之連接部。

電阻12之另一方之連接部係連接有電晶體9之一方之連接部，且該電晶體9之另一方之連接部係連接有基準電位VSSQ。又，連接有第1二極體之二極體10與第2二極體之二極體11之連接部、及電阻12之另一方之連接部與電晶體9之一方之連接部的連接部係輸出緩衝部7之輸出部，其成為連接墊片2(或墊片2a)之構成。

且，如圖3所示，I/O部5中電晶體8係佈局於最靠近半導體晶片1之周邊部的位置。且，電晶體8之上方係佈局有電阻12，電阻12之上方係佈局有二極體10、11。

二極體 10、11 之上方係佈局有電晶體 9，且電晶體 9 之上方例如係夾著金屬配線層上形成之墊片引出部 5a 而佈局有邏輯部 6。

圖 5 係圖 3 之 I/O 部 5 之上方所形成之周圍電源配線的佈局圖。

周圍電源配線從圖 5 之上方向下方，依序有中心電源電壓用周圍配線 13、中心基準電位用周圍配線 14、I/O 用電源電壓周圍配線 15、及 I/O 用基準電位周圍配線 16 形成於邏輯部 6 之上方。且，夾著墊片引出部 5a，於輸出緩衝部 7 之上方形形成有 I/O 用基準電位周圍配線 17 及 I/O 用電源電壓周圍配線 18。

中心電源電壓用周圍配線 13 係於中心區域 4 供給電源電壓，且中心基準電位用周圍配線 14 係於中心區域 4 供給基準電位。I/O 用電源電壓周圍配線 15、18 係於 I/O 部 5 供給電源電壓 VCCQ，且 I/O 用基準電位周圍配線 16、17 係供給基準電位 VSSQ。

圖 6 係連接於圖 3 之 I/O 部 5 之墊片 2 的佈局圖。

該墊片 2 在以交錯狀排列之墊片 2 中係顯示為外側(半導體晶片 1 之周邊部側)之墊片 2，且該墊片 2 係佈局為不從位置於半導體晶片 1 之周邊部側之 I/O 部 5 的短邊側露出之程度。

圖 7 係顯示圖 3 之 I/O 部 5 之剖面的說明圖。

最下部之元件形成層，由圖 7 之上方向下方依序分別形成邏輯部 6 及輸出緩衝部 7 之電晶體 9、二極體 11、二極體 10、電阻 12、及電晶體 8。

且，位置於元件形成層之上方之配線層，由圖 7 之左側向右側依序分別形成中心電源電壓用周圍配線 13、中心基準電位用周圍配線 14、I/O 用電源電壓周圍配線 15、I/O 用基準電位周圍配線 16、I/O 用基準電位周圍配線 17、及 I/O 用電源電壓周圍配線 18。

且，墊片形成層分別形成有墊片引出部 5a 及墊片 2。該等墊片引出部 5a 及墊片 2 係以位置於元件形成層上形成之輸出緩衝部 7 之上方的

方式而形成。

此處，電晶體9(顯示於圖4之虛線圈)係製造為以該電晶體9之汲極為高電阻之方式而不於擴散層形成導電膜。

圖8係顯示電晶體9之平面及剖面之說明圖。

電晶體9例如係於半導體基板上形成有P-WELL 19，且於該P-WELL 19之上方之左右係分別形成有作為汲極發揮功能之N+型半導體區域20與作為源極發揮功能之N+型半導體區域21。

N+型半導體區域21之上部係導電膜，例如形成有包含鈷矽化物或鎳矽化物等之金屬矽化物22。另一方面，N+型半導體區域20之上部亦形成有金屬矽化物23，但該金屬矽化物23並非如N+型半導體區域21於整面形成，而係僅形成於連接上方之配線層上所形成之配線24連接之通道25的一部分的區域。

與於N+型半導體區域20之整面形成金屬矽化物之情形比較，例如，可獲得約10倍~約50倍左右之薄膜電阻值之增加。且，P-WELL 19之上方介以氧化矽等之絕緣膜而形成有閘極26。

如此，藉由於N+型半導體區域20之上部之一部分不形成金屬矽化物23，可使汲極端子具有高電阻，且可保護電晶體9不受到ESD放電等之影響。

圖9係本發明者所探討之一般之I/O部50的電路圖。

如圖示，I/O部50(顯示於圖10)係包含邏輯部51(顯示於圖10)、及輸出緩衝部52。邏輯部51例如係包含ESD保護電路、成為輸入用緩衝部之輸入緩衝部、轉換電壓位準之位準轉換器、及於輸出緩衝部52輸出驅動信號之變換器等。

又，輸出緩衝部52係包含輸出緩衝用之電晶體53、54、ESD保護用之二極體55、56、及相同之ESD保護用之電阻57、58。

電晶體53例如係包含P通道MOS，且電晶體54係包含N通道

MOS。二極體55、56係串聯連接於電源電壓VCCQ與基準電位VSSQ之間。

電晶體53之一方之連接部係連接有電源電壓VCCQ，且該電晶體53之另一方之連接部係連接有電阻57之一方之連接部。電阻57之另一方之連接部係連接有電阻58之一方之連接部，且該電阻58之另一方之連接部係連接有電晶體54之一方之連接部。

該電晶體54之另一方之連接部係連接有基準電位VSSQ。且，二極體55與二極體56之連接部及電阻53與電阻54之連接部係連接有墊片59，且成為輸出緩衝部52之輸出部。

又，圖10係圖9之I/O部50之輸出緩衝部52之佈局圖。

I/O部50係於圖上方佈局有邏輯部51，且於該邏輯部51之下方佈局有輸出緩衝部52之電晶體54。電晶體54之下方佈局有電阻58，且該電阻58之下方佈局有二極體56。

二極體56之下方係夾著墊片引出部59而佈局有二極體55。二極體55之下方佈局有電阻57，且該電阻57之下方佈局有電晶體53。

如此之電路構成係僅能將連接墊片60之墊片引出部59配置於電阻57與電阻58之間，其結果，由於墊片引出部59係由I/O部50之中央部錯位而配置，因此如圖11之左側所示，其係從I/O部50之短邊側露出而佈局。故半導體晶片尺寸增大。

另一方面，I/O部5之情形，係藉由圖8所示之電晶體9之構成而不需要相當於電阻58之電阻，且可將墊片2(或墊片2a)至電晶體9之汲極作為同一節點，因此如圖11之右側所示，可將墊片引出部5a佈局於I/O部5之大致中央。

藉由將墊片引出部5a佈局於I/O部5之大致中央，如圖12所示，以交錯狀配置之墊片2中，外側(半導體晶片1之周邊部側)之墊片2可於半導體晶片1之中心方向移動而配置，且比墊片2更靠半導體晶片1之

中心側而配置之內側的墊片2a可於半導體晶片1之外周部方向移動而配置。

因此，無需減小墊片2、2a之大小即可將墊片2、2a以不從I/O部5露出之方式佈局。

又，藉由於電晶體8與電晶體9之間配置二極體10、11及電阻12，可將電晶體8與電晶體9之距離拉開而佈局，因此可防止寄生晶閘管(SCR)之封閉，且可提高可靠性。

藉此，根據本實施形態1可更加減小輸出緩衝部7之保護電路之構成。

又，由於能以不從I/O部5露出之方式將墊片2、2a重疊佈局，因此可減小半導體晶片1之晶片面積，從而實現半導體積體電路裝置之小型化、及低成本化。

再者，本實施形態1中記載輸出緩衝部7係從圖3之上方向下方，以電晶體9、二極體11、二極體10、電阻12、及電晶體8之順序佈局的情形，但亦可更改該等元件之佈局。

輸出緩衝部之佈局亦可例如係如圖13所示，從上方向下方之順序為二極體11、二極體10、電晶體9、電阻12、及電晶體8，或如圖14所示，從上方向下方之順序為二極體10、電晶體9、二極體11、電阻12、及電晶體8等。

(實施形態2) 圖15係顯示本發明之實施形態2之輸出緩衝部之一例的電路圖，圖16係顯示圖15之輸出緩衝部之佈局例之說明圖。

本實施形態2之半導體晶片1係與上述實施形態之圖1相同，而不同點為設於I/O部5之輸出緩衝部7之構成。輸出緩衝部7如圖15所示，係包含二極體10、11及電晶體8a、9。

二極體10、11係串聯連接於電源電壓VCCQ與基準電位VSSQ之間。於包含P通道MOS之電晶體8a之一方之連接部係連接有電源電壓

VCCQ，且於該電晶體8a之另一方之連接部係連接有包含N通道MOS之電晶體9之一方的連接部。

電晶體9之另一方之連接部係連接有基準電位VSSQ，且二極體10與二極體11之連接部、及電晶體8a與電晶體9之連接部係成為輸出緩衝部7之輸出部，成為連接墊片2、2a之構成。

該情形，不僅電晶體9，電晶體8a亦可藉由於作為汲極發揮功能之N+型半導體區域之上面的一部分不形成金屬矽化物，而成為使汲極端子具有高電阻之結構。

藉此可使電晶體8a之汲極端子具有電阻12(圖4)之功能，因此可不需要電阻12。

圖16係顯示I/O部5之佈局之一例的說明圖。

I/O部5係於圖16之上方佈局邏輯部6，且於該邏輯部6之下方夾著墊片引出部5a而佈局電晶體9。於電晶體9之下方佈局有二極體10、11，且於其下方係佈局有電晶體8a。

該情形亦可將墊片引出部5a佈局於I/O部5之大致中央，且可減小半導體晶片1(圖1)之晶片面積。又，由於亦可不需要電阻12(圖4)，因此可更加減小輸出緩衝部7之電路構成。

又，輸出緩衝部7之佈局，除圖16所示之佈局以外，例如亦可為如圖17所示，將二極體11、10佈局於電晶體8a與電晶體9之間，或如圖18所示，將電晶體8a與電晶體9佈局為與圖16相反之構成。

再者，如圖19所示，輸出緩衝部7係佈局為使二極體11、10與電晶體9夾著墊片引出部5a，如圖20所示，亦可以使墊片引出部5a位在二極體11與二極體10之間之方式而佈局。

(實施形態3) 圖21係顯示本發明之實施形態3之輸出緩衝部之一例的電路圖，圖22係顯示圖21之輸出緩衝部之佈局例的說明圖。

本實施形態3之輸出緩衝部7，如圖21所示，係於包含二極體



10、11及電晶體8a、9之上述實施形態2之圖15的構成中再追加新電阻27而成之電路構成。

於電阻27之一方之連接部連接有二極體10、11之連接部，且於該電阻27之另一方之連接部連接有電晶體8a與電晶體9之連接部。又，其他連接構成係與上述實施形態2之圖15相同。

圖22係顯示I/O部5之佈局之一例的說明圖。

I/O部5係於圖22之上方佈局邏輯部6，且於該邏輯部6之下方夾著墊片引出部5a而分別佈局二極體11及二極體10。

於二極體10之下方佈局有電阻27，且於該電阻27之下方佈局有電晶體9，而於其下方佈局有電晶體8a。

該情形亦可將墊片引出部5a佈局於I/O部5之大致中央，而可減小半導體晶片1(圖1)之晶片面積。

又，輸出緩衝部7之佈局，除圖21所示之佈局以外，例如亦可為如圖23所示，將電晶體8a與電晶體9佈局為與圖21所示之佈局相反之構成。

以上根據實施形態具體說明了本發明者所完成之發明，但本發明並非限定於上述實施形態，當然亦可在不脫離其主旨之範圍內作各種更改。

[產業上之可利用性]

本發明係適用於具有PAD on I/O(Input/Output)單元結構之半導體積體電路裝置之晶片面積的削減技術。

#### 【符號說明】

1	半導體晶片
2	墊片
3	I/O區域
4	中心區域

5	I/O部
5a	墊片引出部
6	邏輯部
7	輸出緩衝部
8、8a	電晶體
9	電晶體
10、11	二極體
12	電阻
13	中心電源電壓用周圍配線
14	中心基準電位用周圍配線
15	I/O用電源電壓周圍配線
16	I/O用基準電位周圍配線
17	I/O用基準電位周圍配線
18	I/O用電源電壓周圍配線
19	P-WELL
20	N+型半導體區域
21	N+型半導體區域
22	金屬矽化物
23	金屬矽化物
24	配線
25	通道
26	閘極
27	電阻
50	I/O部
51	邏輯部
52	輸出緩衝部

53、54	電晶體
55、56	二極體
57、58	電阻
59	墊片引出部
60	墊片

## 申請專利範圍

1. 一種半導體積體電路裝置，其特徵在於：

其包含半導體晶片，且

上述半導體晶片包括：

沿上述半導體晶片之邊配置之複數之I/O墊片、及

配置於上述半導體晶片且與任意之上述I/O墊片連接之複數之I/O部；

上述I/O部包含：

包括第1傳導型電晶體及第2傳導型電晶體之輸出緩衝部、輸入緩衝部、及控制上述輸出緩衝部與上述輸入緩衝部之邏輯部，且

以上述邏輯部、上述第1傳導型電晶體、及上述第2傳導型電晶體之順序朝向上述半導體晶片之邊而佈局；

於上述邏輯部與上述第1傳導型電晶體之間形成與上述I/O墊片連接之墊片引出部；

上述第2傳導型電晶體之汲極端子係連接於上述第1傳導型電晶體之汲極端子；

上述墊片引出部係連接於上述第1傳導型電晶體之汲極端子與上述第2傳導型電晶體之汲極端子之連接節點；且

上述第1傳導型電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成金屬矽化物膜，而形成為使上述第1傳導型電晶體之汲極端子成為高電阻；

上述第2傳導型電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成金屬矽化物膜，而形成為使上述第2傳導型電晶體之汲極端子成為高電阻。

2. 如請求項1之半導體積體電路裝置，其中  
上述輸出緩衝部包含ESD保護用之第1及第2二極體；且  
上述第1及第2二極體係連接於上述第1傳導型電晶體之汲極端子與上述第2傳導型電晶體之汲極端子之連接節點，而佈局於上述第1傳導型電晶體與上述第2傳導型電晶體之間。
3. 如請求項1之半導體積體電路裝置，其中  
上述輸出緩衝部包含ESD保護用之第1及第2二極體；且  
上述第1及第2二極體係連接於上述墊片引出部與上述第2傳導型電晶體之汲極端子之連接節點，而佈局於上述第1傳導型電晶體與上述墊片引出部之間。
4. 如請求項1之半導體積體電路裝置，其中  
上述輸出緩衝部包含ESD保護用之第1及第2二極體；且  
上述第1及第2二極體係連接於上述第1傳導型電晶體之汲極端子與上述第2傳導型電晶體之汲極端子之連接節點，而佈局於上述邏輯部與上述墊片引出部之間。
5. 如請求項1之半導體積體電路裝置，其中  
上述輸出緩衝部包含ESD保護用之第1及第2二極體；且  
上述第1及第2二極體係連接於上述第1傳導型電晶體之汲極端子與上述第2傳導型電晶體之汲極端子之連接節點；  
上述第1二極體係佈局於上述邏輯部與上述墊片引出部之間；  
上述第2二極體係佈局於上述墊片引出部與上述第1傳導型電晶體之間。
6. 如請求項1至5之任一半導體積體電路裝置，其中  
上述第1傳導型電晶體係N通道電晶體，上述第2傳導型電晶體係P通道電晶體。
7. 如請求項1至5之任一半導體積體電路裝置，其中

上述第1傳導型電晶體係P通道電晶體，上述第2傳導型電晶體係N通道電晶體。

8. 一種半導體積體電路裝置，其特徵在於：

其包含半導體晶片，且

上述半導體晶片包括：

沿上述半導體晶片之邊配置之複數之I/O墊片、及

配置於上述半導體晶片且與任意之上述I/O墊片連接之複數之I/O部；

上述I/O部包含：

包括第1傳導型電晶體、第2傳導型電晶體及ESD保護用電阻的輸出緩衝部、

輸入緩衝部、及

控制上述輸出緩衝部及上述輸入緩衝部之邏輯部，

以上述邏輯部、上述第1傳導型電晶體、及上述第2傳導型電晶體之順序朝向上述半導體晶片之邊而佈局；

於上述邏輯部與上述第1傳導型電晶體之間形成與上述I/O墊片連接之墊片引出部；

上述ESD保護用電阻係連接於上述第1傳導型電晶體與上述第2傳導型電晶體之間；

上述第1傳導型電晶體之汲極端子與上述第2傳導型電晶體之汲極端子的連接部係經由上述ESD保護用電阻而連接於上述墊片引出部；且

上述第1傳導型電晶體係不於作為汲極發揮功能之半導體區域之主面的一部分形成金屬矽化物膜，而形成為使上述第1傳導型電晶體之汲極端子成為高電阻；

上述第2傳導型電晶體係不於作為汲極發揮功能之半導體區域

之主面的一部分形成金屬矽化物膜，而形成為使上述第2傳導型電晶體之汲極端子成為高電阻。

9. 如請求項8之半導體積體電路裝置，其中

上述輸出緩衝部包含ESD保護用之第1及第2二極體；且

上述第1及第2二極體係連接於上述ESD保護用電阻與上述墊片引出部之連接節點，而佈局於上述墊片引出部與上述ESD保護用電阻之間。

10. 如請求項8或9之半導體積體電路裝置，其中

上述第1傳導型電晶體係N通道電晶體，上述第2傳導型電晶體係P通道電晶體。

11. 如請求項8或9之任一半導體積體電路裝置，其中

上述第1傳導型電晶體係P通道電晶體，上述第2傳導型電晶體係N通道電晶體。

圖式

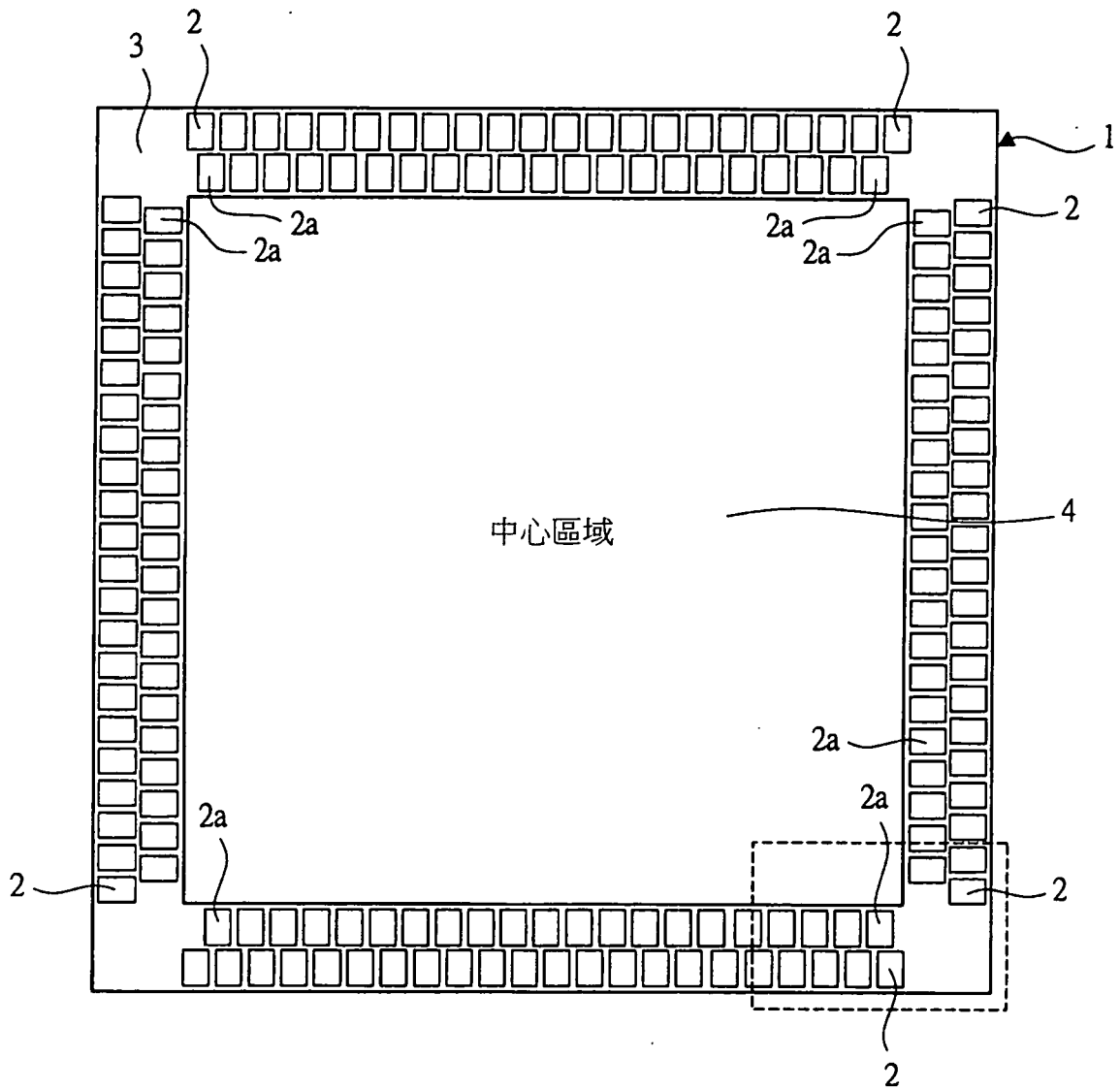


圖 1



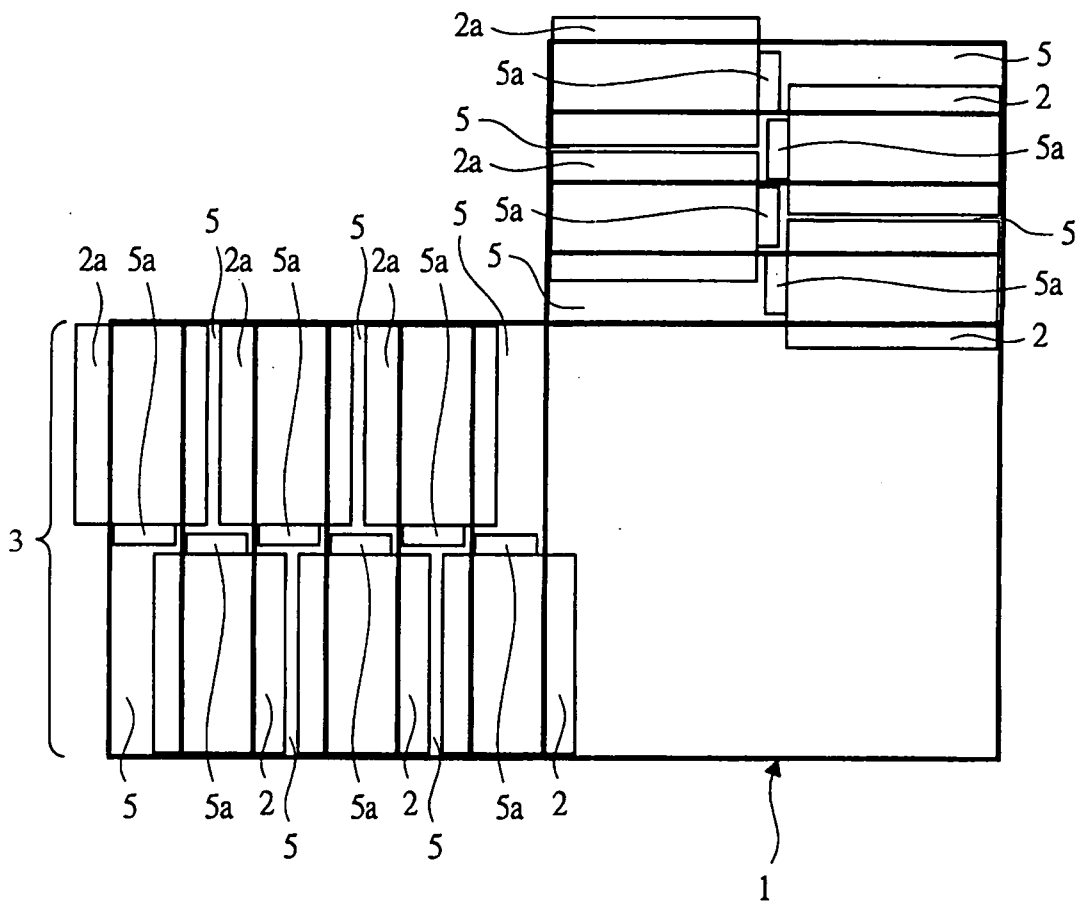


圖 2

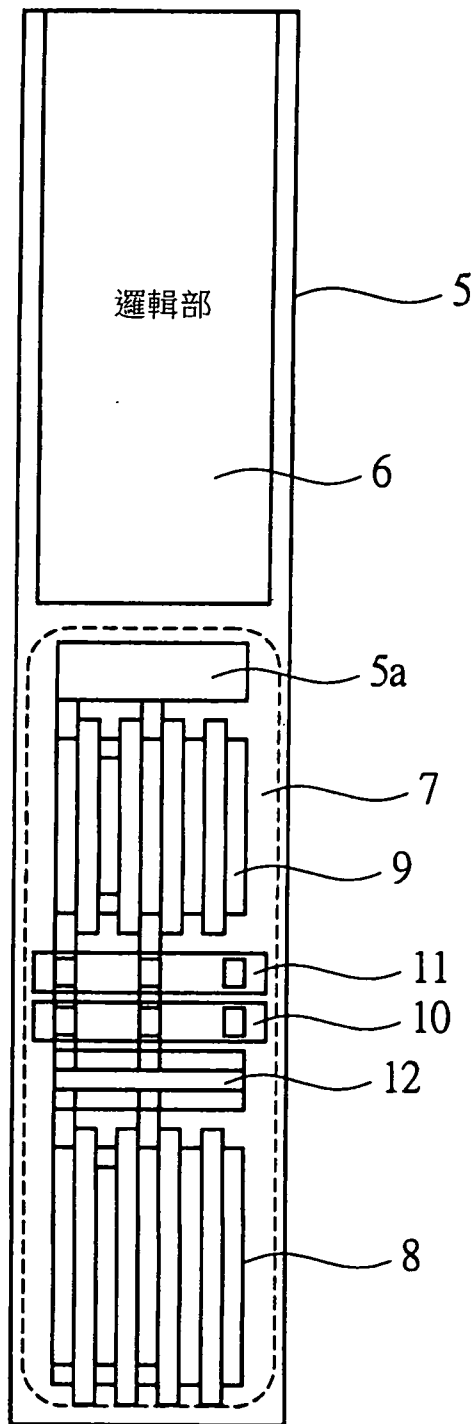


圖 3

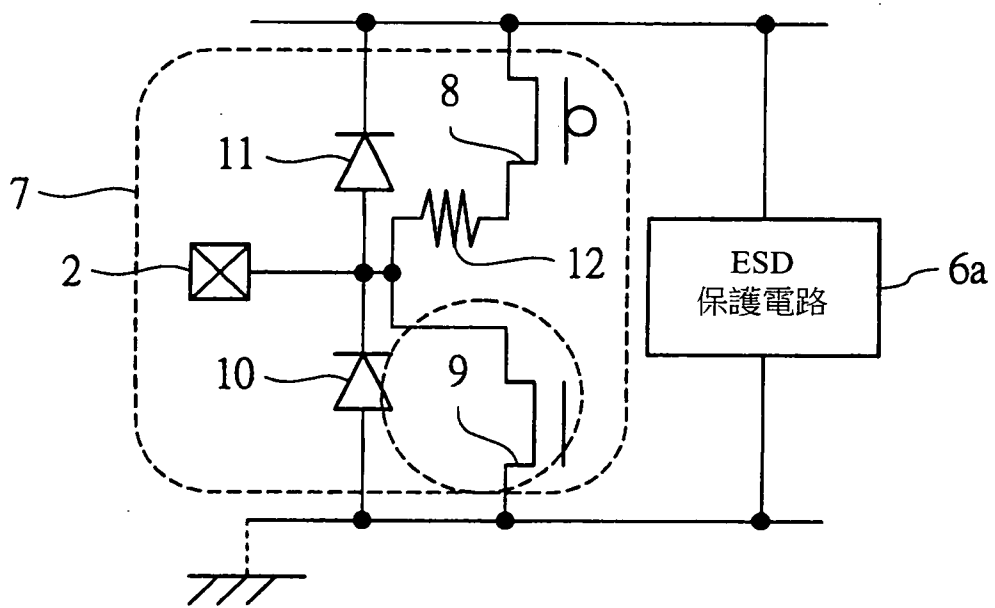


圖 4

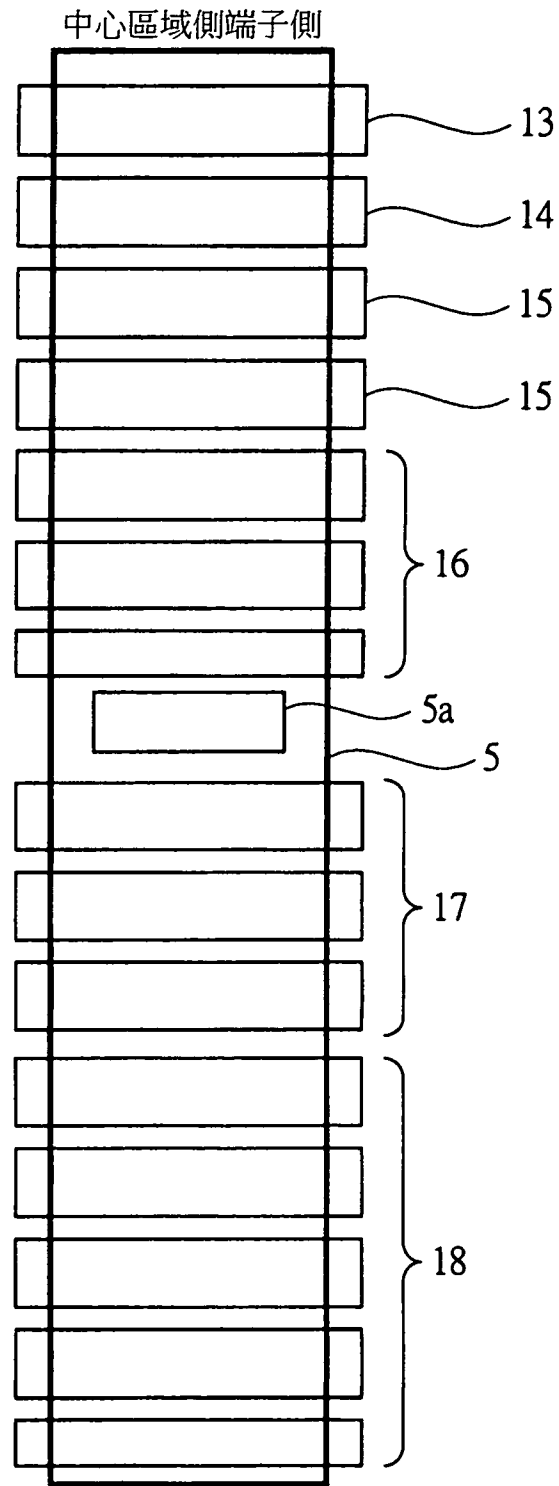


圖 5

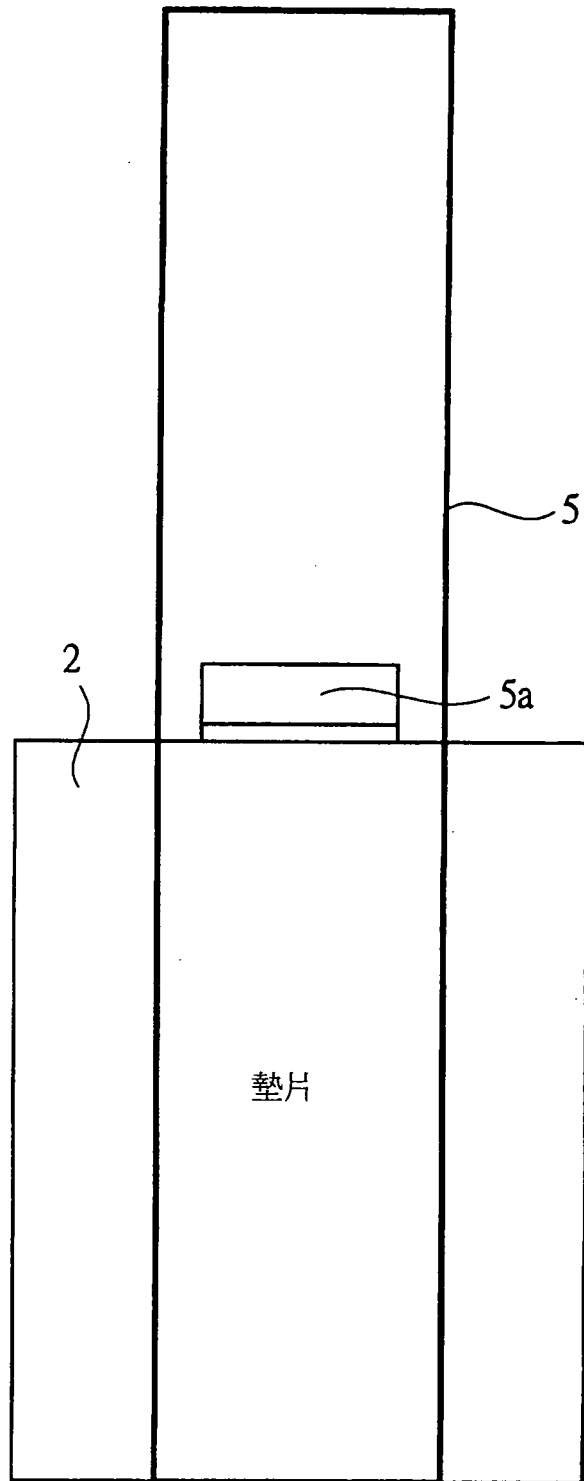


圖 6

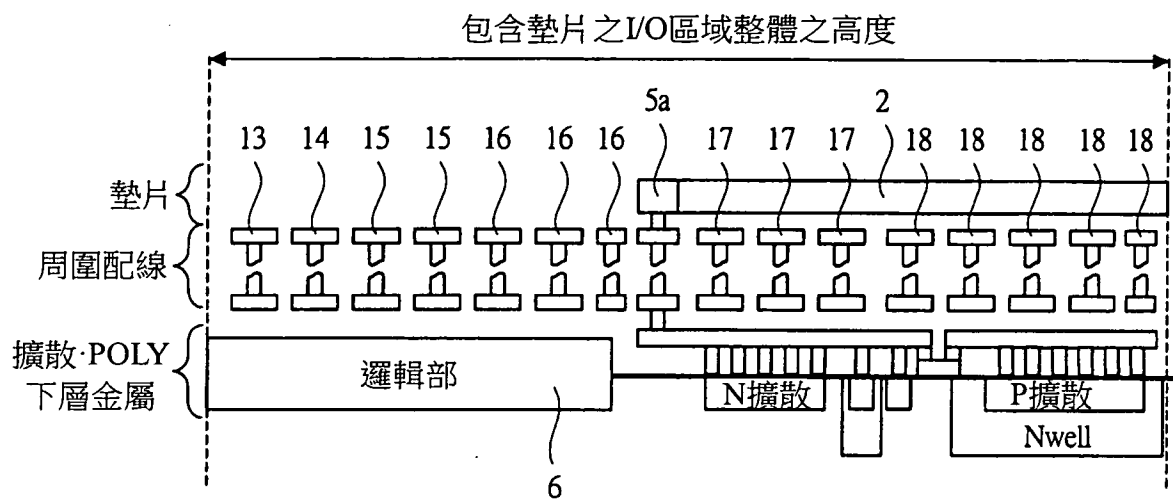


圖 7

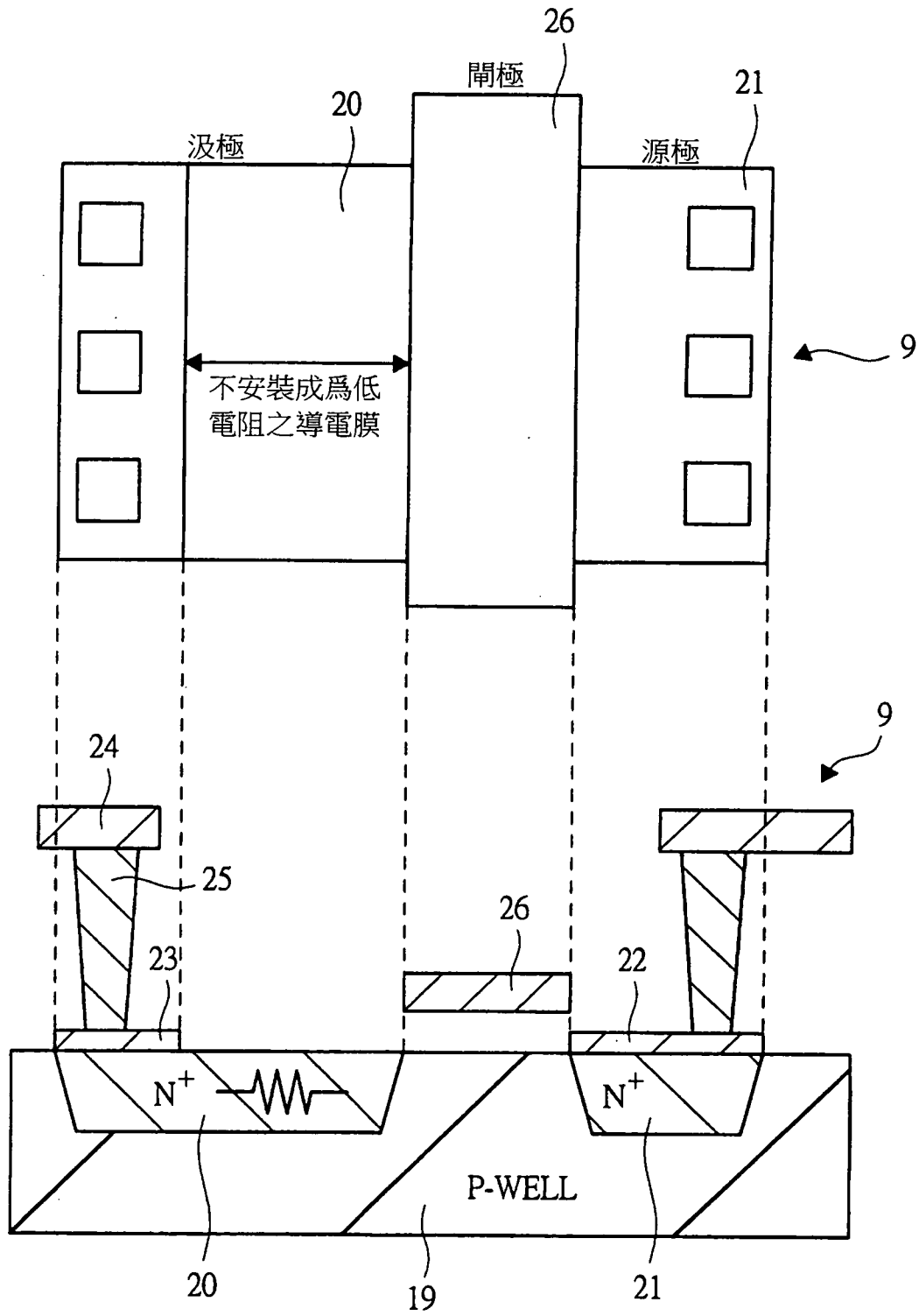


圖 8

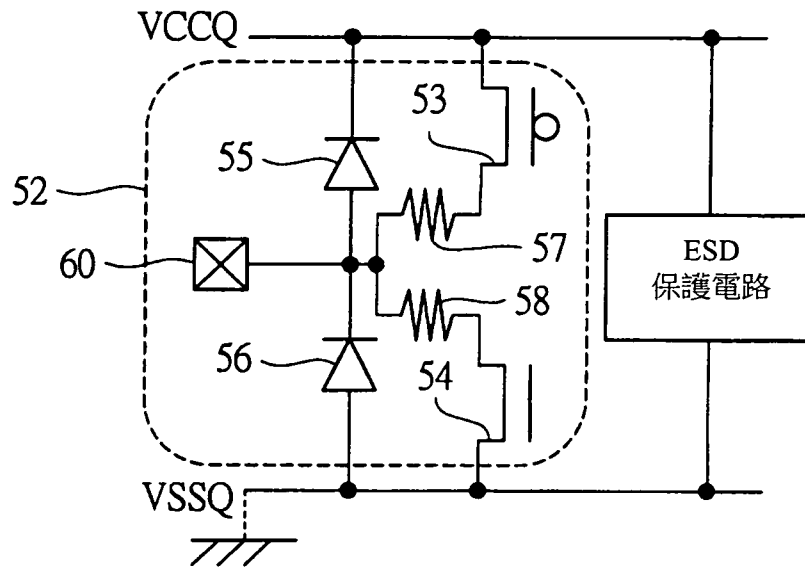


圖 9



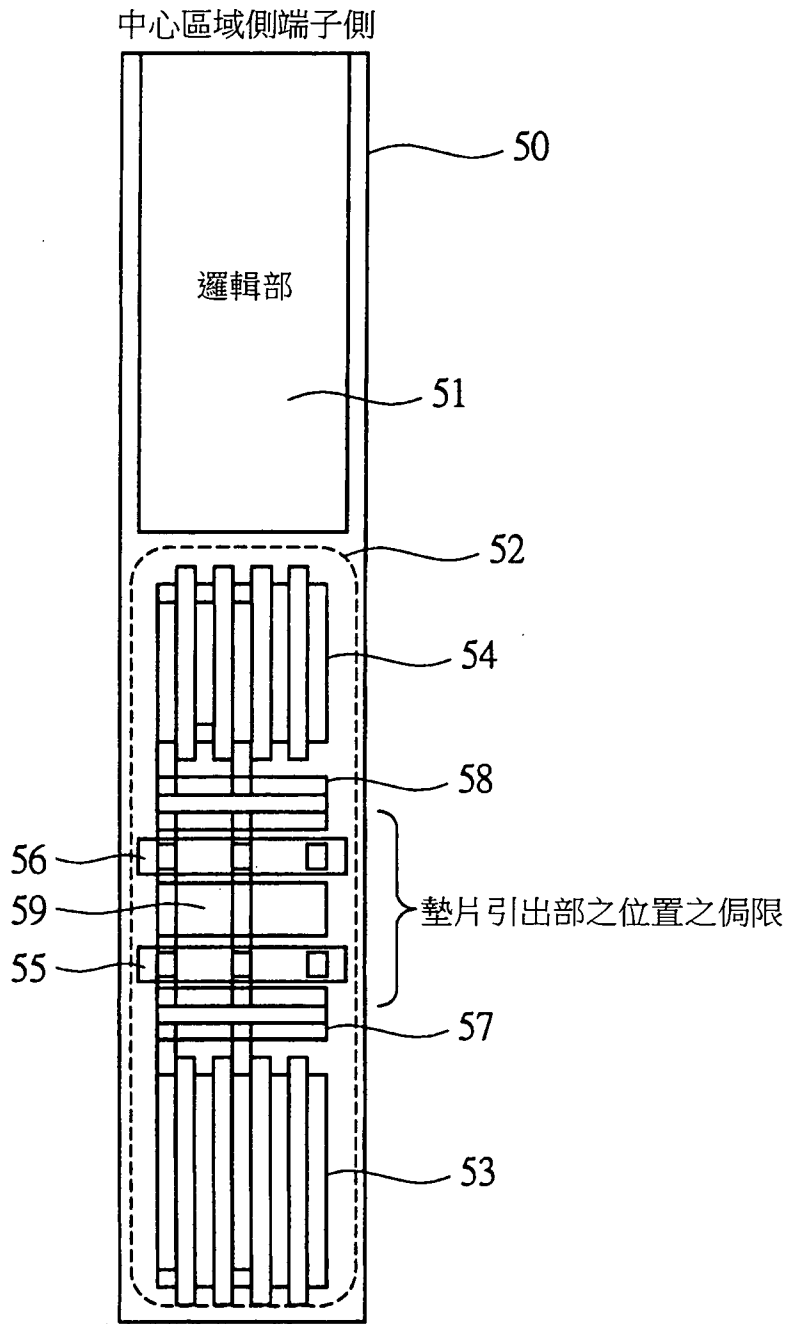


圖 10

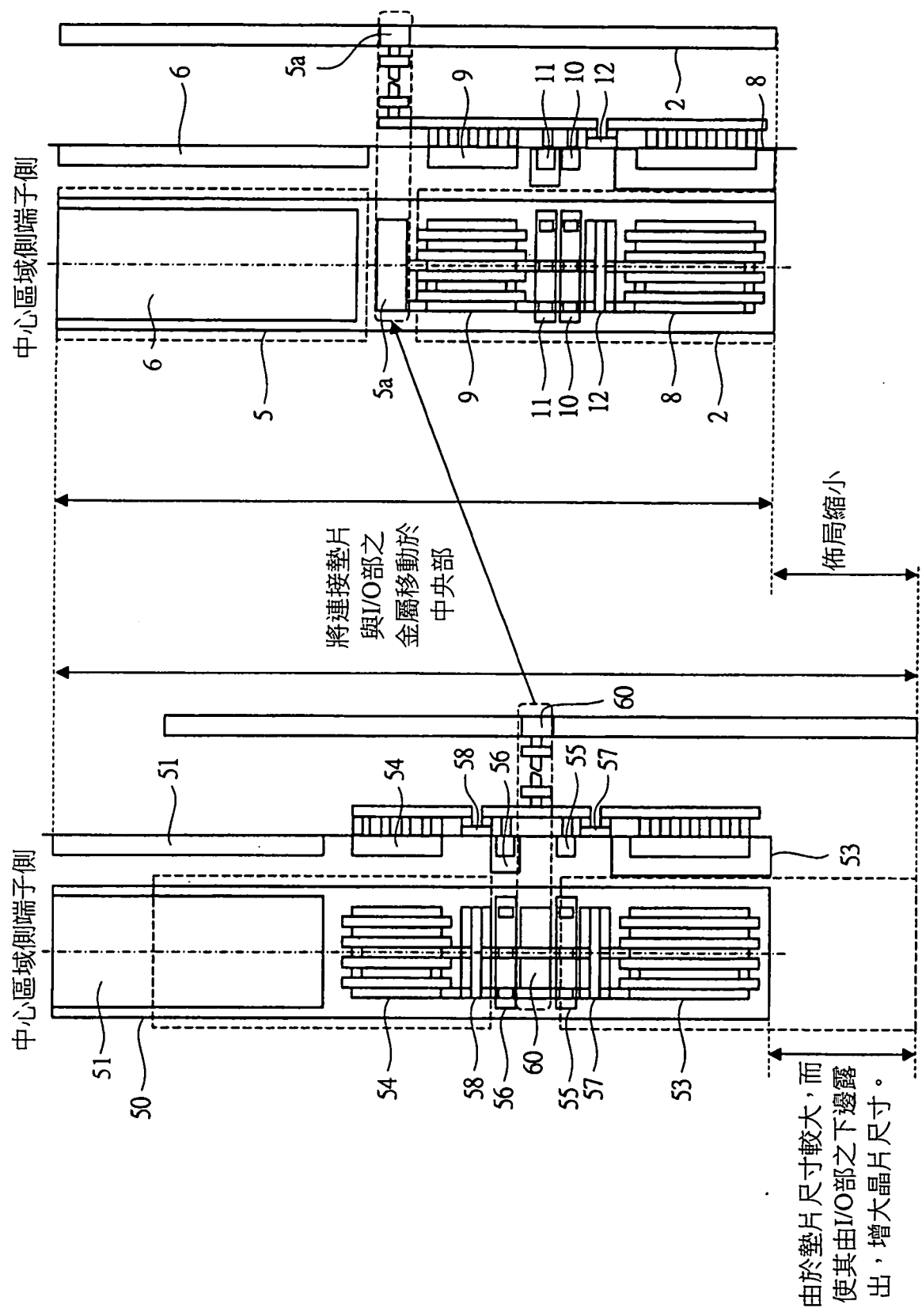
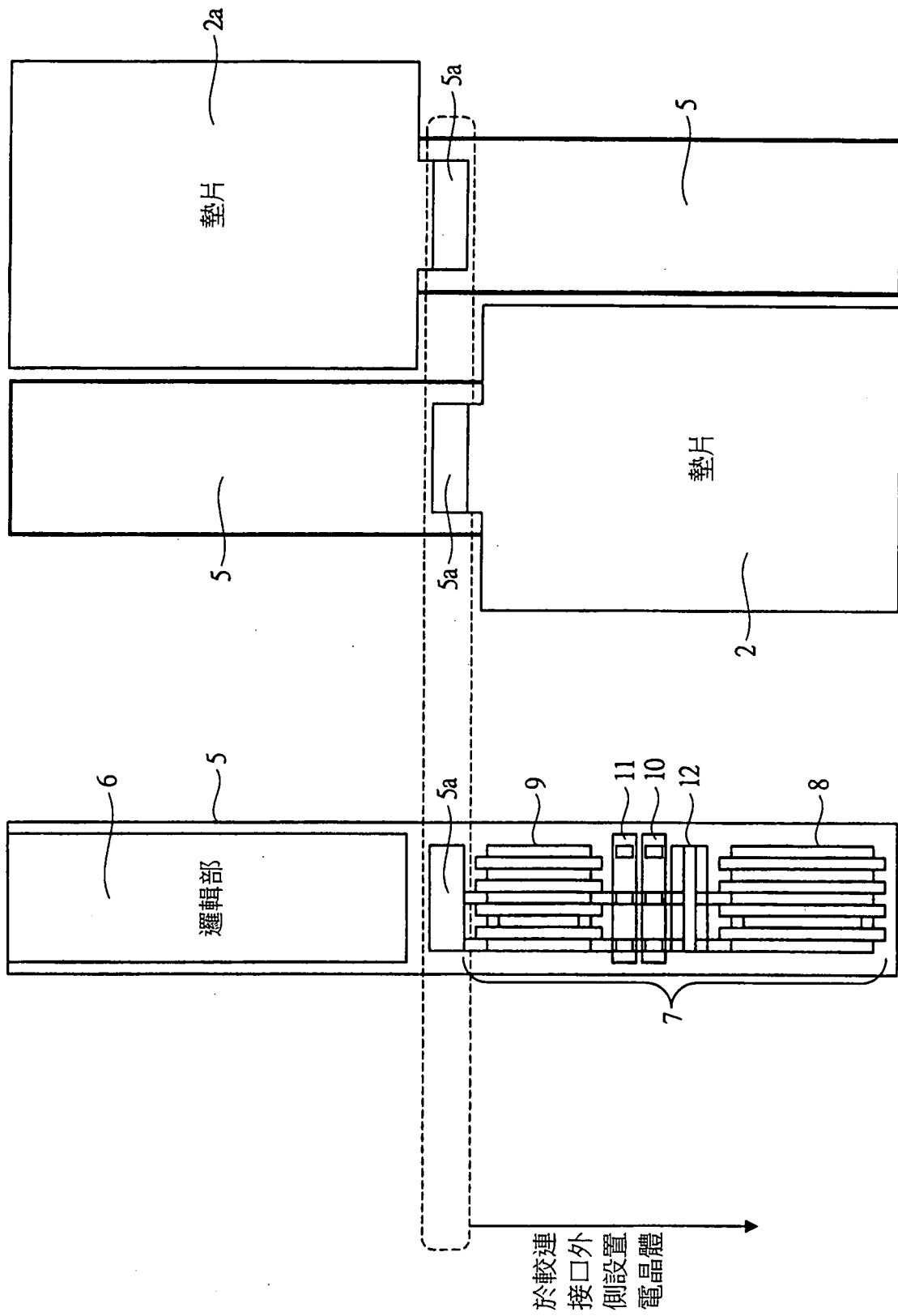


圖 11



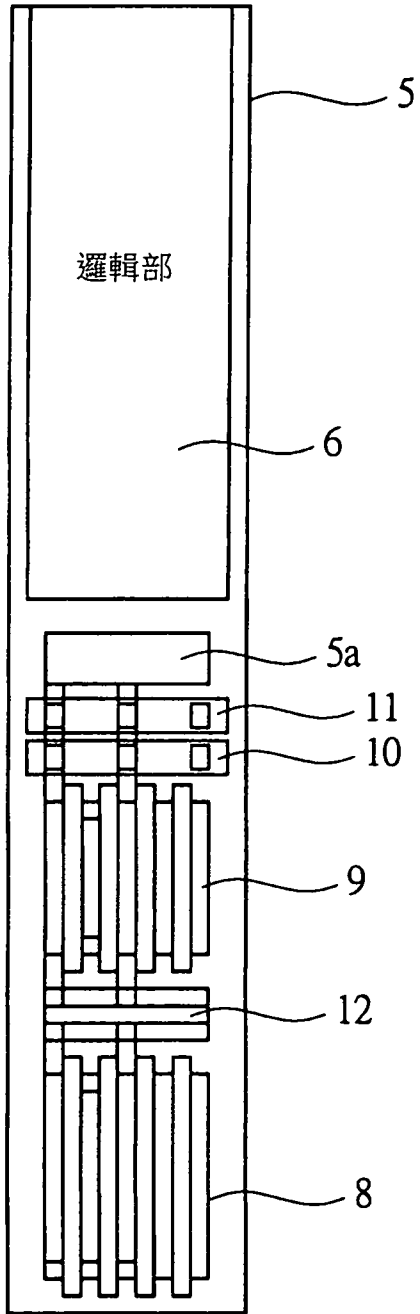


圖 13

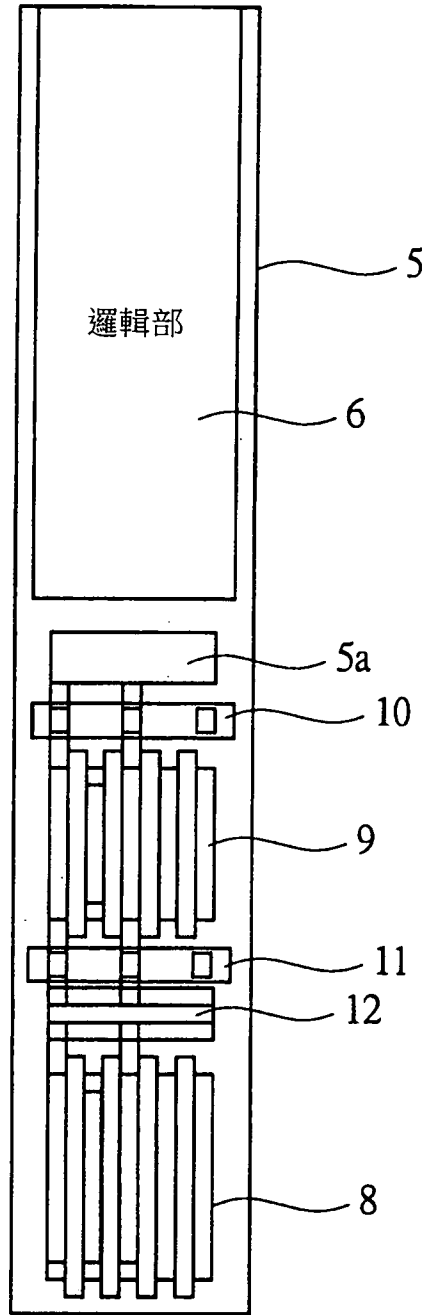


圖 14

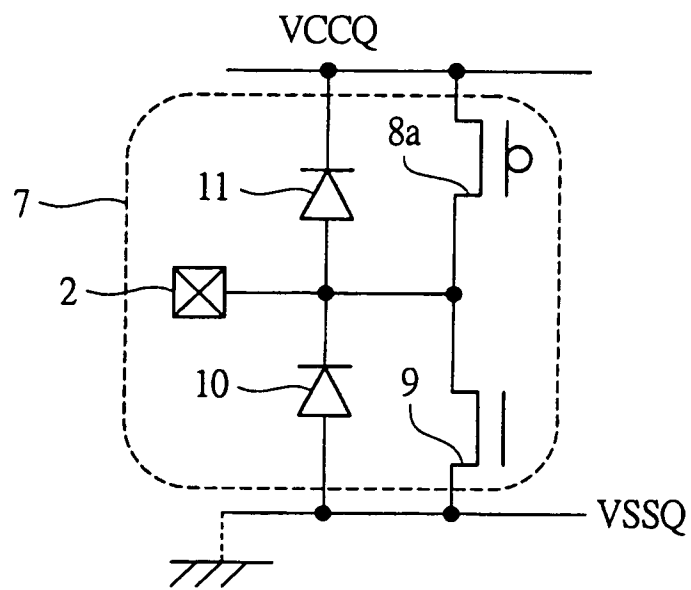


圖 15

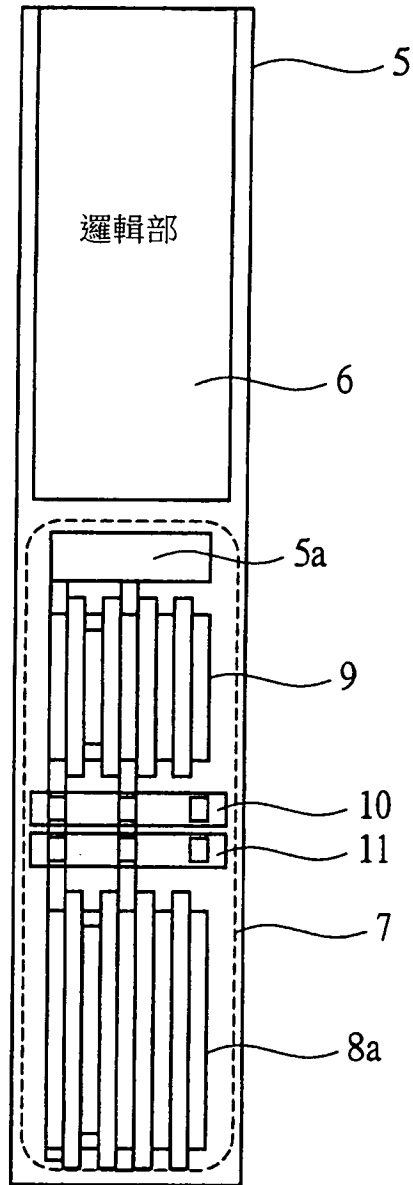


圖 16

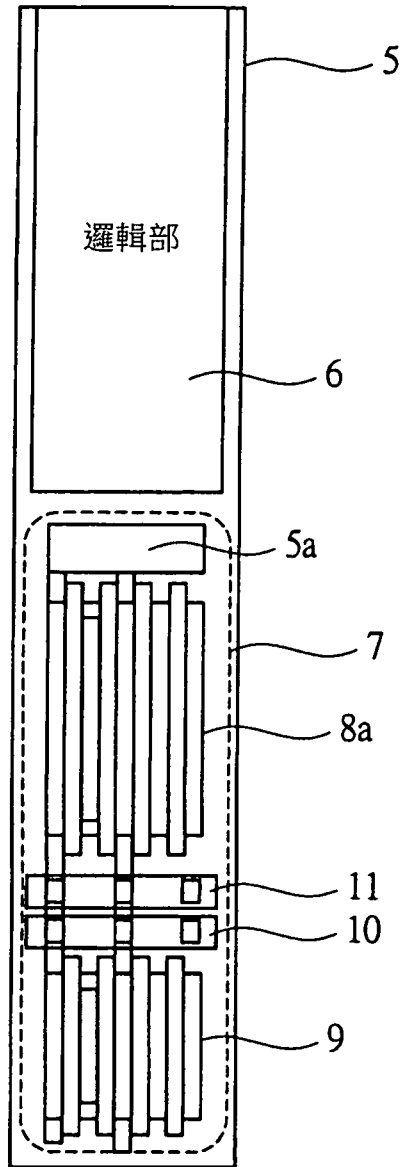


圖 17



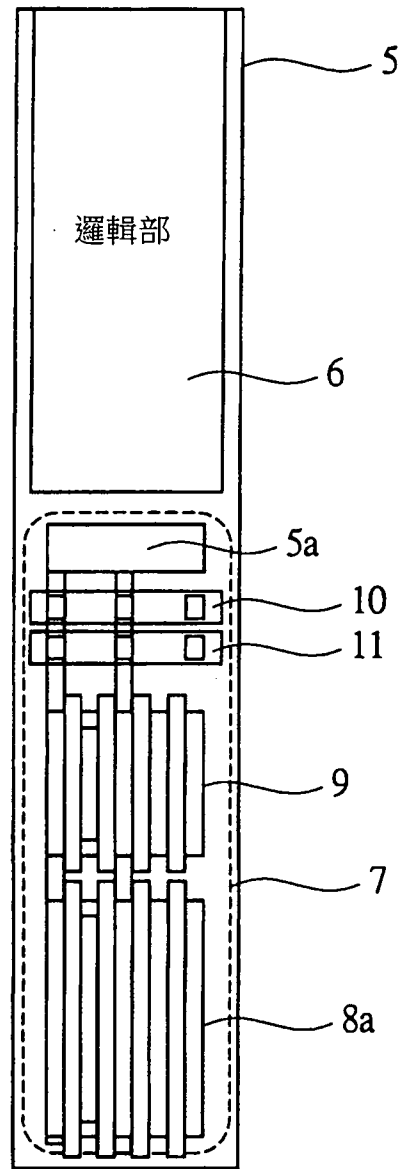


圖 18

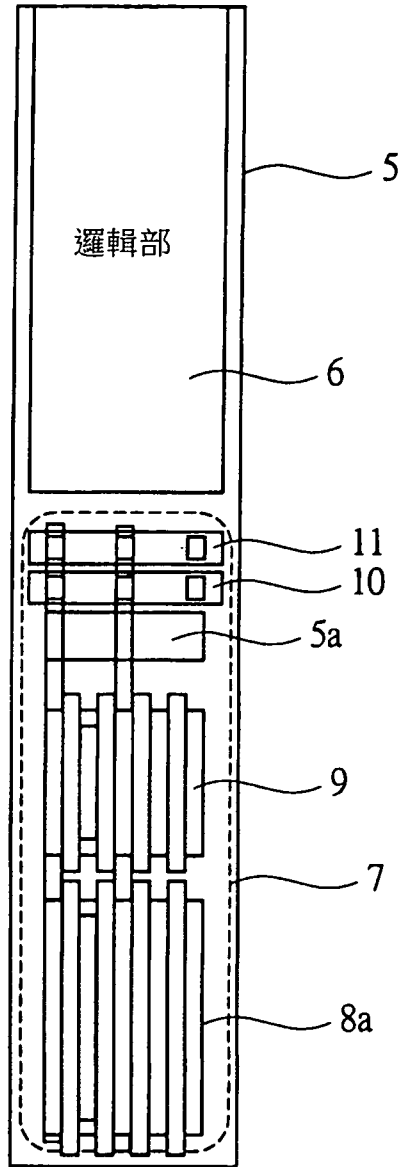


圖 19

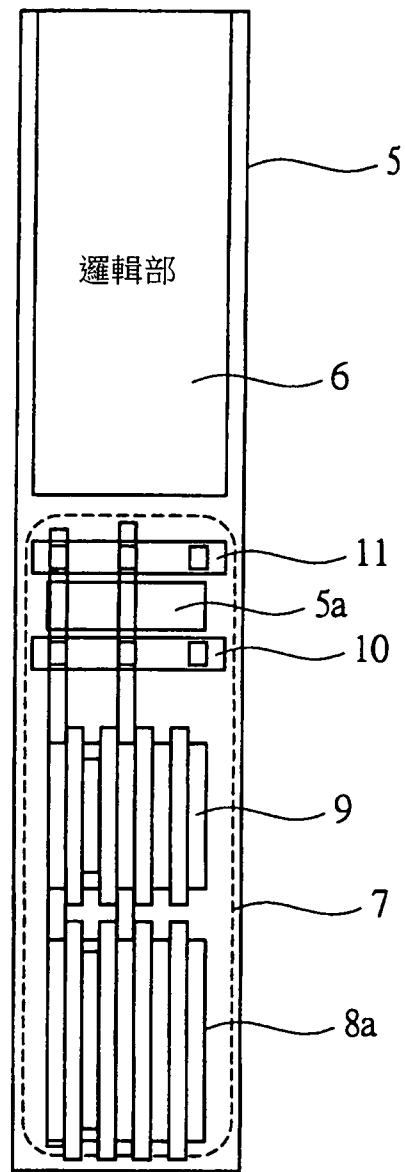


圖 20

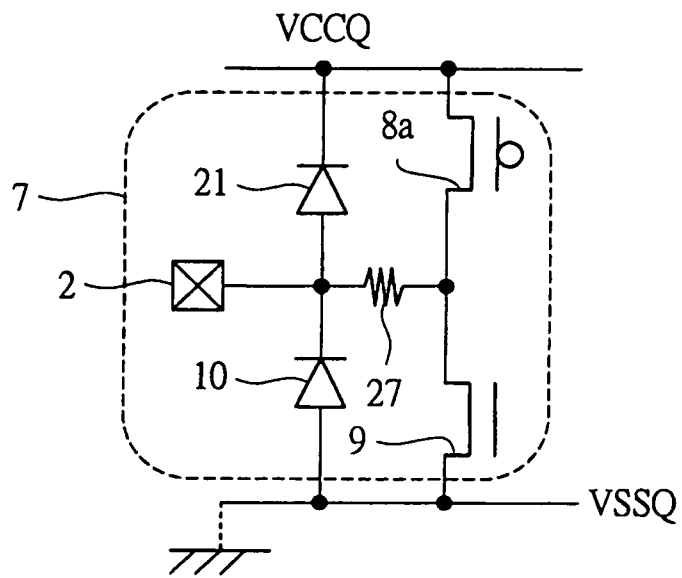


圖 21

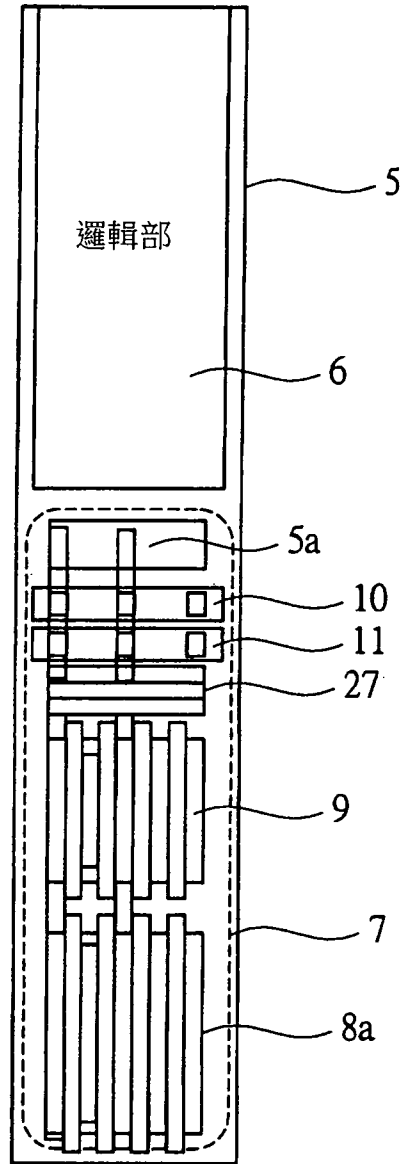


圖 22

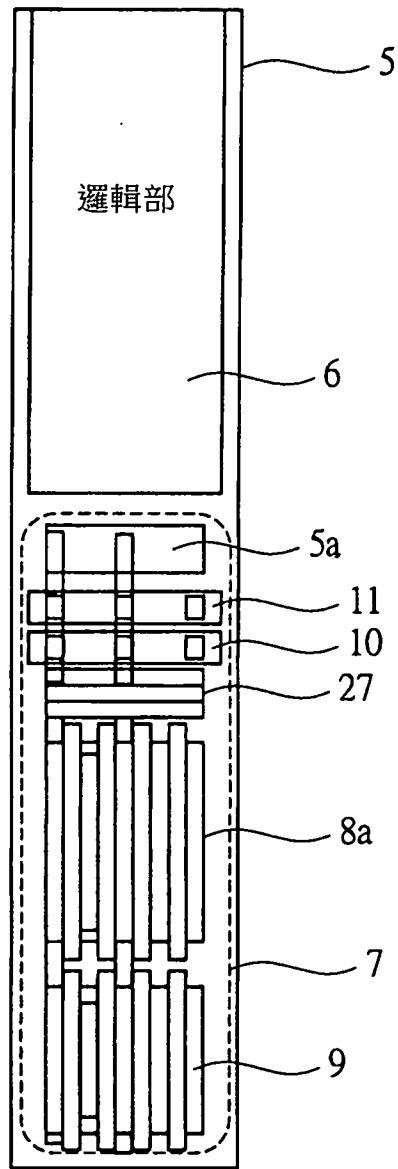


圖 23