



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월07일
 (11) 등록번호 10-0827657
 (24) 등록일자 2008년04월29일

(51) Int. Cl.

G11C 29/00 (2006.01)

(21) 출원번호 10-2006-0085236
 (22) 출원일자 2006년09월05일
 심사청구일자 2006년09월05일
 (65) 공개번호 10-2008-0021963
 (43) 공개일자 2008년03월10일
 (56) 선행기술조사문헌

KR1020050011942 A

(뒷면에 계속)

전체 청구항 수 : 총 12 항

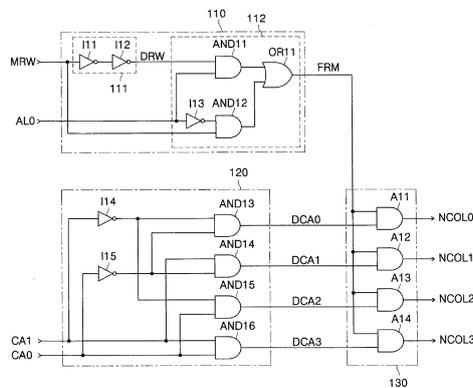
심사관 : 장호근

(54) 반도체 메모리 장치.

(57) 요약

본 발명은 반도체 메모리 장치를 공개한다. 미리 지정된 tRCD 타이밍의 외부 클럭 라이징 에지를 기준으로 어드레스 셋업 타임보다 더 빨리 칼럼 어드레스가 주어지는 경우, 외부의 리드/라이트 명령에 대응되고 tRCD 타이밍의 외부 클럭 라이징 에지에 동기되어 발생하는 내부 리드/라이트 명령을 지연하지 않고 최종 리드/라이트 명령으로서 출력하는 지연시간 선택부, 리드/라이트 명령과 함께 외부에서 인가되는 어드레스를 디코딩하여 디코딩된 어드레스를 출력하는 디코더부, 및 최종 리드/라이트 명령에 응답하여 디코딩된 어드레스를 인가받아 메모리 셀 어레이의 특정 메모리 셀을 선택하는 선택부를 구비하는 것을 특징으로 한다. 따라서 본 발명의 반도체 메모리 장치는 어드레스를 먼저 디코딩하고 리턴던시 메모리 셀의 사용 여부를 판별함으로써 내부 리드/라이트 명령을 지연하지 않으므로 비동기 액세스 시간을 줄일 수 있다.

대표도



(56) 선행기술조사문헌
KR1020050060844 A
KR1020030078134 A
JP07141869 A
JP2000048590 A
KR1020000043183 A
KR1020010005007 A

특허청구의 범위

청구항 1

미리 지정된 tRCD 타이밍의 외부 클럭 라이징 에지를 기준으로 어드레스 셋업 타임보다 더 빨리 어드레스가 주어지는 경우, 외부의 리드/라이트 명령에 대응되고 상기 tRCD 타이밍의 외부 클럭 라이징 에지에 동기되어 발생하는 내부 리드/라이트 명령을 지연하지 않고 최종 리드/라이트 명령으로서 출력하는 지연시간 선택부;

상기 리드/라이트 명령과 함께 외부에서 인가되는 어드레스를 디코딩하여 디코딩된 어드레스를 출력하는 디코더부; 및

상기 최종 리드/라이트 명령에 응답하여 상기 디코딩된 어드레스를 인가받아 메모리 셀 어레이의 특정 메모리 셀을 선택하는 선택부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1 항에 있어서, 상기 반도체 메모리 장치는

상기 어드레스에 응답하여 리턴던시 메모리 셀의 사용 여부를 판별하여 리턴던시 선택 신호를 출력하는 리턴던시 퓨즈부를 추가로 더 구비하고,

상기 선택부는 상기 최종 리드/라이트 명령과 상기 리턴던시 선택신호에 응답하여 일반 메모리 셀 또는 리턴던시 메모리 셀을 선택하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1 항에 있어서, 상기 지연시간 선택부는

미리 지정된 tRCD 타이밍의 외부 클럭 라이징 에지를 기준으로 어드레스 셋업 타임보다 더 빨리 상기 어드레스가 주어지는 경우를 애디티브 레이턴시가 0보다 큰 경우에 적용하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제3 항에 있어서, 상기 지연시간 선택부는

상기 내부 리드/라이트 명령을 소정 시간 지연하여 지연된 리드/라이트 명령을 출력하는 지연부; 및

상기 애디티브 레이턴시가 0보다 큰지 판별하여 상기 내부 리드/라이트 명령 또는 상기 지연부에서 출력되는 상기 지연된 리드/라이트 명령을 선택하여 상기 최종 리드/라이트 명령을 출력하는 선택 회로부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4 항에 있어서, 상기 지연부는

짝수개의 인버터를 구비하여, 상기 디코더부에서 상기 어드레스를 디코딩하는 시간만큼 상기 내부 리드/라이트 명령을 지연하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제2 항에 있어서, 상기 리턴던시 퓨즈부는

퓨즈를 구비하여 상기 리턴던시 메모리 셀의 사용 여부를 결정하는 퓨즈 회로부; 및

상기 퓨즈의 절단 여부와 상기 어드레스에 응답하여 상기 리턴던시 선택 신호를 출력하는 판단 회로부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제6 항에 있어서, 상기 퓨즈 회로부는

상기 어드레스 중 해당 어드레스에 대한 리던던시 메모리 셀의 사용 여부를 결정하는 퓨즈; 및
 상기 퓨즈의 상태에 따라 다른 값을 저장하는 래치를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

외부에서 인가되는 리드/라이트 명령을 지연하여 발생하는 내부 리드/라이트 명령보다 외부에서 어드레스가 먼저 인가되는 경우에 상기 내부 리드/라이트 명령을 지연하지 않고 최종 리드/라이트 명령으로서 출력하는 지연 시간 선택부;

상기 어드레스를 디코딩하여 디코딩된 어드레스를 출력하는 디코더부; 및

상기 최종 리드/라이트 명령에 응답하여 상기 디코딩된 어드레스를 인가받아 메모리 셀 어레이의 특정 메모리 셀을 선택하는 선택부를 구비하는 것을 특징으로 하는 메모리를 구비한 반도체 장치.

청구항 9

제8 항에 있어서, 상기 메모리를 구비한 반도체 장치는

상기 어드레스에 응답하여 리던던시 메모리 셀의 사용 여부를 판별하여 리던던시 선택 신호를 출력하는 리던던시 퓨즈부를 추가로 더 구비하고,

상기 선택부는 상기 최종 리드/라이트 명령과 상기 리던던시 선택신호에 응답하여 일반 메모리 셀 또는 리던던시 메모리 셀을 선택하는 것을 특징으로 하는 메모리를 구비한 반도체 장치.

청구항 10

제8 항에 있어서, 상기 지연시간 선택부는

상기 내부 리드/라이트 명령을 소정 시간 지연하여 지연된 리드/라이트 명령을 출력하는 지연부; 및

상기 어드레스가 상기 내부 리드/라이트 명령보다 먼저 인가되는지를 판별하여 상기 내부 리드/라이트 명령 또는 상기 지연부에서 출력되는 상기 지연된 리드/라이트 명령을 선택하여 상기 최종 리드/라이트 명령을 출력하는 선택 회로부를 구비하는 것을 특징으로 하는 메모리를 구비한 반도체 장치.

청구항 11

제10 항에 있어서, 상기 지연부는

짝수개의 인버터를 구비하여 상기 디코더부에서 상기 어드레스를 디코딩하는 시간만큼 상기 내부 리드/라이트 명령을 지연하는 것을 특징으로 하는 메모리를 구비한 반도체 장치.

청구항 12

제9 항에 있어서, 상기 리던던시 퓨즈부는

퓨즈를 구비하여 상기 리던던시 메모리 셀의 사용 여부를 결정하는 퓨즈 회로부; 및

상기 퓨즈의 절단 여부와 상기 어드레스에 응답하여 상기 리던던시 선택 신호를 출력하는 판단 회로부를 구비하는 것을 특징으로 하는 메모리를 구비한 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<8> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 비동기 액세스 타임(Asynchronous access time : tAA)을 줄일 수 있는 반도체 메모리 장치에 관한 것이다.

<9> 반도체 장치의 기능이 다양해짐에 따라 각종 반도체 장치에 메모리가 내장되는 경우가 많아지고 있으며, 반도체

장치가 처리해야 할 데이터의 양이 증가하게 됨에 따라 메모리의 용량이 점차로 증가하고 있다. 또한 메모리의 용량의 증가와 함께 불량 메모리 셀 발생 시에 이 불량 메모리 셀을 대체하기 위한 리던던시 메모리 셀(Redundancy memroy cell)이 사용되는 경우가 증가하고 있다.

- <10> 리던던시 메모리 셀을 이용한 반도체 메모리 장치의 리페어 작업은 통상, 일정 셀 어레이(cell array)마다 리던던시 로우(redundancy low)와 리던던시 칼럼(redundancy column)을 미리 제조해둠으로서, 결함이 발생된 불량 메모리 셀이 존재하는 메모리 셀의 로우 또는 칼럼을 리던던시 로우 또는 리던던시 칼럼으로 대체하는 방식으로 진행된다. 예를 들어, 웨이퍼 가공 완료 후 테스트를 통해 불량 메모리 셀이 발견되면, 해당하는 어드레스를 리던던시 메모리 셀의 어드레스로 바꾸어 주는 프로그램 동작을 내부회로에서 수행하게 된다. 따라서, 반도체 장치의 실제 사용 시에 불량 라인에 해당하는 어드레스 신호가 입력되면 이 불량 라인을 액세스하는 대신에 리던던시 라인을 액세스하도록 하는 것이다.
- <11> 통상적인 리페어 작업은 퓨즈(fuse)를 이용하는 방식이다. 퓨즈를 이용하는 방식이란, 리페어를 위한 내부 회로에 퓨즈를 설치한 다음 불량 셀이 존재하는 로우 또는 칼럼으로 연결되는 라인에 존재하는 퓨즈를 과전류를 흘려서 퓨즈를 끊어버리는 방식, 레이저 빔으로 퓨즈를 태워 끊는 방식, 레이저 빔으로 접합부위를 서로 연결시키는 방식 및 EPROM으로 프로그램 하는 방식 등으로 불량 셀이 존재하는 로우 또는 칼럼을 리던던시 로우 또는 리던던시 칼럼으로 대체하는 방식을 말한다.
- <12> 일반적으로 반도체 메모리 장치는 외부에서 인가되는 어드레스를 디코딩하여 해당 메모리 셀을 선택하여 데이터를 입출력한다. 그리고 리던던시 메모리 셀을 구비한 반도체 장치의 경우에는 리던던시 메모리 셀의 사용 여부를 판단한 후에 해당 메모리 셀을 선택하도록 한다.
- <13> 따라서 외부에서 리드 또는 라이트 명령과 메모리 셀에 대한 어드레스가 인가되면, 반도체 메모리 장치의 내부에서 리드 또는 라이트 명령에 응답하여 생성되는 내부 리드 또는 내부 라이트 명령은 어드레스를 디코딩하고 리던던시 메모리 셀의 사용 여부를 판별하는 시간동안 지연될 필요가 있다.
- <14> 대표적인 반도체 메모리 장치로는 디램(Dynamic Random Access Memory : DRAM)이나 플래시 메모리(Flash Memory)와 같은 장치가 있으며, 여기서는 반도체 메모리 장치의 일례로 디램에 대해서 설명을 한다.
- <15> 디램 중에서도 디디알(Double Data Rate) 메모리 장치에서는 애디티브 레이턴시(Additive latency) 개념이 도입되었다. 애디티브 레이턴시는 디디알2(DDR2) 스펙에서 제시된 것으로, 메모리 장치가 액티브(Active) 상태 이후에 리드/라이트 명령이 입력된 타이밍부터 tRCD(RAS to CAS delay)까지의 클럭수를 말한다. tRCD는 로우 어드레스 스트로브 신호(RAS)가 입력된 후에 칼럼 어드레스 스트로브 신호(CAS)가 입력되는 타이밍까지의 시간을 말하는데, 로우 어드레스 스트로브 신호(RAS)가 입력되는 타이밍에 메모리 장치는 액티브 상태가 되고, 이후 칼럼 어드레스 스트로브 신호(CAS)가 입력되는 타이밍 이전에 리드/라이트 명령이 입력되는데, 이 때 리드/라이트 명령이 입력되는 순간부터 칼럼 어드레스 스트로브 신호(CAS)가 입력되어 내부 리드/라이트 명령이 실행되는 타이밍까지를 애디티브 레이턴시라고 말하는 것이다.
- <16> 따라서 리드/라이트 동작 시에 반도체 메모리 장치는 리드/라이트 명령을 입력받아 애디티브 레이턴시 만큼 지연시킨 다음 내부 리드/라이트 명령을 생성하여 출력하게 된다. 동기식 메모리 장치는 데이터 액세스를 위해 크게 액티브 명령, 리드/라이트 명령, 프리차지 명령을 입력받는데, 애디티브 레이턴시는 리드/라이트 명령을 정해진 타이밍보다 얼마만큼 더 빨리 받게 되는 것인가에 대한 것이다.
- <17> 예를 들어 애디티브 레이턴시가 2(AL2)라고 하면, 메모리 장치에 리드 명령이 입력되고 난 후에 2클럭 이후 입력된 명령에 대한 내부 리드 명령을 생성하고 동작을 수행하게 되는 것이다. 애디티브 레이턴시가 없는 초기의 동기식 메모리 장치의 경우에는 액티브 명령이 입력되고 난 후에, tRCD 만큼 클럭이 지난 이후에 리드 또는 라이트 명령을 입력받아 그에 대응하는 데이터 액세스 동작을 수행하였다. 그러나 애디티브 레이턴시가 있는 동기식 메모리 장치의 경우에는 액티브 명령이 입력된 후, tRCD만큼 클럭이 지나지 않아도 미리 애디티브 레이턴시 만큼 빠른 타이밍에 리드 또는 라이트 명령을 입력받을 수 있도록 하는 것이다.
- <18> 도1 은 종래의 반도체 메모리 장치의 어드레스 디코더부를 나타내는 블록도이다.
- <19> 상기한 바와 같이 불량 메모리 셀에 대해서 리던던시 메모리 셀로 대체되는 경우에 로우 또는 칼럼 단위로 리던던시 로우 또는 리던던시 칼럼으로 대체하게 되는데, 여기서는 칼럼 어드레스를 인가받아 디코딩하고, 불량 메모리 셀에 대해 해당 칼럼을 리던던시 칼럼으로 대체되는 경우를 예로 들어 설명한다.
- <20> 칼럼 어드레스(CA)와 리드/라이트 명령에 응답하여 반도체 장치 내부에서 발생된 내부 리드/라이트 명령(MRW)이

인가되면, 내부 리드/라이트 명령(MRW)은 리던던시 퓨즈 및 디코더부(20)에서 칼럼 어드레스(CA)에 대해 리던던시 메모리 셀의 사용여부를 판단하고 디코딩을 하는 기간 동안 지연되어야 하므로 지연부(10)에 의해 소정 시간 지연되어 최종 리드/라이트 명령(FRW)이 출력된다.

- <21> 지연부(10)는 짝수개의 인버터(inverter)로 구현될 수 있으며, 지연부(10)에 의해 내부 리드/라이트 명령(MRW)이 최종 리드/라이트 명령(FRW)으로 출력되는 지연 시간은 리던던시 퓨즈 및 디코더부(20)에서 칼럼 어드레스(CA)에 대해 리던던시 메모리 셀의 사용여부를 판단하고 디코딩하는 시간과 동일하게 설정된다.
- <22> 도1 에서 리던던시 퓨즈 및 디코더부(20)는 칼럼 어드레스(CA)를 인가받아 리던던시 칼럼의 사용 여부를 판단하고, 칼럼 어드레스(CA)를 디코딩하여 해당 칼럼을 선택하도록 한다. 리던던시 퓨즈 및 디코더부(20)는 상기한 리페어 작업으로 인하여 미리 퓨즈의 절단 상태가 결정되어 있다. 따라서 리던던시 퓨즈 및 디코더부(20)는 칼럼 어드레스(CA)가 인가되면 퓨즈의 절단 여부에 따라 리던던시 메모리 셀의 사용 여부를 나타내는 리던던시 선택 신호(RED)를 출력한다. 그리고 리던던시 메모리 셀이 사용되지 않는 경우에는 칼럼 어드레스(CA)를 디코딩하여 디코딩된 칼럼 어드레스(DCA)를 출력한다.
- <23> 칼럼 선택부(30)는 최종 리드/라이트 명령(FRW)이 인가될 때, 리던던시 퓨즈 및 디코더부(20)에서 출력되는 리던던시 선택 신호(RED)에 응답하여 리던던시 메모리 셀이 사용되지 않으면 디코딩된 칼럼 어드레스(DCA)를 일반 칼럼을 선택하기 위한 칼럼 선택 신호(NCOL)로서 출력하고, 리던던시 메모리 셀이 사용되는 경우에는 리던던시 칼럼을 선택하기 위한 리던던시 칼럼 선택 신호(RCOL)를 출력한다.
- <24> 일반적으로 지연부(10)에 의해 내부 리드/라이트 명령(MRW)이 지연되어 최종 리드/라이트 명령(FRW)으로 출력되는 시간은 0.5ns에서 1.0ns 정도이며, 이 값은 외부에서 리드/라이트 명령이 인가되고부터 데이터가 외부로 출력되기까지의 시간을 나타내는 비동기 액세스 타임(Asynchronous access time : tAA)의 5~10%에 해당하는 값으로 상당한 시간적인 손실을 야기한다.
- <25> 특히 반도체 메모리 장치가 애디티브 레이턴시와 같은 기능을 구비하여 내부 리드/라이트 명령이 발생하기 전에 어드레스가 인가될 수 있는 경우에는, 어드레스가 미리 인가되어 있음에도 불구하고 내부 리드/라이트 명령이 발생한 후에 어드레스에 대한 디코딩 및 리던던시 사용 여부를 판별 작업을 함으로써 내부 리드/라이트 명령을 지연시키는 불필요한 시간적 낭비가 있었다. 따라서 반도체 메모리 장치의 고속 동작을 저해하고 효율을 떨어뜨리는 결과를 초래하였다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명의 목적은 어드레스에 대한 디코딩 및 리던던시 사용 여부를 판별하는 작업을 내부 리드/라이트 명령이 발생하기 전에 수행하여 비동기 액세스 시간을 줄인 반도체 메모리 장치를 제공하는데 있다.
- <27> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 메모리를 구비한 반도체 장치를 제공하는데 있다.
- <28> 상기 목적을 달성하기 위한 반도체 메모리 장치는 미리 지정된 tRCD 타이밍의 외부 클럭 라이징 에지를 기준으로 어드레스 셋업 타임보다 더 빨리 칼럼 어드레스가 주어지는 경우, 외부의 리드/라이트 명령에 대응되고 tRCD 타이밍의 외부 클럭 라이징 에지에 동기되어 발생하는 내부 리드/라이트 명령을 지연하지 않고 최종 리드/라이트 명령으로서 출력하는 지연시간 선택부, 리드/라이트 명령과 함께 외부에서 인가되는 어드레스를 디코딩하여 디코딩된 어드레스를 출력하는 디코더부, 및 최종 리드/라이트 명령에 응답하여 디코딩된 어드레스를 인가받아 메모리 셀 어레이의 특정 메모리 셀을 선택하는 선택부를 구비하는 것을 특징으로 한다.
- <29> 상기 목적을 달성하기 위한 반도체 메모리 장치는 어드레스에 응답하여 리던던시 메모리 셀의 사용 여부를 판별하여 리던던시 선택 신호를 출력하는 리던던시 퓨즈부를 추가로 더 구비하고, 선택부는 최종 리드/라이트 명령과 상기 리던던시 선택신호에 응답하여 일반 메모리 셀 또는 리던던시 메모리 셀을 선택하는 것을 특징으로 한다.
- <30> 상기 목적을 달성하기 위한 지연시간 선택부는 미리 지정된 tRCD 타이밍의 외부 클럭 라이징 에지를 기준으로 어드레스 셋업 타임보다 더 빨리 어드레스가 주어지는 경우를 애디티브 레이턴시가 0보다 큰 경우에 적용하는 것을 특징으로 한다.
- <31> 상기 목적을 달성하기 위한 지연시간 선택부는 내부 리드/라이트 명령을 소정 시간 지연하여 지연된 리드/라이트 명령을 출력하는 지연부, 및 애디티브 레이턴시가 0보다 큰지 판별하여 내부 리드/라이트 명령 또는 지연부에서 출력되는 지연된 리드/라이트 명령을 선택하여 최종 리드/라이트 명령을 출력하는 선택 회로부를 구비하는

것을 특징으로 한다.

- <32> 상기 목적을 달성하기 위한 지연부는 짝수개의 인버터를 구비하여, 디코더부에서 어드레스를 디코딩하는 시간만큼 내부 리드/라이트 명령을 지연하는 것을 특징으로 한다.
- <33> 상기 목적을 달성하기 위한 리던던시 퓨즈부는 퓨즈를 구비하여 리던던시 메모리 셀의 사용 여부를 결정하는 퓨즈 회로부, 및 퓨즈의 절단 여부와 어드레스에 응답하여 리던던시 선택 신호를 출력하는 판단 회로부를 구비하는 것을 특징으로 한다.
- <34> 상기 다른 목적을 달성하기 위한 메모리를 구비한 반도체 장치는 외부에서 인가되는 리드/라이트 명령을 지연하여 발생하는 내부 리드/라이트 명령보다 외부에서 어드레스가 먼저 인가되는 경우에 내부 리드/라이트 명령을 지연하지 않고 최종 리드/라이트 명령으로서 출력하는 지연시간 선택부, 어드레스를 디코딩하여 디코딩된 어드레스를 출력하는 디코더부, 및 최종 리드/라이트 명령에 응답하여 디코딩된 어드레스를 인가받아 메모리 셀 어레이의 특정 메모리 셀을 선택하는 선택부를 구비하는 것을 특징으로 한다.
- <35> 상기 다른 목적을 달성하기 위한 메모리를 구비한 반도체 장치는 메모리를 구비한 반도체 장치는 어드레스에 응답하여 리던던시 메모리 셀의 사용 여부를 판별하여 리던던시 선택 신호를 출력하는 리던던시 퓨즈부를 추가로 더 구비하고, 선택부는 최종 리드/라이트 명령과 리던던시 선택신호에 응답하여 일반 메모리 셀 또는 리던던시 메모리 셀을 선택하는 것을 특징으로 한다.
- <36> 상기 다른 목적을 달성하기 위한 지연시간 선택부는 내부 리드/라이트 명령을 소정 시간 지연하여 지연된 리드/라이트 명령을 출력하는 지연부, 및 어드레스가 내부 리드/라이트 명령보다 먼저 인가되는지를 판별하여 내부 리드/라이트 명령 또는 지연부에서 출력되는 지연된 리드/라이트 명령을 선택하여 최종 리드/라이트 명령을 출력하는 선택 회로부를 구비하는 것을 특징으로 한다.
- <37> 상기 다른 목적을 달성하기 위한 지연부는 짝수개의 인버터를 구비하여 디코더부에서 어드레스를 디코딩하는 시간만큼 내부 리드/라이트 명령을 지연하는 것을 특징으로 한다.
- <38> 상기 다른 목적을 달성하기 위한 리던던시 퓨즈부는 퓨즈를 구비하여 리던던시 메모리 셀의 사용 여부를 결정하는 퓨즈 회로부, 및 퓨즈의 절단 여부와 어드레스에 응답하여 리던던시 선택 신호를 출력하는 판단 회로부를 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

- <39> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치를 설명하면 다음과 같다.
- <40> 도2 는 본 발명에 따른 반도체 메모리 장치의 어드레스 디코더부의 일 실시예를 나타내는 블록도이다. 도2 에서 는 도1 의 지연부(10)를 대신하여 지연시간 선택부(110)를 구비하였다. 지연부(10)는 내부 리드/라이트 명령(MRW)을 무조건 소정 시간 지연하도록 구성이 되어 있었으나, 지연시간 선택부(110)는 에디티브 레이턴시(AL) 값에 응답하여 지연 여부를 선택한다. 내부 리드/라이트 명령(MRW)은 외부에서 리드/라이트 명령이 인가된 후 설정되어 있는 에디티브 레이턴시(AL0 ~ AL5)만큼 지연된 후 발생한다. 즉 내부 리드/라이트 명령(MRW)은 메모리 장치가 액티브 상태가 되고 tRCD 후에 발생된다. 에디티브 레이턴시(AL0 ~ AL5)는 일반적으로 0 ~ 5까지 있으나, 본 발명에서는 에디티브 레이턴시가 0 인지 아닌지가 중요하므로 0의 에디티브 레이턴시(AL0)만을 인가받아 내부 리드/라이트 명령(MRW)의 지연 여부를 판단하도록 하였다. 지연시간 선택부(110)는 에디티브 레이턴시(AL0)가 0이면 내부 리드/라이트 명령을 소정 시간 지연하여 출력하고, 에디티브 레이턴시(AL1 ~ AL5)가 0이 아니면 내부 리드/라이트 명령(MRW)을 지연하지 않고 출력하도록 설정한다.
- <41> 디코더부(120)는 외부에서 인가되는 어드레스를 디코딩하여 디코딩된 어드레스를 출력한다. 디코더부(120)는 칼럼 어드레스(CA)를 인가받아 디코딩된 칼럼 어드레스(DCA)를 출력한다. 에디티브 레이턴시(AL0)가 1인 경우에 칼럼 어드레스(CA)는 내부 리드/라이트 명령(MRW)이 지연시간 선택부(110)에 인가된 후에 디코더부(120)로 인가된다. 그러나 에디티브 레이턴시(AL0)가 0이면 칼럼 어드레스(CA)는 내부 리드/라이트 명령(MRW)보다 먼저 인가되고, 내부 리드/라이트 명령(MRW)은 외부 리드/라이트 명령(RW)이 인가되고 에디티브 레이턴시(AL1 ~ AL5)만큼 지연된 후에 생성된다.
- <42> 칼럼 선택부(130)는 지연시간 선택부(110)에서 출력되는 최종 리드/라이트 명령(FRW)에 응답하여 디코딩된 칼럼 어드레스(DCA)를 인가받아 메모리 셀 어레이의 해당 칼럼을 선택하기 위한 칼럼 선택 신호(NCOL)를 출력한다. 이때 칼럼 선택 신호(NCOL)가 출력되는 시간은 최종 리드/라이트 명령(FRW)의 출력에 의존하므로 에디티브 레이

턴시(AL0)가 1인 경우보다 애디티브 레이턴시(AL0)가 0인 경우에 더 빠르다.

- <43> 도3 는 도2 의 어드레스 디코더부의 상세 회로도이다.
- <44> 지연시간 선택부(110)는 지연부(111)와 선택 회로부(112)로 구성된다. 지연부(111)는 도1 의 지연부(10)와 동일한 기능으로 내부 리드/라이트 명령(MRW)을 소정 시간 지연하기 위한 짝수개의 인버터(I11, I12)로 구성된다. 지연부(111)에서 내부 리드/라이트 명령(MRW)은 소정 시간 지연되어 지연된 리드/라이트 명령(DRW)로서 출력된다.
- <45> 선택 회로부(112)는 내부 리드/라이트 명령(MRW)과 지연된 리드/라이트 명령(DRW) 및 애디티브 레이턴시(AL0)에 응답하여 최종 리드/라이트 명령(FRW)을 출력한다. 선택 회로부(112)는 두 개의 논리곱 게이트(AND11, AND12)와 각각 하나씩의 논리합 게이트(OR11)와 인버터(I13)를 구비한다. 논리곱 게이트(AND11)는 지연된 리드/라이트 명령(DRW)과 애디티브 레이턴시(AL0)를 논리곱하고, 논리곱 게이트(AND12)는 인버터(I13)에 의해 반전된 애디티브 레이턴시(AL0)와 내부 리드/라이트 명령(MRW)을 논리곱한다. 논리합 게이트(OR11)는 두 개의 논리곱 게이트(AND11, AND12)의 출력을 논리합하여 최종 리드/라이트 명령(FRW)을 출력한다. 따라서 선택 회로부(112)는 애디티브 레이턴시(AL0)가 1이면 지연된 리드/라이트 명령(DRW)에 응답하여 최종 리드/라이트 명령(FRW)을 출력하고, 애디티브 레이턴시(AL0)가 0이면 내부 리드/라이트 명령(MRW)에 응답하여 최종 리드/라이트 명령(FRW)을 출력한다. 따라서 애디티브 레이턴시(AL0)가 0인 경우의 최종 리드/라이트 명령(FRW)이 애디티브 레이턴시(AL0)가 1인 경우의 최종 리드/라이트 명령(FRW)보다 더 빨리 출력된다.
- <46> 디코더부(120)는 칼럼 어드레스(CA)를 인가받아 메모리 셀 어레이의 해당 칼럼을 선택하기 위한 디코더로서 도3 에서는 2비트의 칼럼 어드레스(CA0, CA1)를 인가받아 디코딩하는 회로를 나타내고 있다. 디코더부(120)는 4개의 논리곱 게이트(AND13, AND14, AND15, AND16)와 두 개의 인버터(I14, I15)를 구비한다. 두 개의 인버터는 각각 칼럼 어드레스(CA0, CA1)를 반전하고, 각각의 논리곱 게이트(AND13, AND14, AND15, AND16)는 칼럼 어드레스(CA0, CA1) 또는 반전된 칼럼 어드레스(/CA0, /CA1)를 인가받아 논리곱하여 4개의 디코딩된 칼럼 어드레스(DCA0, DCA1, DCA2, DCA3)를 출력한다.
- <47> 칼럼 선택부(130)는 4개의 논리곱 게이트(A11, A12, A13, A14)를 구비한다. 4개의 논리곱 게이트(A11, A12, A13, A14) 각각은 최종 리드/라이트 명령(FRW)과 디코딩된 칼럼 어드레스(DCA0, DCA1, DCA2, DCA3)에 응답하여 메모리 셀 어레이의 해당 칼럼을 선택하는 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3)를 출력한다. 여기서 최종 리드/라이트 명령(FRW)은 애디티브 레이턴시(AL0)가 1일 때 보다 애디티브 레이턴시(AL0)가 0인 경우에 더 빨리 인가되므로 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3) 또한 애디티브 레이턴시(AL0)가 1일 때 보다 애디티브 레이턴시(AL0)가 0인 경우에 더 빨리 출력된다. 따라서 애디티브 레이턴시(AL0)가 0인 경우에 반도체 메모리 장치에서 메모리에 대한 접근 시간이 단축된다. 즉 애디티브 레이턴시(AL1 ~ AL4)가 1인 경우에 메모리에 대한 접근 시간이 단축된다.
- <48> 도4 는 본 발명에 따른 반도체 메모리 장치의 어드레스 디코더부의 다른 실시예를 나타내는 블록도로서 칼럼 어드레스(CA)에 대해 리턴던시 메모리 셀 사용여부 판단함과 동시에 칼럼 어드레스(CA)를 디코딩하여 디코딩된 칼럼 어드레스(DCA)를 출력하도록 하였다.
- <49> 지연시간 선택부(210)는 애디티브 레이턴시(AL0)가 1이면 내부 리드/라이트 명령(MRW)을 소정시간 지연하여 최종 리드/라이트 명령(FRW)을 출력하고, 애디티브 레이턴시(AL0)가 0이면 내부 리드/라이트 명령(MRW)을 지연하지 않고 최종 리드/라이트 명령(FRW)을 출력한다.
- <50> 디코더부(220)는 외부에서 인가되는 어드레스를 디코딩하여 디코딩된 어드레스를 출력한다. 도2 에서와 같이 도 4 에서도 어드레스 중 칼럼 어드레스(CA0, CA1)를 인가받아 디코딩된 칼럼 어드레스(DCA0, DCA1, DCA2, DCA3)를 출력한다. 애디티브 레이턴시(AL0)가 1인 경우에 칼럼 어드레스(CA)는 내부 리드/라이트 명령(MRW)이 인가된 후에 인가되고, 애디티브 레이턴시(AL0)가 0인 경우에는 내부 리드/라이트 명령(MRW)이 인가되기 전에 칼럼 어드레스(CA)가 먼저 인가된다.
- <51> 리턴던시 퓨즈 회로부(230)는 칼럼 어드레스(CA)가 인가되면 퓨즈의 절단 여부에 따라 리턴던시 메모리 셀의 사용 여부를 나타내는 리턴던시 선택 신호(RED)를 출력한다. 리턴던시 퓨즈 회로부(230) 또한 디코더부(220)와 마찬가지로 애디티브 레이턴시(AL0)가 1인 경우에 칼럼 어드레스(CA)는 내부 리드/라이트 명령(MRW)이 인가된 후에 인가되고, 애디티브 레이턴시(AL0)가 0인 경우에는 내부 리드/라이트 명령(MRW)이 인가되기 전에 칼럼 어드레스(CA)가 먼저 인가된다.
- <52> 따라서 디코더부(220)와 리턴던시 퓨즈 회로부(230)는 애디티브 레이턴시(AL0)가 0이면 먼저 인가되는 칼럼 어

드레스(CA)를 디코딩하고 리턴던시 메모리 셀의 사용 여부를 판단할 수 있다.

- <53> 칼럼 선택부(240)는 최종 리드/라이트 명령(FRW)과 디코딩된 칼럼 어드레스 및 리턴던시 선택 신호(RED)에 응답하여 메모리 셀 어레이의 해당 칼럼을 선택하기 위한 칼럼 선택 신호(NCOL) 또는 리턴던시 선택 신호(RCOL)를 출력한다.
- <54> 결과적으로 도4 의 어드레스 디코더부는 애디티브 레이턴시(AL0)가 0인 경우에 내부 리드/라이트 명령(MRW)보다 먼저 인가되는 칼럼 어드레스를 이용하여 디코딩하고 리턴던시 메모리 셀의 사용 여부를 판단함으로써 애디티브 레이턴시(AL0)가 1인 경우보다 빠르게 칼럼 선택 신호(NCOL)와 리턴던시 선택 신호(RCOL)를 출력할 수 있다.
- <55> 도5 는 도4 의 어드레스 디코더부의 상세 회로도로서 지연시간 선택부(210)는 지연부(211)와 선택 회로부(212)를 구비한다. 지연부(211)는 짝수개의 인버터(I21, I22)를 구비하여 내부 리드/라이트 명령(MRW)을 소정시간 지연하여 지연된 리드/라이트 명령(DRW)을 출력한다. 선택 회로부(212)는 내부 리드/라이트 명령(MRW)과 지연된 리드/라이트 명령(DRW) 및 애디티브 레이턴시(AL0)에 응답하여 최종 리드/라이트 명령(FRW)을 출력한다. 선택 회로부(212)는 두 개의 논리곱 게이트(AND21, AND22)와 논리합 게이트(OR21) 및 인버터(I23)를 구비한다. 논리곱 게이트(AND21)는 지연된 리드/라이트 명령(DRW)과 애디티브 레이턴시(AL0)를 논리곱하고, 논리곱 게이트(AND22)는 인버터(I23)에 의해 반전된 애디티브 레이턴시(AL0)와 내부 리드/라이트 명령(MRW)을 논리곱한다. 논리합 게이트(OR21)는 각각의 논리곱 게이트(AND21, AND22)의 출력을 논리합하여 최종 리드/라이트 명령(FRW)을 출력한다. 따라서 애디티브 레이턴시(AL0)가 1이면 선택 회로부(212)는 지연된 리드/라이트 명령(DRW)에 응답하여 최종 리드/라이트 명령(FRW)을 출력하고, 애디티브 레이턴시(AL0)가 0이면 내부 리드/라이트 명령(MRW)에 응답하여 최종 리드/라이트 명령(FRW)을 출력한다. 즉 지연시간 선택부(210)는 애디티브 레이턴시(AL0)가 1인 경우의 최종 리드/라이트 명령(FRW)보다 애디티브 레이턴시(AL0)가 0인 경우의 최종 리드/라이트 명령(FRW)이 더 빨리 출력된다.
- <56> 디코더부(220)는 칼럼 어드레스(CA0, CA1)를 인가받아 메모리 셀 어레이의 해당 칼럼을 선택하기 위한 디코더로서 2비트의 칼럼 어드레스(CA0, CA1)를 인가받아 디코딩하는 회로를 나타내고 있다. 디코더부(220)는 4개의 논리곱 게이트(AND23, AND24, AND25, AND26)와 두 개의 인버터(I24, I25)를 구비한다. 두 개의 인버터는 각각 칼럼 어드레스(CA0, CA1)를 반전하고, 각각의 논리곱 게이트(AND23, AND24, AND25, AND26)는 칼럼 어드레스(CA0, CA1) 또는 반전된 칼럼 어드레스(/CA0, /CA1)를 인가받아 논리곱하여 4개의 디코딩된 칼럼 어드레스(DCA0, DCA1, DCA2, DCA3)를 출력한다.
- <57> 리턴던시 퓨즈 회로부(230)는 2개의 퓨즈 회로부(231, 232)와 판단 회로부(233)로 구성된다. 도7 에서는 도3 과는 달리 2비트의 칼럼 어드레스(CA0, CA1)가 인가되므로 각각의 칼럼 어드레스(CA0, CA1)에 대해 퓨즈 회로부(231, 232)를 구비한다. 두 개의 퓨즈 회로부(231, 232) 각각은 리턴던시 메모리 셀의 사용 여부를 결정하는 퓨즈(Fuse21, Fuse22)와 래치(latch)를 구성하는 인버터(I26, I27) 및 NMOS 트랜지스터(NM21, NM22)를 구비한다. 퓨즈(Fuse21, Fuse22)는 반도체 메모리 장치의 메모리 테스트 작업 후 불량 메모리 셀의 존재 여부에 따라 진행되는 리페어 작업에 의해 절단된다. 퓨즈(Fuse21, Fuse22)가 절단된 상태에 따라서 리턴던시 칼럼을 사용하도록 설정되어있다. 퓨즈 회로부(231, 232)의 퓨즈(Fuse21, Fuse22)는 메모리 셀 어레이의 특정 칼럼을 리턴던시 칼럼으로 대체할 수 있도록 선택적으로 절단된다. 퓨즈(Fuse21, Fuse22)가 절단되어 있으면, 퓨즈 회로부(231, 232) 각각은 인버터(I26, I27)와 NMOS 트랜지스터(NM21, NM22)로 구성된 래치에 의해 "하이"레벨의 값을 출력한다.
- <58> 판단 회로부(233)는 각각의 퓨즈 회로부(231, 232)에서 출력되는 신호와 칼럼 어드레스(CA0, CA1)에 응답하여 리턴던시 선택 신호(RED)를 출력한다. 판단 회로부(233)의 논리곱 게이트(AND27, AND28)와 부정 논리합 게이트(NOR21, NOR22)는 칼럼 어드레스(CA0, CA1)와 퓨즈 회로부(231, 232)의 출력을 각각 인가받으며, 논리합 게이트(OR22, OR23)는 각각의 논리곱 게이트(AND27, AND28)와 부정 논리합 게이트(NOR21, NOR22)의 출력을 논리합하여 출력한다. 논리곱 게이트(AND29)는 부정 논리합 게이트(NOR21, NOR22)의 출력을 논리곱하여 리턴던시 선택 신호(RED)를 출력한다.
- <59> 판단 회로부(233)는 퓨즈 회로부(231, 232)의 퓨즈(Fuse21, Fuse22)가 모두 절단되어 있는 경우에 칼럼 어드레스(CA0, CA1)가 모두 "하이"레벨로 인가되면 "하이"레벨의 리턴던시 선택 신호(RED)를 출력하고, 퓨즈(Fuse21, Fuse22)가 모두 절단되지 않은 경우에 칼럼 어드레스(CA0, CA1)가 모두 "로우"레벨로 인가되는 경우에 "하이"레벨의 리턴던시 선택 신호(RED)를 출력한다. 그리고 퓨즈(Fuse21)가 절단되고 퓨즈(Fuse22)가 절단되지 않은 경우에는 칼럼 어드레스(CA0)가 "로우"레벨로 인가되고 칼럼 어드레스(CA1)가 "하이"레벨로 인가되는 경우에 "하이"레벨의 리턴던시 선택 신호(RED)를 출력한다. 또한 퓨즈(Fuse21)가 절단되지 않고 퓨즈(Fuse22)가 절단된 경

우에는 칼럼 어드레스(CA0)가 "하이"레벨로 인가되고 칼럼 어드레스(CA1)가 "로우"레벨로 인가되는 경우에 "하이"레벨의 리던던시 선택 신호(RED)를 출력한다.

- <60> 칼럼 선택부(240)는 최종 리드/라이트 명령(FRW)과 디코딩된 칼럼 어드레스(DCA0, DCA1, DCA2, DCA3) 및 리던던시 선택 신호(RED)에 응답하여 해당 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3) 또는 리던던시 칼럼 선택 신호(RCOL)를 출력한다. 칼럼 선택부(240)의 인버터(I28)는 리던던시 선택 신호(RED)를 반전하고, 각각의 논리곱 게이트(A21, A22, A23, A24)는 디코딩된 칼럼 어드레스(DCA0, DCA1, DCA2, DCA3) 각각과 최종 리드/라이트 명령(FRW), 및 반전된 리던던시 선택 신호(RED)를 논리곱하여 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3)를 출력한다. 그리고 논리곱 게이트(A25)는 리던던시 선택 신호(RED)와 최종 리드/라이트 명령(FRW)에 응답하여 리던던시 칼럼 선택 신호(RCOL)를 출력한다.
- <61> 즉 칼럼 선택부(240)는 "하이" 레벨의 리던던시 선택 신호가 인가되면 모든 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3)를 "로우"레벨로 출력하고, 리던던시 칼럼 선택 신호(RCOL)를 "하이"레벨로 출력하여 리던던시 칼럼이 활성화 되도록 한다.
- <62> 도5 에 나타난 바와 같이 어드레스 디코더부는 퓨즈 회로부(231, 232)의 퓨즈(Fuse21, Fuse22)의 선택적인 절단 상태에 따라 특정 칼럼 어드레스(CA0, CA1)에 대한 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3)를 리던던시 칼럼 선택 신호(RCOL)로 대체 되도록 한다.
- <63> 결과적으로 어드레스 디코더부는 애디티브 레이턴시(AL1 ~ AL5)가 0이 아닌 경우 내부 리드/라이트 명령(MRW)을 지연하지 않으므로 빠르게 최종 리드/라이트 명령(FRW)을 출력하고, 빠르게 출력된 최종 리드 라이트 명령에 응답하여 칼럼 선택 신호(NCOL0, NCOL1, NCOL2, NCOL3) 또는 리던던시 칼럼 선택 신호(RCOL)를 출력함으로써 전체적으로 메모리 셀의 특정 칼럼에 접근하는 속도가 빨라지게 된다.
- <64> 도6a 와 도6b 는 종래의 반도체 메모리 장치와 본 발명의 반도체 메모리 장치의 어드레스 액세스 타이밍도이다. 도6a 와 도6b 에서 모두 애디티브 레이턴시가 2로 설정된 경우를 나타내고 있다.
- <65> 도6a 에서 tRCD 는 5클럭이고 애디티브 레이턴시가 2로 설정이 되어있으므로 액티브(ACT)명령이 인가된 후 3 클럭 후에 외부로부터 리드/라이트 명령(RW)이 인가되고 있다. 그리고 리드/라이트 명령이 외부에서 인가될 때 칼럼 어드레스(CA) 또한 외부에서 인가된다. 리드/라이트 명령(RW)은 애디티브 레이턴시가 2로 설정이 되어 있으므로 2클럭 후에 내부 리드/라이트 명령(MRW)을 생성한다. 내부 리드/라이트 명령(MRW)이 생성되면 리던던시 퓨즈 및 디코더부(20)는 칼럼 어드레스(CA)에 대한 디코딩 작업 및 리던던시 메모리 셀의 사용 여부를 판단하여 디코딩된 어드레스와 리던던시 선택 신호를 출력하고, 그 동안 내부 리드/라이트 명령(MRW)은 지연부(10)에서 지연된 후 최종 리드/라이트 명령(FRW)으로 출력된다. 칼럼 선택부(30)는 최종 리드/라이트 명령(FRW)과 디코딩된 어드레스 및 리던던시 선택 신호에 응답하여 칼럼 선택 신호(NCOL)와 리던던시 칼럼 선택 신호(RCOL)를 출력한다.
- <66> 도6b 에서도 마찬가지로 tRCD 는 5클럭이고 애디티브 레이턴시가 2로 설정이 되어있으므로 액티브(ACT)명령이 인가된 후 3 클럭 후에 외부로부터 리드/라이트 명령(RW)이 인가되고 있다. 그리고 리드/라이트 명령이 외부에서 인가될 때 칼럼 어드레스(CA) 또한 외부에서 인가된다. 리드/라이트 명령(RW)은 애디티브 레이턴시가 2로 설정이 되어 있으므로 2클럭 후에 내부 리드/라이트 명령(MRW)을 생성한다. 그러나 도6b 에서는 내부 리드/라이트 명령(MRW)이 생성되기 전에 미리 디코더부(120, 220)와 리던던시 퓨즈 회로부(230)에서 칼럼 어드레스(CA)에 대한 디코딩 작업 및 리던던시 메모리 셀의 사용 여부를 판단하여 디코딩된 어드레스와 리던던시 선택 신호를 출력한다. 애디티브 레이턴시(AL1 ~ AL5)가 0이 아니므로 내부 리드/라이트 명령(MRW)은 지연시간 선택부(110, 210)에서 지연되지 않으며 바로 최종 리드/라이트 명령(FRW)으로 출력된다. 칼럼 선택부(130, 240)는 최종 리드/라이트 명령(FRW)과 디코딩된 어드레스 및 리던던시 선택 신호에 응답하여 칼럼 선택 신호(NCOL)와 리던던시 칼럼 선택 신호(RCOL)를 출력한다.
- <67> 도6a 와 도6b 를 비교하면 도6b 는 내부 리드/라이트 신호(MRW)를 지연하지 않고 바로 최종 리드/라이트 신호(FRW)를 생성하므로 비동기 액세스 시간(tAA)이 더 짧게 소요됨을 확인할 수 있다.
- <68> 도7 은 본 발명에 따른 반도체 메모리 장치의 블록도로서 어드레스 레지스터(310)는 액티브 동작 시에 명령 디코더(380)로부터 인가되는 액티브 신호(ACT)에 응답하여 외부에서 어드레스(ADD)를 인가받아 로우 어드레스(RA) 및 칼럼 어드레스(CA)로 구분하여 각각 로우 디코더(330) 및 칼럼 디코더(340)로 전송한다.
- <69> 로우 디코더(330)는 명령 디코더(380)에서 인가되는 로우 어드레스 스트로브 신호(RAS)에 응답하여 어드레스 레

지스터(310)로부터 로우 어드레스(RA)를 인가받아 메모리 셀 어레이(320)의 특정 행을 지정한다.

- <70> 칼럼 디코더(340)는 명령 디코더(380)에서 인가되는 칼럼 어드레스 스트로브 신호(CAS)에 응답하여 레이턴시 제어부(350)로부터 칼럼 어드레스(CA)를 인가받아 디코딩하여 메모리 셀 어레이(320)의 특정 열을 지정한다. 칼럼 디코더(340)는 도2 내지 도5 의 디코더부(120, 220)와 리턴던시 퓨즈부(230) 및 칼럼 선택부(130, 240)를 포함하여 애디티브 레이턴시가 0이 아니면 내부 리드/라이트 명령(MRW)이 레이턴시 제어부(350)에서 생성되기 전에 먼저 칼럼 어드레스(CA)를 인가받아 디코딩하거나 리턴던시 메모리 셀의 사용 여부를 판별한다.
- <71> 메모리 셀 어레이(320)는 행방향의 복수개의 워드 라인과 열방향의 복수개의 비트 라인, 그리고 워드 라인과 비트 라인이 교차하는 지점에 각각 메모리 셀을 구비하고, 데이터를 감지, 증폭할 수 있는 복수개의 센스 앰프로 구성되는 센스 증폭부를 구비한다. 메모리 셀 어레이(320)는 로우 디코더(330)에 의해 선택된 워드 라인 상의 메모리 셀이 선택되고, 칼럼 디코더(340)에 의해 선택된 센스 앰프가 선택된 워드 라인의 메모리 셀 중에서 특정 메모리 셀의 데이터(DQ)를 감지, 증폭한다.
- <72> 데이터 입출력부(390)는 레이턴시 제어부(350)에서 출력되는 내부 리드/라이트 명령(MRW)에 응답하여 메모리 셀 어레이(320)에서 로우 디코더(330)와 칼럼 디코더(340)에 의해 지정된 메모리 셀에 데이터(DQ)를 외부로 출력하거나, 외부에서 인가되는 데이터(DQ)를 지정된 메모리 셀에 저장한다. 데이터 입출력부(390)는 데이터 리드 시에 레이턴시 설정부(360)로부터 CAS 레이턴시를 인가받아 CAS 레이턴시(CL)에 의해 지정된 시간에 데이터를 외부로 출력한다.
- <73> 명령 디코더(380)는 외부에서 인가되는 명령(CMD)을 분석하여 모드 레지스터(370)로 모드 설정 신호(MRS)를 출력하고, 데이터의 입출력을 제어 하는 리드, 라이트 명령(RW)을 레이턴시 제어부(350)로 출력한다.
- <74> 모드 레지스터(370)는 명령 디코더(380)로부터 모드 설정 신호(MRS)를 인가받고, 모드 설정 신호(MRS)에 응답하여 외부로부터 모드 설정 코드(M_CODE)를 인가받아 조합하여 반도체 메모리 장치의 기본 설정을 저장한다. 또한 모드 레지스터는 외부에서 인가된 모드 설정 코드(M_CODE)가 기본 모드 설정 코드인 경우에는 모드 설정 신호(MR)를 출력하고, 기본 모드 설정 코드가 아닌 확장 모드 설정 코드인 경우에는 확장 모드 신호(EMR)를 레이턴시 설정부(360)로 출력한다.
- <75> 레이턴시 설정부(360)는 모드 레지스터(370)로부터 인가되는 확장 모드 설정 신호에 응답하여 레이턴시 설정 코드(MRA)를 디코딩하여 애디티브 레이턴시(AL)를 출력한다. 그리고 모드 레지스터(118)에 기본 모드 설정 코드가 저장된 경우에는 CAS 레이턴시에 대한 설정을 인가받아 CAS 레이턴시(CL)를 데이터 입출력부(116)로 출력한다.
- <76> 레이턴시 제어부(350)는 레이턴시 설정부(360)로부터 애디티브 레이턴시(AL)를 인가받고, 명령 디코더(380)로부터 인가되는 리드/라이트 명령(RW)에 응답하여 어드레스 레지스터(310)로부터 칼럼 어드레스(CA)를 인가받는다. 그리고 리드/라이트 명령(RW)을 설정된 애디티브 레이턴시(AL)만큼 지연하여 내부 리드/라이트 명령(MRW)을 출력한다. 여기서 애디티브 레이턴시(AL0)가 0인 경우에 칼럼 어드레스(CA)는 내부 리드/라이트 명령(MRW)이 생성되기 전에 칼럼 디코더(340)로 출력될 수 있다. 또한 레이턴시 제어부(350)는 도2 내지 도5 의 지연시간 선택부(110, 210)를 더 구비하여, 내부 리드/라이트 명령(MRW)을 애디티브 레이턴시에 따라 지연하거나 지연하지 않고 최종 리드/라이트 명령(FRW)으로서 출력한다. 칼럼 디코더(340)는 tRCD 이후에 내부 리드/라이트 명령이 인가될 때까지 미리 칼럼 어드레스(CA)에 대해 디코딩하고 리턴던시 칼럼의 사용여부를 판별함으로써 레이턴시 제어부(350)의 지연 시간 선택부(110, 210)는 내부 리드/라이트 명령(MRW)을 지연할 필요 없이 바로 최종 리드/라이트 명령(FRW)으로 출력할 수 있게 된다.
- <77> 즉 도7 에서는 칼럼 디코더(340)가 내부 리드/라이트 명령(FRW)보다 칼럼 어드레스(CA)를 먼저 인가받아 어드레스에 대한 판별 작업을 수행함으로써 tRCD 이후에 최종 리드/라이트 명령(MRW)이 인가될 때 곧바로 칼럼 선택 신호 또는 리턴던시 칼럼 선택 신호를 출력한다. 따라서 메모리 셀 어레이의 해당 메모리 셀에 대한 비동기 액세스 시간(tAA)을 단축시킬 수 있다.
- <78> 상기에서는 메모리를 구비한 반도체 메모리 장치의 일예로서 디램을 기준으로 하여 설명하였다. 본 발명이 디램에 적용될 때 애디티브 레이턴시가 0이 아닌 경우를 예로 들었으나 일반적인 메모리를 구비한 반도체 장치에서 내부 리드/라이트 명령보다 칼럼 어드레스가 먼저 인가되는 경우에는 항상 적용 가능하다. 또한 도2 내지 도5 에서 칼럼 어드레스에 대한 디코딩과 리턴던시 칼럼의 사용 여부를 판별하는 것으로 예시하였으나, 로우 어드레스에 대한 디코딩과 리턴던시 로우의 사용 여부를 판별하는 경우에도 적용 할 수 있음은 자명하다.
- <79> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정

및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

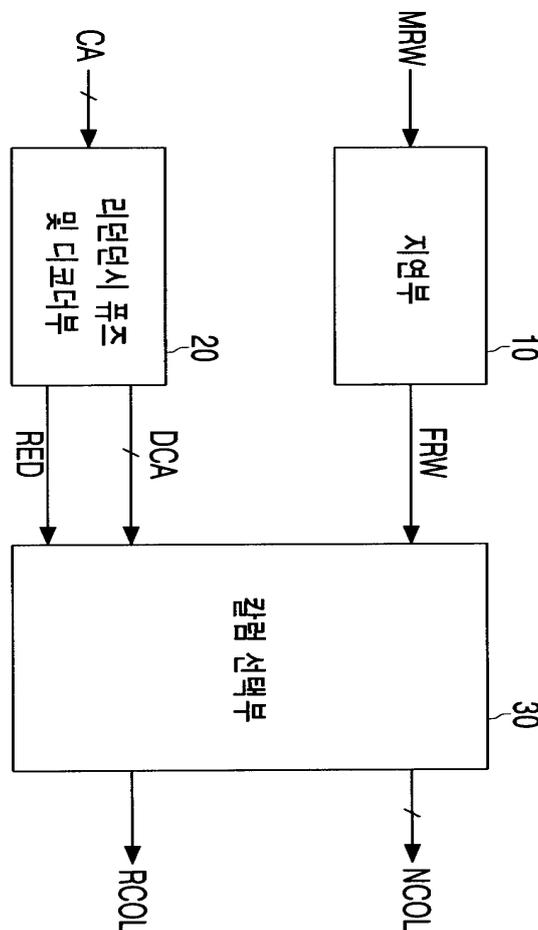
<80> 따라서, 본 발명의 메모리를 구비한 반도체 장치는 내부 리드/라이트 명령이 생성되기 전에 어드레스가 인가되는 경우에 미리 어드레스를 디코딩하고 리턴던시 메모리 셀의 사용 여부를 판단함으로써 내부 리드/라이트 명령을 지연할 필요가 없다. 따라서 tRCD 이후에 내부 리드/라이트 명령이 인가되면 즉시 해당 메모리셀에 접근할 수 있으므로 비동기 액세스 타임을 줄여주게 되어 반도체 장치의 동작 속도를 빠르게 할 수 있다.

도면의 간단한 설명

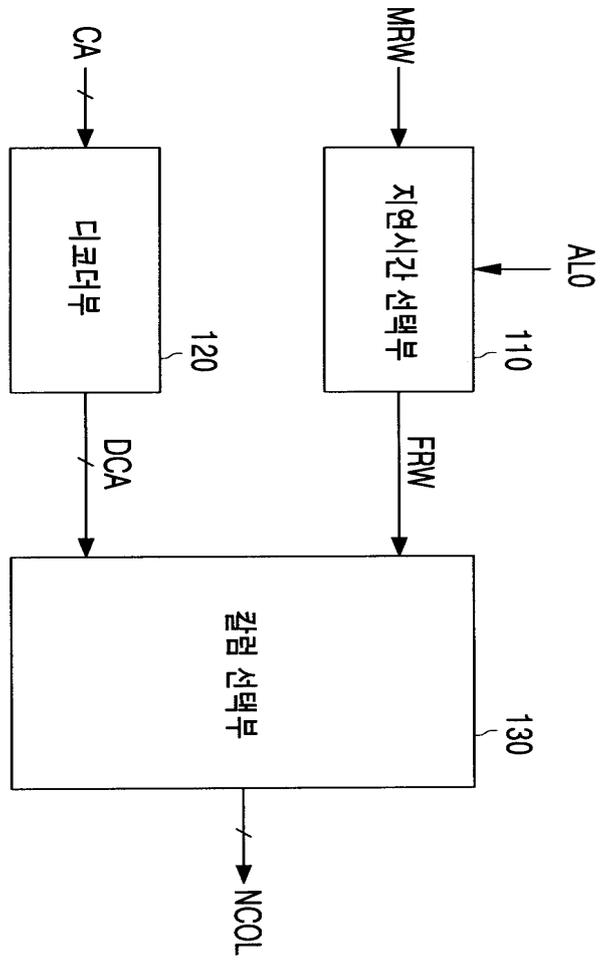
- <1> 도1 은 종래의 반도체 메모리 장치의 어드레스 디코더부를 나타내는 블록도이다.
- <2> 도2 는 본 발명에 따른 반도체 메모리 장치의 어드레스 디코더부의 일 실시예를 나타내는 블록도이다.
- <3> 도3 은 도2 의 어드레스 디코더부의 상세 회로도이다.
- <4> 도4 는 본 발명에 따른 반도체 메모리 장치의 어드레스 디코더부의 다른 실시예를 나타내는 블록도이다.
- <5> 도5 는 도4 의 어드레스 디코더부의 상세 회로도이다.
- <6> 도6a 와 도6b 는 종래의 반도체 메모리 장치와 본 발명의 반도체 메모리 장치의 어드레스 액세스 타이밍도이다.
- <7> 도7 은 본 발명에 따른 반도체 메모리 장치의 블록도이다.

도면

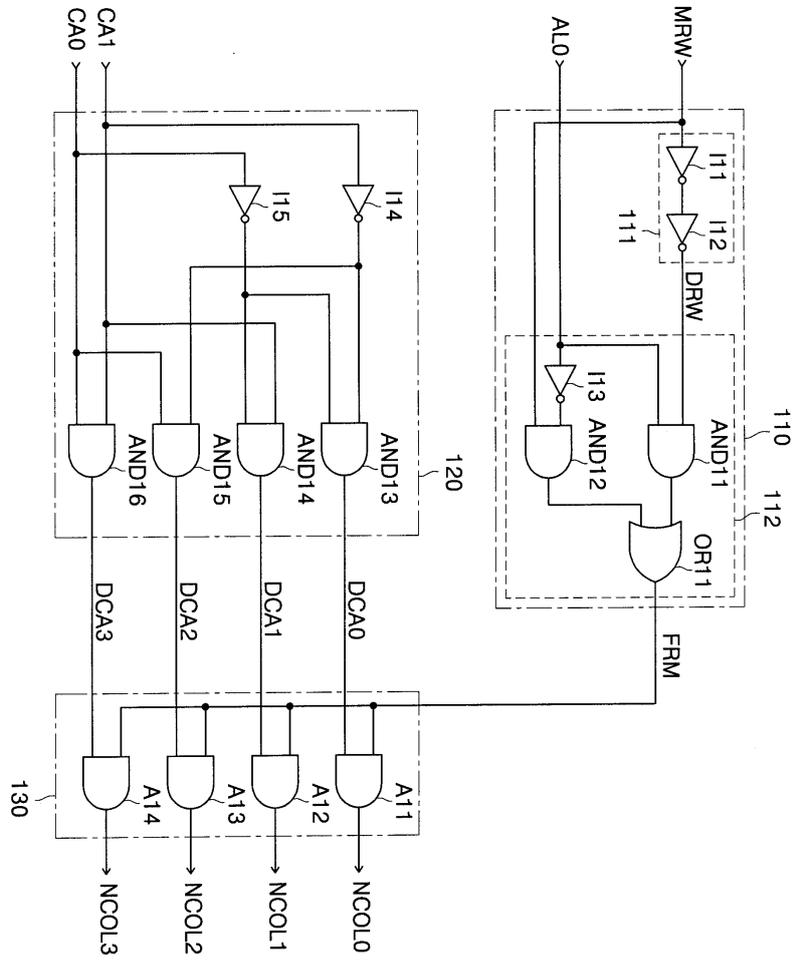
도면1



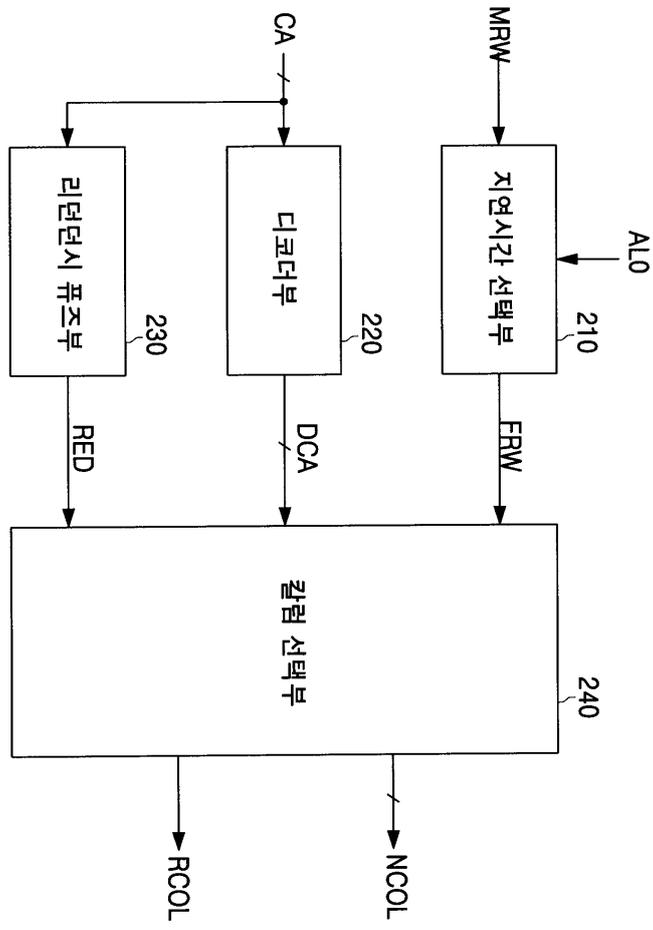
도면2



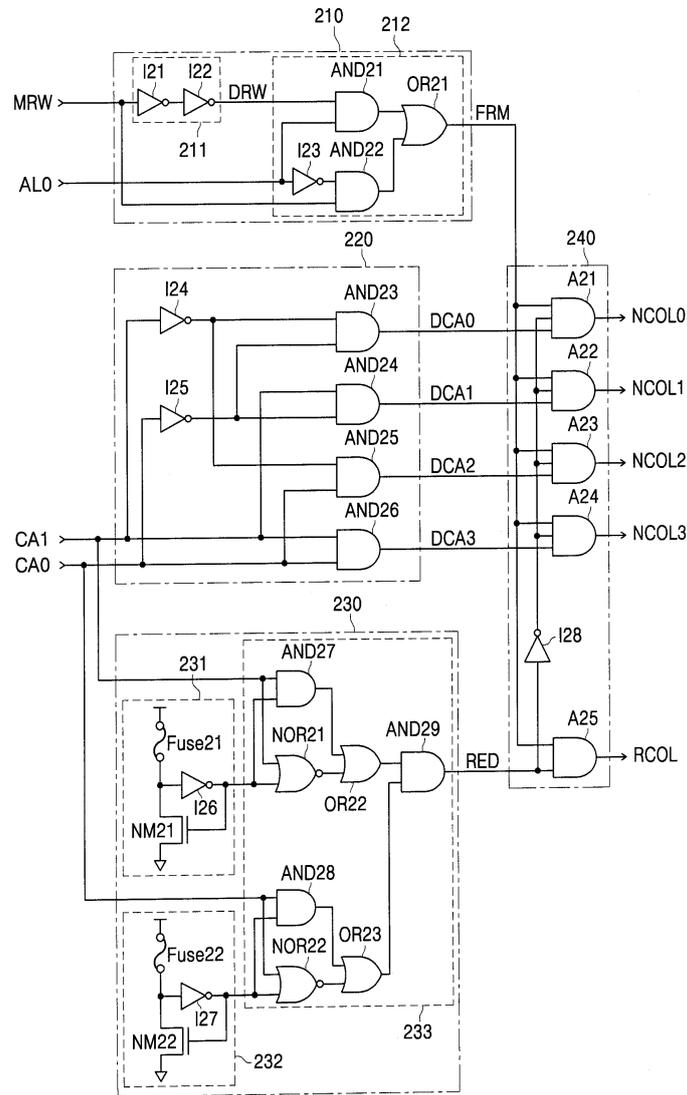
도면3



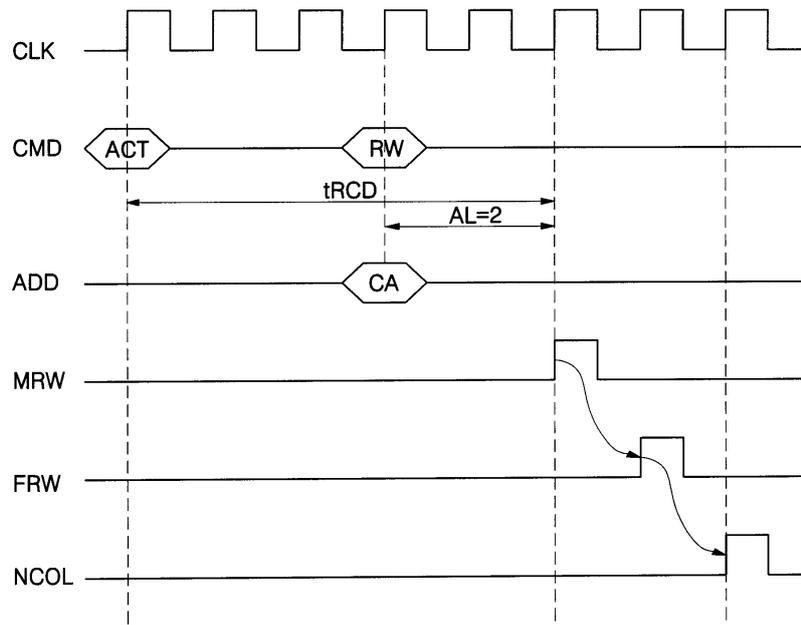
도면4



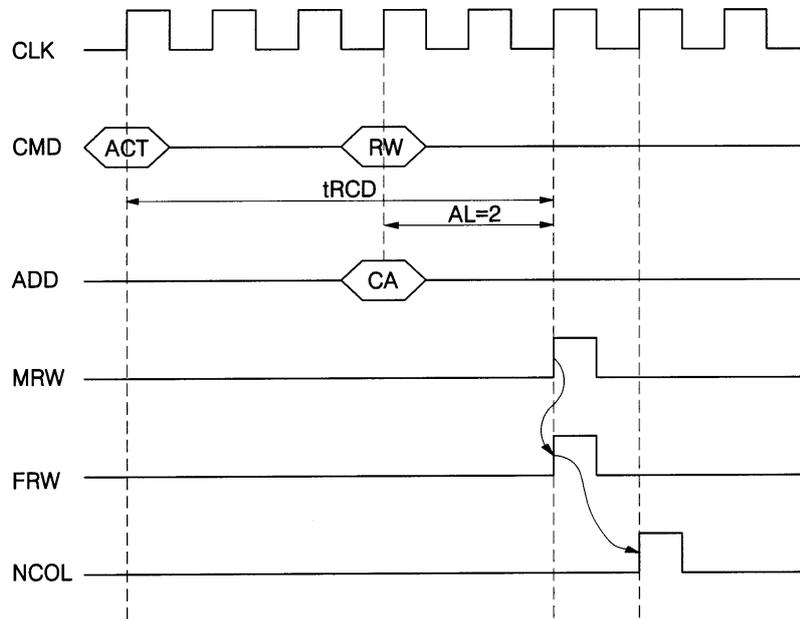
도면5



도면6a



도면6b



도면7

