



(12)发明专利

(10)授权公告号 CN 107887324 B

(45)授权公告日 2019.09.13

(21)申请号 201610874650.8

(22)申请日 2016.09.30

(65)同一申请的已公布的文献号  
申请公布号 CN 107887324 A

(43)申请公布日 2018.04.06

(73)专利权人 上海微电子装备(集团)股份有限公司

地址 201203 上海市浦东新区张东路1525号

(72)发明人 陈勇辉 唐世弋

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51)Int.Cl.

H01L 21/768(2006.01)

(56)对比文件

CN 102637608 A,2012.08.15,  
US 2014191387 A1,2014.07.10,  
CN 105304507 A,2016.02.03,

审查员 王晓峰

权利要求书2页 说明书7页 附图8页

(54)发明名称

一种半导体重布线方法

(57)摘要

本发明提供一种半导体重布线方法,计算出载具上每个电性连接点的偏移值后,先使用无掩膜光刻方式进行偏移值修正,在电性连接点上形成重布线结构,然后通过有掩膜光刻方式对修正后的多层重布线层和植球层进行单一化处理,获得无偏移的植球垫。这样将无掩膜光刻和有掩膜光刻相结合,相对于单纯使用无掩膜光刻方式,能够提高效率,节省时间。



1. 一种半导体重布线方法,其特征在于,包括以下步骤:

步骤1:设置承载多个半导体元件的载具,每个所述半导体元件具有若干个电性连接点;

步骤2:测量所述电性连接点相对于所述载具的坐标值,将所述坐标值与标准值对比,获得每个电性连接点的偏移值;

步骤3:根据得到的偏移值,通过无掩膜光刻的方式,在所述电性连接点形成重布线结构,进行偏移值修正;

步骤4:在所述重布线结构上形成植球垫以及覆盖所述植球垫的保护层,通过有掩膜曝光方式,对覆盖所述植球垫的保护层进行光刻,定义出无偏移的植球垫的位置和图形尺寸。

2. 如权利要求1所述的半导体重布线方法,其特征在于,步骤3中通过无掩膜光刻的方式进行偏移值修正方法为:根据所述偏移值的范围,选择无掩膜曝光和有掩膜曝光混合的曝光方式。

3. 如权利要求2所述的半导体重布线方法,其特征在于,步骤3中设置偏移值的临界范围,

当所述电性连接点的偏移值小于所述临界范围时,选择有掩膜曝光方式曝光;

当所述电性连接点的偏移值大于所述临界范围时,选择无掩膜曝光方式曝光;

当所述电性连接点的偏移值位于所述临界范围内,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

4. 如权利要求3所述的半导体重布线方法,其特征在于,选取两条相互垂直且同时平行于所述载具表面的直线方向作为X和Y方向,选取垂直于所述载具表面的直线方向作为Z方向,形成XYZ三维坐标系,步骤2中所述偏移值为X偏移值、Y偏移值和 $R_z$ 偏移值至少其一,其中 $R_z$ 为围绕Z轴旋转的方向。

5. 如权利要求3所述的半导体重布线方法,其特征在于,所述临界范围为 $5\mu\text{m}\sim 7\mu\text{m}$ 。

6. 如权利要求3所述的半导体重布线方法,其特征在于,步骤3中通过无掩膜光刻的方式进行偏移值修正的方法具体为:

首先对偏移值大于所述临界范围的电性连接点,使用无掩膜曝光方式曝光;

然后对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式曝光,曝光时对已经使用无掩膜方式曝光之处予以屏蔽;

其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

7. 如权利要求3所述的半导体重布线方法,其特征在于,步骤3中通过无掩膜光刻的方式进行偏移值修正的方法具体为:

首先对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式曝光;

然后对偏移值大于所述临界范围的电性连接点,使用无掩膜曝光方式曝光,曝光时对已经使用有掩膜方式曝光之处予以屏蔽;

其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当

前区域选择该曝光方式曝光。

8. 如权利要求1所述的半导体重布线方法,其特征在于,还包括步骤5,在步骤4得到的植球垫上形成焊球。

9. 如权利要求1所述的半导体重布线方法,其特征在于,所述半导体元件为芯片。

## 一种半导体重布线方法

### 技术领域

[0001] 本发明涉及半导体领域,特别涉及一种半导体重布线方法。

### 背景技术

[0002] 随着集成电路技术的不断发展,电子产品越来越向小型化、智能化、高性能以及高可靠性方向发展。而集成电路封装不仅直接影响着集成电路性能,而且还制约着整个电子系统的小型化、低成本和可靠性。在集成电路芯片尺寸逐步缩小,集成高度不断提高的情况下,对集成电路封装提出了越来越高的要求。

[0003] 扇外型晶圆封装(Fan Out Wafer Level Package,可简称为FOWLP)是一种如图1所示将芯片晶圆切割成独立芯片2后重新排布在新载体1上进行晶圆级封装的封装工艺。通过传统的晶圆级封装工艺,可以在新载体1上形成新的封装体3。其中单颗封装体的封装结构示意图如图4所示,图4中,芯片2嵌入在封装体3内,芯片2的焊盘4通过光刻、CVD、PVD、刻蚀和电镀等工艺形成由下绝缘层7、金属层5和上绝缘层6组成的重新再布线结构,在新的I/O端口(即电性连接点)上形成焊球8均匀的分布在新封装体3上,若干个新封装体3排列在新载体1上形成图2所示的结构。

[0004] 典型的扇外型晶圆封装重布线工艺方法,是采用光刻工艺定义上绝缘层6、金属层5和下绝缘层7的图形和位置,再通过CVD、PVD和电镀等工艺生成绝缘层和金属层。主流的光刻技术(即有掩膜光刻)需要先按照目标图形的一定比例制造掩膜,通过光学投影的方式使芯片上涂敷的光敏胶部分区域发生反应定义图形和位置。由于满足大规模量产率的芯片重新排布设备的芯片定位精度仅为 $7\mu\text{m}\sim 10\mu\text{m}$ (需要提高到小于 $5\mu\text{m}$ ),使得光刻良率不高,难以大规模量产。

[0005] 另外还有一种无掩膜光刻技术,其原理是通过光调制器取代掩膜,通过实时控制制作出需要的图形,采用无掩膜光刻时结构如图3所示,这种方式能够解决芯片重新排布定位精度不准的问题,但是这种方式需要将整片新载体1上的所有光刻区域都进行拟合计算,所以每次光刻的产率极低(每次光刻需要2~3小时),不能满足目前扇外型晶圆封装工艺的生产节拍(5~10分钟)。

### 发明内容

[0006] 为解决上述问题,本发明提出了一种半导体重布线方法,使用无掩膜曝光方式和有掩膜曝光方式相互配合,综合两者的优点,相对于单纯使用无掩膜曝光方式能够节省时间、提高效率,相对于单纯使用有掩膜曝光方式能够提高光刻精度。

[0007] 为达到上述目的,本发明提供一种半导体重布线方法,包括以下

[0008] 步骤:

[0009] 步骤1:设置承载多个半导体元件的载具,每个所述半导体元件具有若干个电性连接点;

[0010] 步骤2:测量所述电性连接点相对于所述载具的坐标值,将所述坐标值与标准值对

比,获得每个电性连接点的偏移值;

[0011] 步骤3:根据得到的偏移值,通过无掩膜光刻的方式,在所述电性连接点形成重布线结构,进行偏移值修正;

[0012] 步骤4:通过有掩膜曝光方式,对重布线结构中的多层重布线层和植球层进行单一化处理,获得无偏移的多层重布线层和植球垫。

[0013] 作为优选,步骤3中通过无掩膜光刻的方式进行偏移值修正方法为:根据所述偏移值的范围,选择无掩膜曝光和有掩膜曝光混合的曝光方式。

[0014] 作为优选,步骤3中设置偏移值的临界范围,

[0015] 当所述电性连接点的偏移值小于所述临界范围时,选择有掩膜曝光方式曝光;

[0016] 当所述电性连接点的偏移值大于所述临界范围时,选择无掩膜曝光方式曝光;

[0017] 当所述电性连接点的偏移值位于所述临界范围内,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任何一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

[0018] 作为优选,选取两条相互垂直且同时平行于所述载具表面的直线方向作为X和Y方向,选取垂直于所述载具表面的直线方向作为Z方向,形成XYZ三维坐标系,步骤2中所述偏移值为X偏移值、Y偏移值和 $R_z$ 偏移值至少其一,其中 $R_z$ 为在围绕Z轴旋转的方向。

[0019] 作为优选,所述临界范围为 $5\mu\text{m}\sim 7\mu\text{m}$ 。

[0020] 作为优选,步骤3中通过无掩膜光刻的方式进行偏移值修正的方法具体为:

[0021] 首先对偏移值大于所述临界范围的电性连接点,使用无掩膜曝光方式曝光;

[0022] 然后对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式曝光,曝光时对已经使用无掩膜方式曝光之处予以屏蔽;

[0023] 其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任何一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

[0024] 作为优选,步骤3中通过无掩膜光刻的方式进行偏移值修正的方法具体为:

[0025] 首先对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式曝光;

[0026] 然后对偏移值大于所述临界范围的电性连接点,使用无掩膜曝光方式曝光,曝光时对已经使用有掩膜方式曝光之处予以屏蔽;

[0027] 其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任何一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

[0028] 作为优选,还包括步骤5,在步骤4得到的植球垫上形成焊球。

[0029] 作为优选,所述半导体元件为芯片。

[0030] 本发明还提供一种半导体重布线方法,包括以下步骤:

[0031] 设置承载多个半导体元件的载具,每个所述半导体元件具有若干个电性连接点;

[0032] 测量所述电性连接点相对于所述载具的坐标值;

[0033] 将所述坐标值与标准值对比,获得每个电性连接点的偏移值,设定偏移值的临界范围,进行光刻,在所述电性连接点形成重布线结构,形成重布线结构的步骤具体为:

[0034] 对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式;

[0035] 对偏移值大于所述临界范围的电性连接点,选择无掩膜曝光方式;

[0036] 其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光;

[0037] 通过有掩膜曝光方式,对重布线结构中的多层重布线层和植球层进行单一化处理,获得无偏移的多层重布线层和植球垫。

[0038] 作为优选,选取两条相互垂直且同时平行于所述载具表面的直线方向作为X和Y方向,选取垂直于所述载具表面的直线方向作为Z方向,形成XYZ三维坐标系,步骤2中所述偏移值为X偏移值、Y偏移值和 $R_z$ 偏移值至少其一,其中 $R_z$ 为围绕Z轴旋转的方向。

[0039] 作为优选,所述形成重布线结构的步骤具体为:

[0040] 首先对偏移值大于所述临界范围的电性连接点,使用无掩膜曝光方式曝光;

[0041] 然后对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式曝光,曝光时对已经使用无掩膜方式曝光之处予以屏蔽;

[0042] 其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

[0043] 作为优选,所述形成重布线结构的步骤具体为:

[0044] 首先对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式曝光;

[0045] 然后对偏移值大于所述临界范围的电性连接点,使用无掩膜曝光方式曝光,曝光时对已经使用有掩膜方式曝光之处予以屏蔽;

[0046] 其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光。

[0047] 作为优选,所述临界范围为 $5\mu\text{m}\sim 7\mu\text{m}$ 。

[0048] 作为优选,所述半导体元件为芯片。

[0049] 与现有技术相比,本发明的有益效果是:本发明提供一种半导体重布线方法,计算出载具上每个电性连接点的偏移值后,先使用无掩膜光刻方式进行偏移值修正,在电性连接点上形成重布线结构,然后通过有掩膜光刻方式对多层重布线层和植球层进行单一化处理,获得无偏移的植球垫。这样将无掩膜光刻和有掩膜光刻相结合,相对于单纯使用无掩膜光刻方式,能够提高效率,节省时间。

[0050] 本发明还提供一种半导体重布线方法,在计算出载具上每个电性连接点的偏移值后,并对偏移值设定临界范围,对偏移值小于所述临界范围的电性连接点,使用有掩膜曝光方式;对偏移值大于所述临界范围的电性连接点,选择无掩膜曝光方式;其中对偏移值位于所述临界范围内的电性连接点,计算围绕当前区域的相邻区域的个数,在这些相邻区域中任意一种曝光方式被选择的次数若大于相邻区域个数的一半,则当前区域选择该曝光方式曝光,这样具有针对性地选择曝光方式,对于精度要求高之处选择无掩膜曝光,对于精度要求低之处选择有掩膜曝光,将有掩膜曝光与无掩膜曝光相互配合,从而提高工艺效率,节省时间,并同时保证了精度。

## 附图说明

- [0051] 图1和图2皆为现有技术中扇外型晶圆封装的结构示意图；
- [0052] 图3为现有技术中使用无掩膜光刻技术的扇外型晶圆封装的结构示意图；
- [0053] 图4为现有技术中单颗封装体的封装结构示意图；
- [0054] 图5为本发明实施例一中芯片在载具上的形成偏移的示意图；
- [0055] 图6为本发明实施例一中方法流程图；
- [0056] 图7为本发明实施例一中在芯片上沉积保护层后示意图；
- [0057] 图8为本发明实施例一中在保护层上沉积光刻胶后示意图；
- [0058] 图9为本发明实施例一中对光刻胶曝光显影后示意图；
- [0059] 图10为本发明实施例一中对保护层曝光显影后示意图；
- [0060] 图11为本发明实施例一中对图10结构进行沉积光刻胶后示意图；
- [0061] 图12为本发明实施例一中对光刻胶进行曝光显影后示意图；
- [0062] 图13为本发明实施例一中对图12结构沉积金属层后示意图；
- [0063] 图14为本发明实施例一中对图13结构沉积保护层后示意图；
- [0064] 图15为本发明实施例一中对图14结构沉积光刻胶后示意图；
- [0065] 图16为本发明实施例一中对图15结构对光刻胶曝光显影后示意图；
- [0066] 图17为本发明实施例一中将植球垫暴露示意图；
- [0067] 图18为本发明实施例一中植球示意图；
- [0068] 图19为本发明实施例二方法流程图；
- [0069] 图20为本发明实施例二在芯片上沉积保护层后示意图；
- [0070] 图21为本发明实施例二在图20结构上沉积光刻胶后示意图；
- [0071] 图22为本发明实施例二对保护层光刻将电性连接点暴露示意图；
- [0072] 图23为本发明实施例二在图22结构上沉积金属种子层形成导通线路示意图；
- [0073] 图24为本发明实施例二在图23结构上沉积保护层后示意图；
- [0074] 图25为本发明实施例二在将导通线路暴露示意图；
- [0075] 图26为本发明实施例二形成植球垫示意图；
- [0076] 图27为本发明实施例二在植球垫上沉积保护层示意图；
- [0077] 图28为本发明实施例二对图27结构光刻并形成焊球后示意图。
- [0078] 图1-图4中：1-新载体、2-芯片、3-封装体、4-焊盘、5-金属层、6-上绝缘层、7-下绝缘层、8-焊球；
- [0079] 图5-图28中：100-载体，210、220、230-芯片，211、212、221、222、231、232-电性连接点，241-修正电性连接点，310、320、330-保护层，410、420-光刻胶，600-植球垫，700-焊球；
- [0080] LL-芯片中心轴、UU-封装体中心轴。

## 具体实施方式

[0081] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0082] 实施例一

[0083] 本发明实施例一提供一种扇外型晶圆封装方法，请参照图5，在载体100上完成了

芯片重新排布,在图5的视角上,水平横向排列三个芯片210、220和230,每个芯片上各自设置两个I/O端口,也即设置两个电性连接点,即形成了六个电性连接点211、212、221、222、231、232。

[0084] 以水平横向为X轴,以竖直方向为Z轴,以垂直于XZ平面方向为Y轴建立XYZ三维坐标系。

[0085] 在载体100上排布若干个芯片,本实施例为三个芯片210、220和230,根据后续植球工艺的参数,对每个芯片上的电性连接点以及植球垫定义其坐标值的标准值。

[0086] 从图5中可以看出,由于前道工艺原因,导致排列在载体100上的三个芯片产生了不同程度的偏移,尤其是其中芯片210和芯片230的芯片中心轴LL相对于每个封装体中心轴UU产生的偏移较大,偏移间距可达7 $\mu$ m,从而每个电性连接点的实际坐标值相对于标准值必定会产生偏移。

[0087] 因此在进行植球工艺之前,必须对三个芯片上的电性连接点进行位置修正,得到相对于标准值无偏移的植球垫600,才能进行精确地植球。位置修正的方法就是通过光刻重新布线,将电性连接点连通至位置修正后的植球垫600上。

[0088] 如图6所示,具体实施的工艺步骤如下:

[0089] 步骤1.01:首先对载体100上已经完成重新排布的芯片逐步扫描,形成芯片位置布局mapping图,请参照图7,在完成芯片重新排布的载体100的芯片器件面淀积保护层材料,形成保护层310;

[0090] 其中,保护层材料可以选择介质材料或者有机材料。保护层310的淀积工艺可以采用各种气相沉积、氧化等方法。

[0091] 步骤1.02:在步骤1.01形成的保护层310上沉积光刻胶410,请参照图8;

[0092] 步骤1.03:采用具有无掩膜光刻功能设备,在六个电性连接点211、212、221、222、231、232对应的区域进行曝光工艺,通过曝光、显影、坚膜等光刻工艺定义要制作重新布线的电性连接点对应的区域,如图9所示;

[0093] 其中,无掩膜光刻设备可根据预先输入的芯片位置布局mapping图和光刻定义图形在载体100上通过与芯片的对准,找出对应的光刻区域。

[0094] 步骤1.04:去除步骤1.03中光刻工艺定义出的在电性连接点区域覆盖的保护层材料,如图10所示;

[0095] 其中,保护层材料去除方式可通过湿法腐蚀或干法刻蚀等方式来实现。

[0096] 步骤1.05:在步骤1.04形成的结构上沉积光刻胶420,如图11所示;

[0097] 步骤1.06:采用具有无掩膜光刻功能设备,通过曝光、显影、坚膜等光刻工艺定义制作金属重新布线区域。通过金属重新布线实现与芯片电性连接点互连,其中金属重新布线的金属线路位置通过载体100上的基准统一定义,并根据芯片的位置偏移进行微调和补偿,如图12所示;

[0098] 步骤1.07:在步骤1.06形成的结构上溅射金属种子层,再通过化学镀、电镀等方法,形成重新布线的金属线路,也即形成了用于植球的植球垫600,如图13所示;

[0099] 其中,生长金属材料可以是铜、铝、钨等金属,并不限于所述的三种金属材料。

[0100] 步骤1.08:去除残余光刻胶,然后沉积保护层320,如图14所示;

[0101] 其中,保护层320的材料可以选择介质材料或者有机材料,保护层320的沉积工艺



可以采用各种气相沉积、氧化或溅射等方法。

[0102] 步骤1.09:在步骤1.08形成的结构上沉积光刻胶420,如图15所示;

[0103] 步骤1.10:采用有掩膜光刻功能设备,以载体100为统一基准,定义相对于标准值无偏移的植球垫600的位置和图形尺寸,如图16所示;

[0104] 步骤1.11:去除光刻胶420,去除光刻工艺定义出的植球垫600区域覆盖的保护层材料,如图17所示;

[0105] 其中,保护层材料去除方式可通过湿法腐蚀或干法刻蚀等方式来实现。

[0106] 步骤1.12:完成焊球700制作工艺,如图18所示。

[0107] 本实施例可将无掩膜光刻和有掩膜光刻相结合,相对于单纯使用无掩膜光刻方式,能够提高效率,节省时间。

[0108] 实施例二

[0109] 本发明实施例二提供一种扇出晶圆封装方法,对于载体100的芯片位置数量较少的情况,可首先对载体100上的经过重新排布的芯片进行位置扫描,形成芯片位置布局mapping图,并且对于偏移值,设定以临界范围,临界范围可根据具体工况设定,本实施例中以偏移 $5\mu\text{m}\sim 7\mu\text{m}$ 为临界基准。如当芯片位置偏移值大于临界范围的区域采用无掩膜曝光然后再整片采用有掩膜曝光的光刻方式,通过这种方式可大大提高扇出型晶圆封装的产率。

[0110] 或者在曝光时,对于偏移值大于临界范围的区域采用无掩膜曝光,对于偏移值小于临界范围的区域采用有掩膜曝光,对于偏移值位于临界范围内的区域,选择围绕该区域的其它区域中被选择次数最多的曝光方式曝光。在曝光前的光刻系统中,所有区域的曝光方式都已经事先定义好,则偏移值位于临界范围内的区域若选择有掩膜曝光方式,则与偏移值小于临界范围的区域一起曝光;若偏移值位于临界范围内的区域选择无掩膜曝光方式,则与偏移值大于临界范围内的区域一起曝光。

[0111] 其中偏移值大于临界范围的区域和小于临界范围的区域的曝光次序并不固定,如可先对偏移值大于临界范围的区域以及临界范围内需要选择无掩膜曝光方式的区域采用无掩膜方式曝光,然后对于剩下的区域采用有掩膜曝光方式曝光,曝光的同时对于已经曝光过的区域予以屏蔽处理;同样也可先对偏移值小于临界范围的区域以及临界范围内需要选择有掩膜曝光方式的区域采用有掩膜曝光方式曝光,对于剩下的区域采用无掩膜曝光方式曝光,曝光的同时对于已经曝光过的区域予以屏蔽处理。

[0112] 具体方法如图19所示,具体步骤如下:

[0113] 步骤2.01:对载体100的芯片布局进行位置扫描,形成芯片位置布局mapping图;

[0114] 步骤2.02:在完成芯片重新排布的载体100的芯片器件面淀积保护层材料,形成保护层310,如图20所示;

[0115] 其中,保护层310的材料可以选择介质材料或者有机材料。保护层310的淀积工艺可以采用各种气相沉积、氧化等方法。

[0116] 步骤2.03:在步骤2.02形成的结构上沉积光刻胶410,如图21所示;

[0117] 步骤2.04:以水平横向为X轴,以竖直方向为Z轴,以垂直于XZ平面方向为Y轴建立XYZ三维坐标系。偏移值分为X偏移值、Y偏移值和 $R_z$ 偏移值, $R_z$ 为围绕Z轴旋转的方向,对电性连接点的上述任意一种偏移值大于临界范围的区域,采用无掩膜光刻功能设备进行曝光工艺,对电性连接点的上述任意一种偏移值大于临界范围的区域,采用有掩膜光刻功能设备

进行曝光工艺,对于偏移值位于临界范围内的区域,选择围绕该区域的其它区域中被选择次数最多的曝光方式曝光,然后去除电性连接点所对应区域的保护层310,如图22所示;

[0118] 其中偏移值大于临界范围的区域和小于临界范围的区域的曝光次序并不固定,如可先对偏移值大于临界范围的区域以及临界范围内需要选择无掩膜曝光方式的区域采用无掩膜方式曝光,然后对于剩下的区域采用有掩膜曝光方式曝光,曝光的同时对于已经曝光过的区域予以屏蔽处理;同样也可先对偏移值小于临界范围的区域以及临界范围内需要选择有掩膜曝光方式的区域采用有掩膜曝光方式曝光,对于剩下的区域采用无掩膜曝光方式曝光,曝光的同时对于已经曝光过的区域予以屏蔽处理。

[0119] 其中,保护层材料去除方式可通过湿法腐蚀或干法刻蚀等方式来实现。

[0120] 步骤2.05:通过上述方式定义了电性连接点的区域,并在上述形成的结构上通过溅射金属种子层,再通过化学镀、电镀等方法,形成修正电性连接点241,如图23所示;

[0121] 步骤2.06:在步骤2.05形成的结构上沉积保护层320,如图24所示;

[0122] 步骤2.07:采用有掩膜光刻功能设备,通过光刻工艺定义出修正电性连接点241所在的区域,并去除该区域上覆盖的保护层320,如图25所示;

[0123] 步骤2.08:采用有掩膜光刻功能设备通过曝光工艺定义制作金属重新布线区域。溅射金属种子层,再通过化学镀、电镀等方法,形成金属线路,如图26所示;

[0124] 其中,生长金属材料可以是铜、铝、钨等金属,并不限于所述的三种金属材料。

[0125] 步骤2.09:在步骤2.08形成的结构上沉积保护层330,如图27所示;

[0126] 其中,保护层材料可以选择介质材料或者有机材料,保护层330的淀积工艺可以采用各种气相沉积、氧化或溅射等方法。

[0127] 步骤2.10:采用有掩膜光刻功能设备,定义无偏移的植球垫600的位置和图形尺寸,去除植球垫600对应的区域上覆盖的保护层330,完成焊球700制作工艺,如图28所示。

[0128] 本实施例对于具有不同偏移值的不同区域针对性地采用不同的曝光方式,更好地将无掩膜光刻和有掩膜光刻相互结合,提高光刻效率,节省时间。

[0129] 本发明对上述实施例进行了描述,但本发明不仅限于上述实施例,如载体100可以承载芯片以外的其它具有电性连接点的半导体器件。显然本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包括这些改动和变型在内。

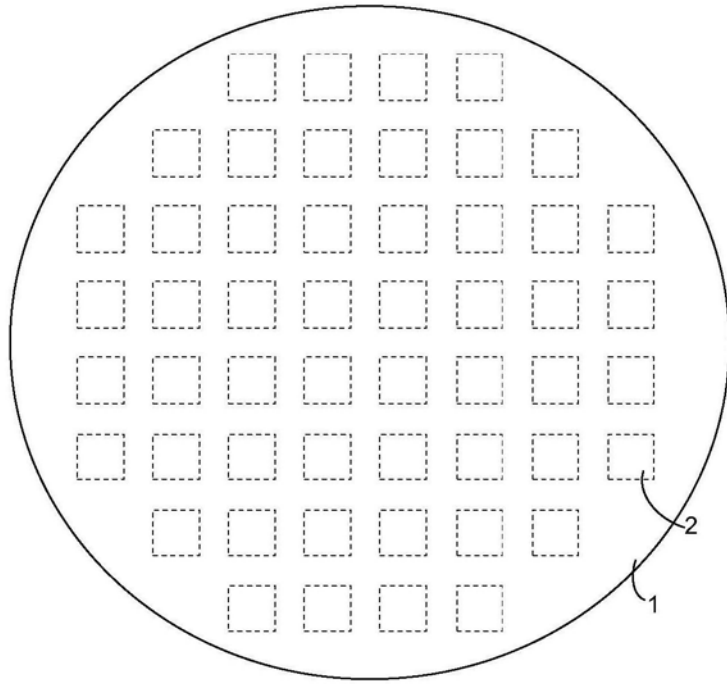


图1

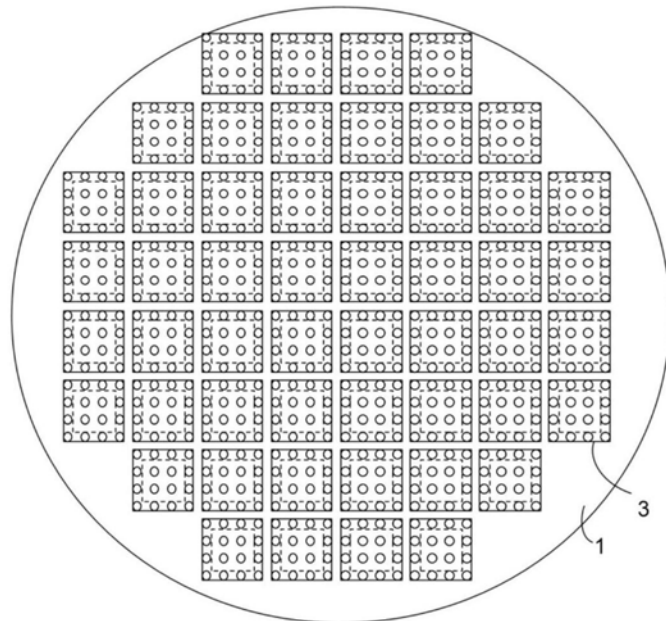


图2

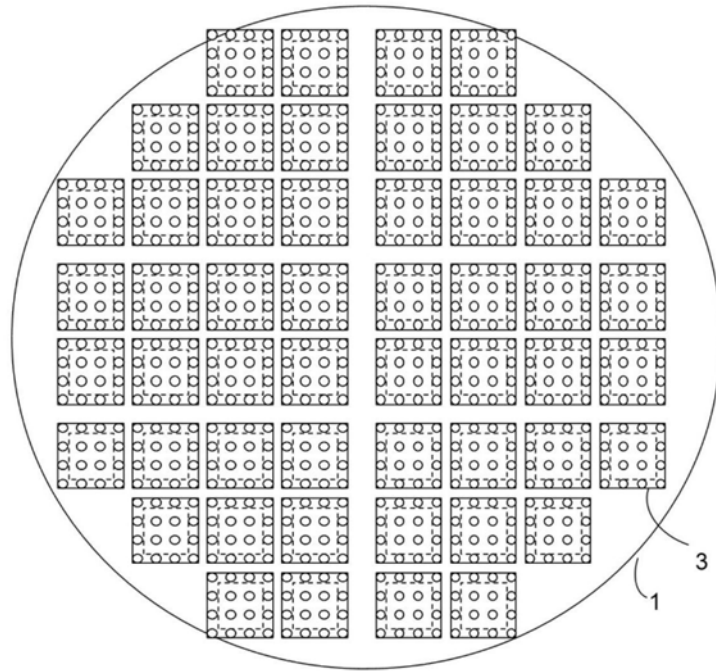


图3

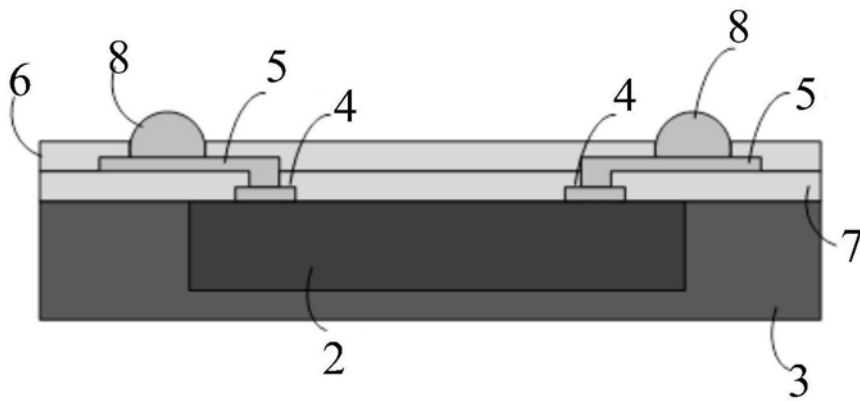


图4

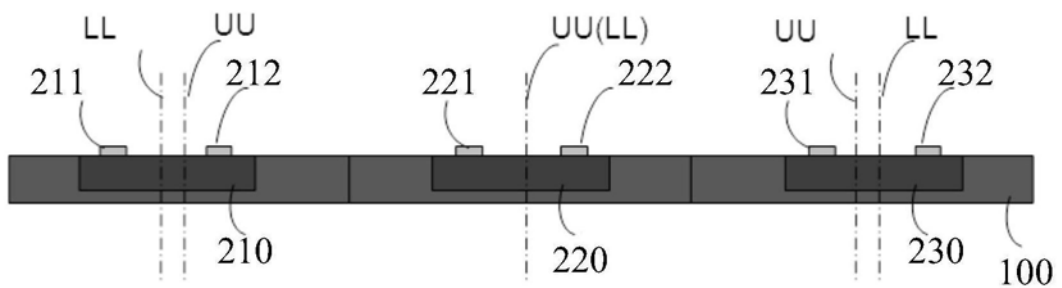


图5

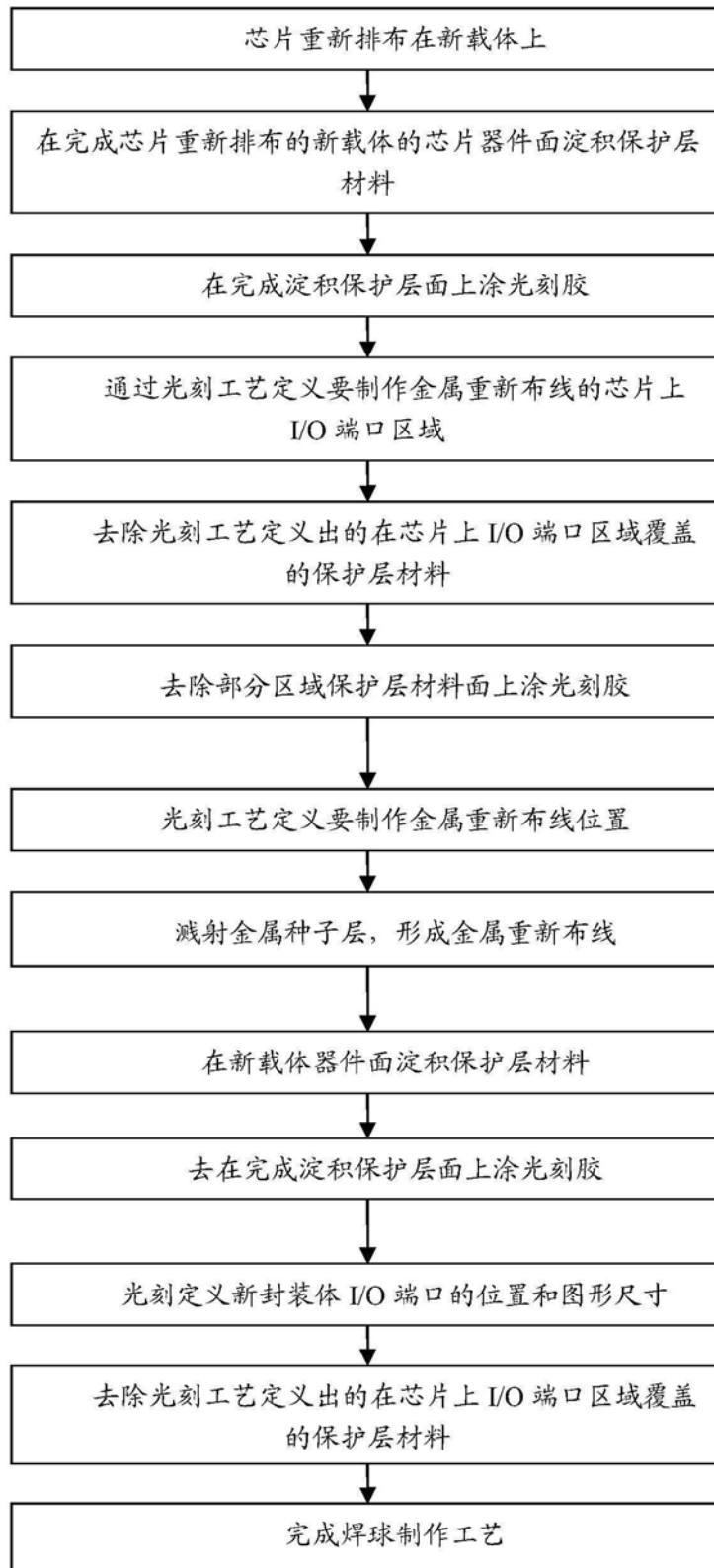


图6

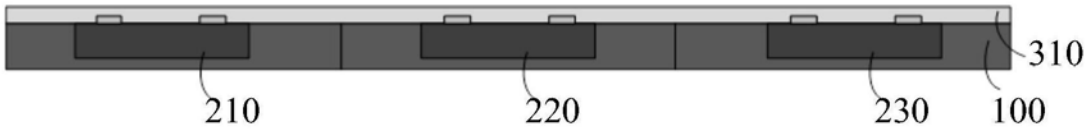


图7

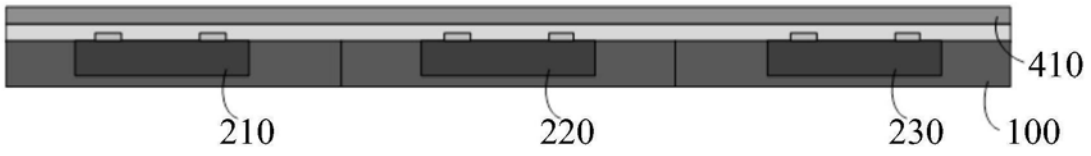


图8

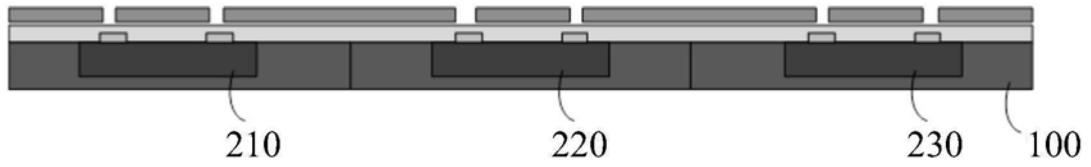


图9

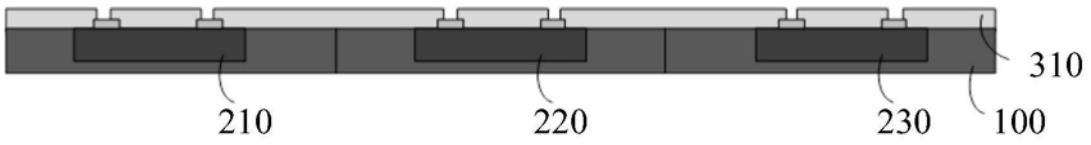


图10

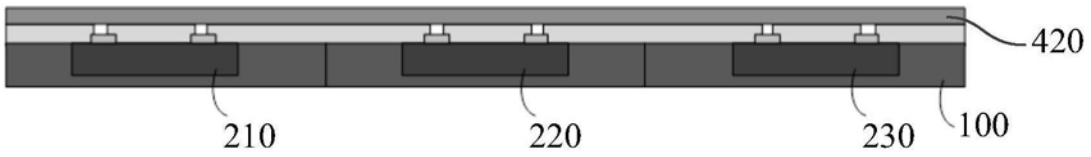


图11

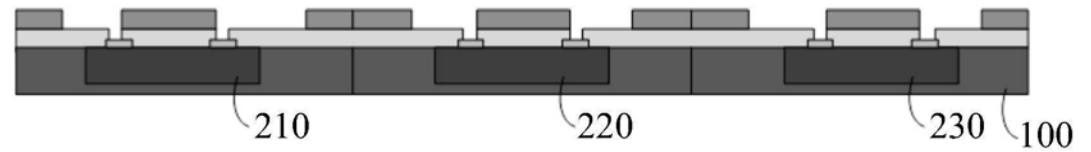


图12

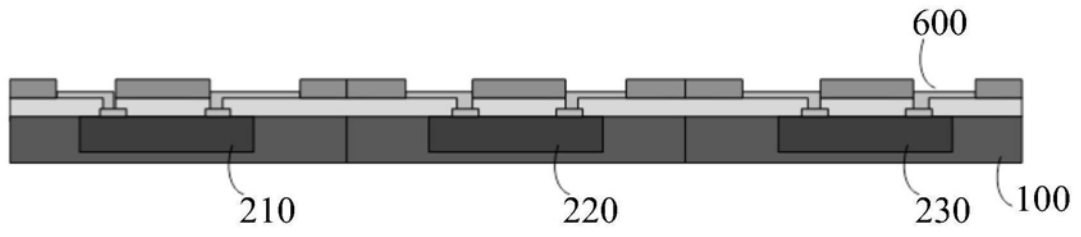


图13

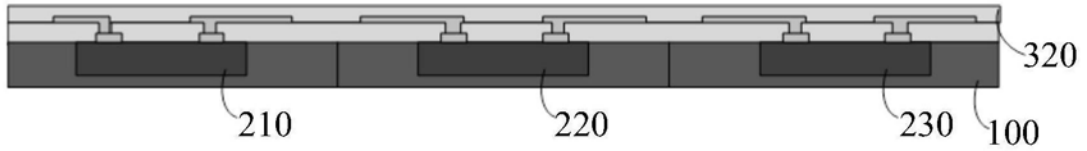


图14

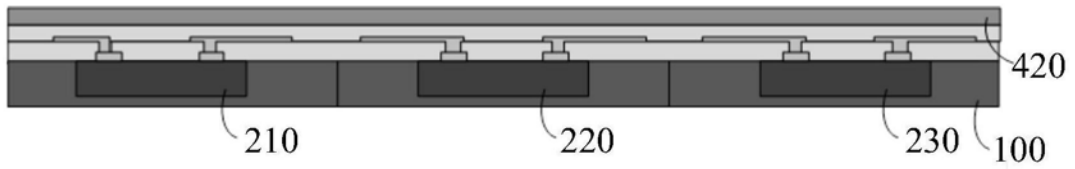


图15

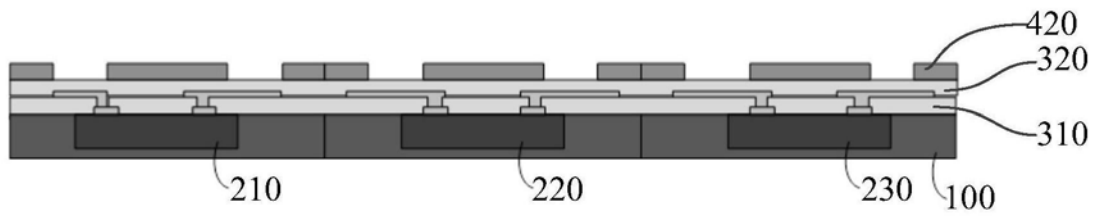


图16

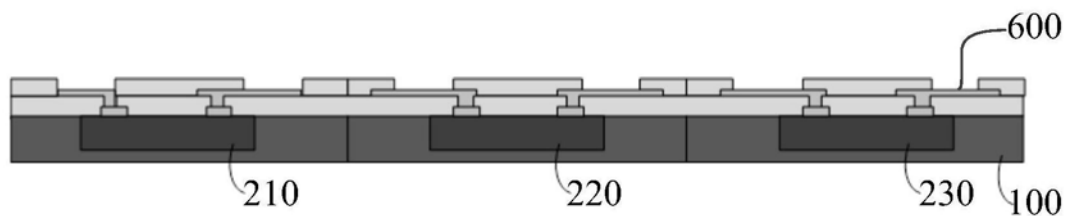


图17

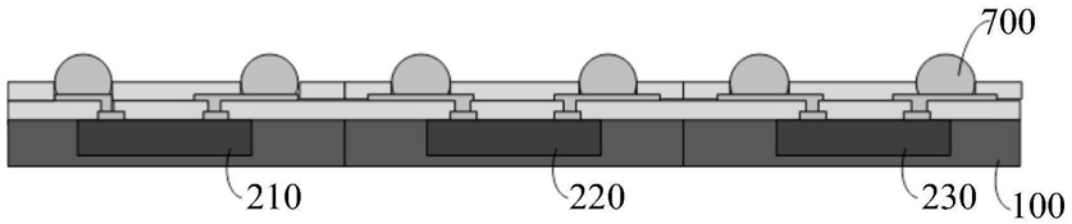


图18

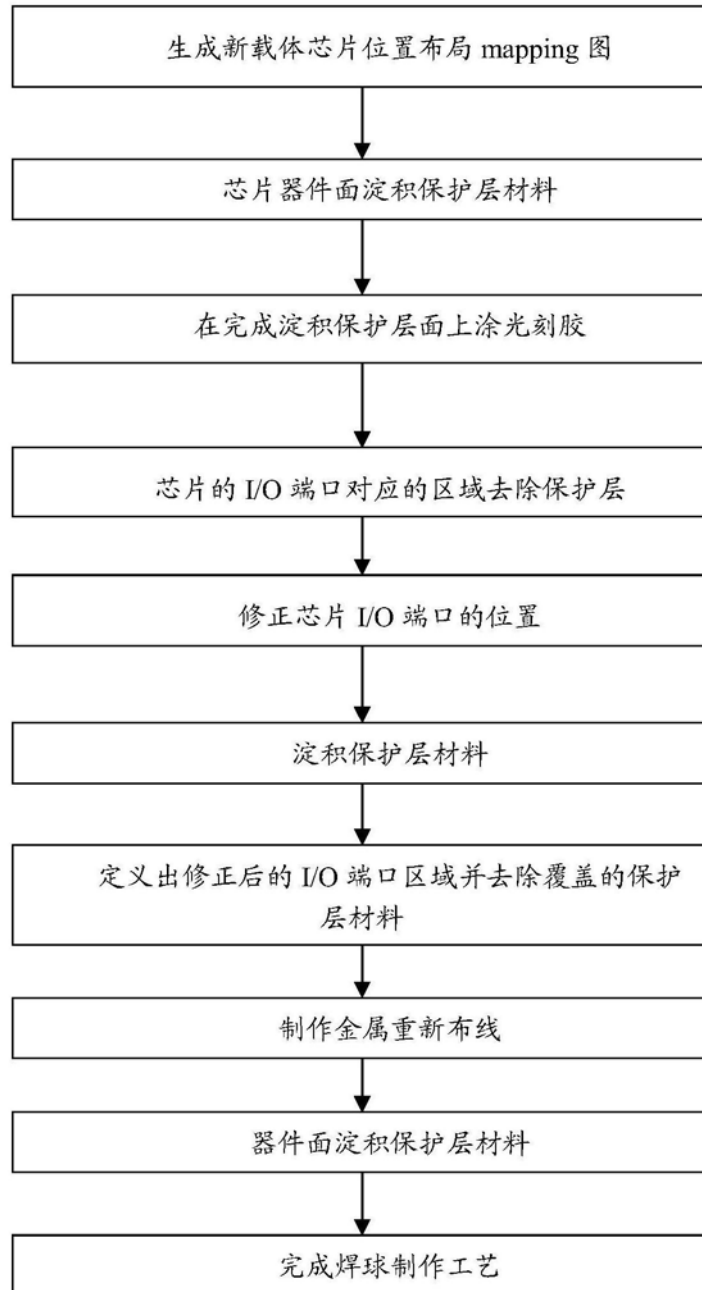


图19



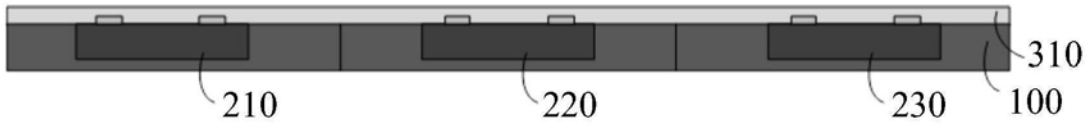


图20

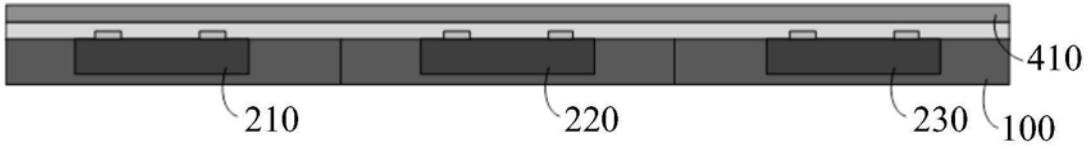


图21

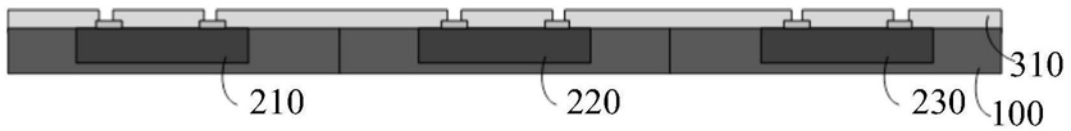


图22

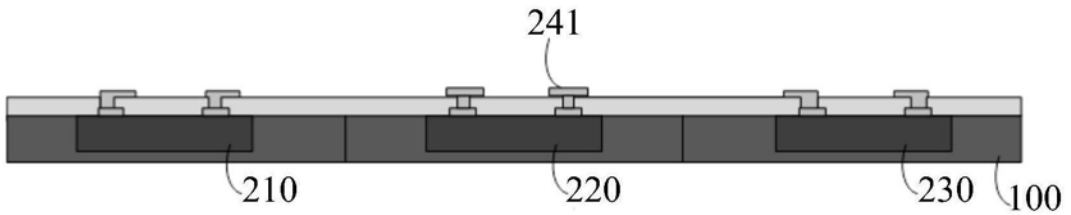


图23

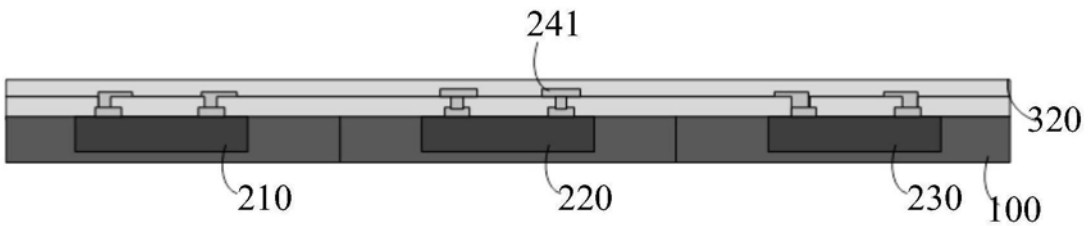


图24

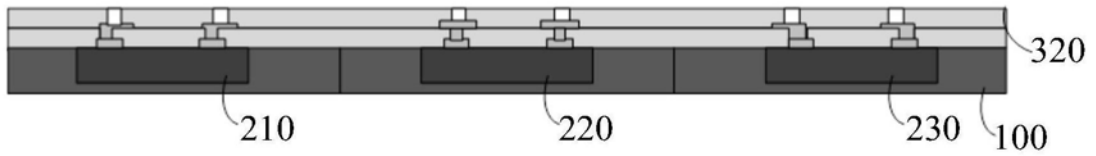


图25

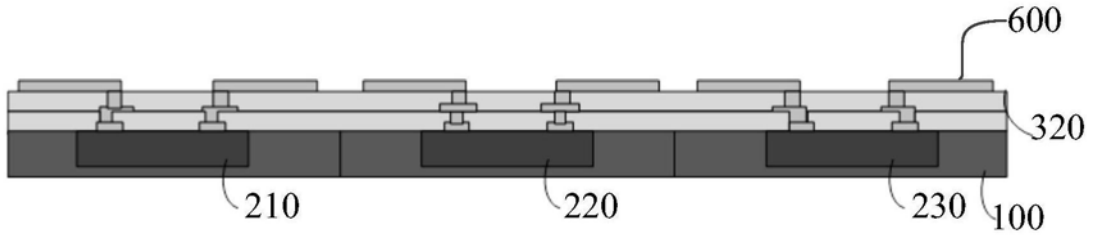


图26

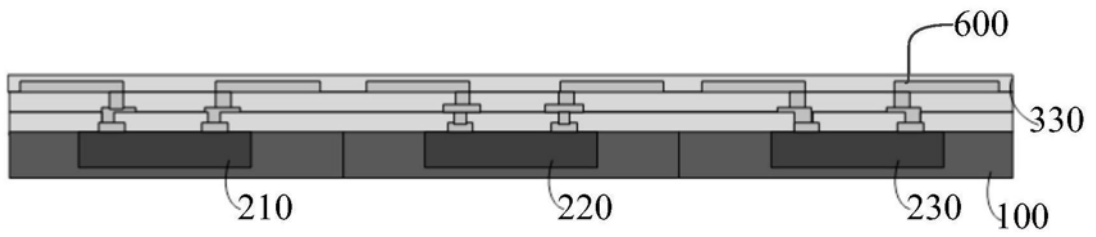


图27

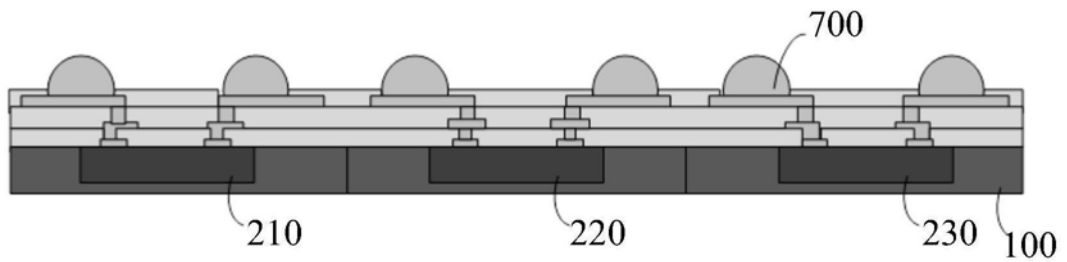


图28