

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6221375号  
(P6221375)

(45) 発行日 平成29年11月1日(2017.11.1)

(24) 登録日 平成29年10月13日(2017.10.13)

(51) Int.Cl.		F I			
HO 4 L 25/49	(2006.01)	HO 4 L 25/49		L	
HO 4 L 25/03	(2006.01)	HO 4 L 25/03		E	
HO 4 L 27/02	(2006.01)	HO 4 L 27/02		Z	
HO 3 M 5/20	(2006.01)	HO 3 M 5/20			

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2013-123765 (P2013-123765)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成25年6月12日(2013.6.12)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2014-241540 (P2014-241540A)	(74) 代理人	100104190 弁理士 酒井 昭徳
(43) 公開日	平成26年12月25日(2014.12.25)	(72) 発明者	清水 貴志 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成28年3月10日(2016.3.10)	(72) 発明者	松井 潤 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	山本 毅 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 A S K 識別判定回路、受信デバイスおよびプロセッサ

(57) 【特許請求の範囲】

【請求項 1】

予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログの A S K 信号をデジタル復号する A S K 識別判定回路において、

前記 A S K 信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第 1 判定ブロックと、

前記 A S K 信号が分岐入力され、前記 A S K 信号を重ね合わせることにより、当該 A S K 信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、

前記第 1 判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、

前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第 2 判定ブロックと、

前記第 1 判定ブロックおよび前記第 2 判定ブロックの識別結果をクロックに同期して出力する出力バッファと、を有し、

前記 A S K 信号は、振幅が 4 つに分離された 4 値の信号であり、2 ビットのデジタル信号に復号されるものであり、

前記第 1 判定ブロックは、上位ビットの値を判定し、

前記重畳ブロックは、前記 A S K 信号を重ね合わせにより 4 値から 2 値の信号に変換し、

前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換さ

れた信号の反転の有無を制御し、

前記第2判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、

前記出力バッファは、前記第1判定ブロックにより識別された上位ビットの値、および前記第2判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを特徴とするASK識別判定回路。

【請求項2】

前記反転ブロックは、前記第1判定ブロックにより判定された上位ビットの値に対応して反転の有無を示す制御信号を出力する信号反転ブロックと、

前記重畳ブロックにより変換された信号を前記制御信号に基づき反転制御する反転制御ブロックと、

を含むことを特徴とする請求項1に記載のASK識別判定回路。

【請求項3】

前記第1判定ブロックおよび前記第2判定ブロックは、リミッタアンプまたはコンパレータを用い、前記ASK信号の振幅の中央に設定された一つの識別点を用いて前記上位ビットの識別判定を行い、

前記重畳ブロックは、前記ASK信号をグラウンドレベルを中心として正負が対称なレベルの信号に変換するAC結合器と、当該AC結合器の出力を2分岐した出力を乗算する第1の乗算器とを用いて前記ASK信号の重ね合わせを行い、

前記信号反転ブロックは、前記上位ビットのピーク値を検出するピーク検出器と、前記ピーク値をレベルシフトし、前記制御信号として出力する第1の減算器とを有し、

前記反転制御ブロックは、前記重畳ブロックの前記第1の乗算器が出力する信号を前記信号反転ブロックの前記第1の減算器が出力する前記制御信号により乗算する第2の乗算器と、当該第2の乗算器の出力をレベルシフトする第2の減算器とを有し、

前記出力バッファは、前記上位ビットと前記下位ビットの値をクロックに同期して出力するフリップフロップである、

ことを特徴とする請求項2に記載のASK識別判定回路。

【請求項4】

前記第1の乗算器および前記第2の乗算器は、4象限乗算器であることを特徴とする請求項3に記載のASK識別判定回路。

【請求項5】

前記第1判定ブロックと、前記重畳ブロックと、前記反転ブロックと、前記第2判定ブロックと、によるアナログ処理遅延量は、前記フリップフロップに供給される前記クロックの1サイクル内であることを特徴とする請求項3または4に記載のASK識別判定回路。

【請求項6】

前記第2の減算器に代えて、第2のAC結合器を用いることを特徴とする請求項3～5のいずれか一つに記載のASK識別判定回路。

【請求項7】

対向する送信デバイスから送信されたASK信号を受信する受信デバイスにおいて、当該受信デバイスは、予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログのASK信号をデジタル復号するASK識別判定回路を有し、

前記ASK識別判定回路は、

前記ASK信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第1判定ブロックと、

前記ASK信号が分岐入力され、前記ASK信号を重ね合わせることにより、当該ASK信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、

前記第1判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、

10

20

30

40

50

前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第2判定ブロックと、

前記第1判定ブロックおよび前記第2判定ブロックの識別結果をクロックに同期して出力する出力バッファと、を有し、

前記ASK信号は、振幅が4つに分離された4値の信号であり、2ビットのデジタル信号に復号されるものであり、

前記第1判定ブロックは、上位ビットの値を判定し、

前記重畳ブロックは、前記ASK信号を重ね合わせにより4値から2値の信号に変換し、

前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換された信号の反転の有無を制御し、

前記第2判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、

前記出力バッファは、前記第1判定ブロックにより識別された上位ビットの値、および前記第2判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを特徴とする受信デバイス。

#### 【請求項8】

対向する送信デバイスから送信されたASK信号を受信する受信デバイスを有し、受信した前記ASK信号を復調したデジタル信号に対する演算処理を行うプロセッサにおいて、

前記受信デバイスは、予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログのASK信号をデジタル復号するASK識別判定回路を有し、

前記ASK識別判定回路は、

前記ASK信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第1判定ブロックと、

前記ASK信号が分岐入力され、前記ASK信号を重ね合わせることににより、当該ASK信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、

前記第1判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、

前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第2判定ブロックと、

前記第1判定ブロックおよび前記第2判定ブロックの識別結果をクロックに同期して出力する出力バッファと、を有し、

前記ASK信号は、振幅が4つに分離された4値の信号であり、2ビットのデジタル信号に復号されるものであり、

前記第1判定ブロックは、上位ビットの値を判定し、

前記重畳ブロックは、前記ASK信号を重ね合わせにより4値から2値の信号に変換し、

前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換された信号の反転の有無を制御し、

前記第2判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、

前記出力バッファは、前記第1判定ブロックにより識別された上位ビットの値、および前記第2判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを特徴とするプロセッサ。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、多値変調されたアナログ信号を識別判定し、デジタル信号に復調するAS

10

20

30

40

50

K 識別判定回路、受信デバイスおよびプロセッサに関する。

【背景技術】

【0002】

CPU（プロセッサ）を有する情報処理機器は、ムーアの法則に沿う形で処理量が増加している。一方、CPUのパッケージのピン数は、サイズ制約があり大きく増加していない。このため、インターコネクタにおける1ピン当りのデータ通信量は増加している。このデータ通信量の増加にともない、ボーレート（Baud Rate）の高速化が図られているが、伝送路の高速信号に対する損失（ロス）の増加により、高速化には限界が近づいている。

【0003】

このため、近年、1シンボルに複数のデータを重畳する多値変調が注目されている。多値変調は、信号（データ）を位相や振幅などを変調信号として送信し、受信側で通常のデジタル信号として取り出す。多値変調方式のうち強度を多値にしたものを振幅偏移変調（ASK: Amplitude Shift Keying）と呼ぶ。

【0004】

例えば、4値のASK信号は信号振幅が4つに分離されており、2ビットの信号を送受信できる。この4値のASK信号では、信号振幅を3つの識別点により識別し、変調前の2値のデジタル信号に復調し出力する。この復調は、従来、アナログデジタルコンバータ（ADC）などを用いておこなわれている。このようなADCには、複数の方式があるが、フラッシュ型のADCは高速動作可能である（例えば、下記特許文献1～3参照）。

【0005】

図7は、従来のフラッシュ型のADCを示す説明図である。このADC700は、アナログ回路701と、デジタル回路702を有する。アナログ回路701は、入力されるアナログ信号の信号振幅を識別するためのコンパレータ711を有し、アナログ信号の信号振幅の境界に識別点を設定する。デジタル回路702は、コンパレータ711の出力を2ビットのデジタル信号に復調するデコーダの機能を有する。

【0006】

ADC700のアナログ回路701は、識別点と同数の異なる基準電圧を設定し、識別点と同数のコンパレータ711に各基準電圧を入力する。4つの異なる振幅を有するアナログ信号の場合は、3つの識別点を設定した3つのコンパレータ711を用いて識別判定をおこなう。そして、入力信号を各コンパレータ711に入力し、信号が基準電圧を超えているかを複数のコンパレータ711で一括して判定する。信号が基準電圧を超えているコンパレータ711はアサートし、信号が基準電圧を下回っているコンパレータ711はディアサートする。

【0007】

デジタル回路（デコーダ）702は、アナログ回路701の上記3つのコンパレータ711の出力を2ビットのデジタル信号に復調する。このデコーダ702の入力段には、コンパレータ711の遅延量や配線長のばらつきに対応し、クロックに同期した信号にするためのフリップフロップ（FF）712を配置する。次に、FF712を元の情報に変換するための回路（例えば、3to2プライオリティエンコーダ）713が配置される。この回路は優先度が違う3つの入力と、上位ビットと下位ビットに相当する2つの出力を持つ。前段のFF712の出力で基準電圧の低いコンパレータ711に接続されたものから順に優先度の低いプライオリティエンコーダ713の入力に接続する。

【0008】

プライオリティエンコーダ713の出力は再び、FF714で同期させた出力とする。これにより、4値のASK信号を2ビットのデコードされた信号に復調することができ、FF712, 714により、クロックタイミングに同期した出力を得る。

【先行技術文献】

【特許文献】

10

20

30

40

50

## 【 0 0 0 9 】

【特許文献 1】特開 2 0 0 1 - 9 4 4 2 4 号公報

【特許文献 2】特開 2 0 0 6 - 2 7 0 7 2 6 号公報

【特許文献 3】特開平 6 - 3 2 6 6 0 9 号公報

【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 1 0 】

A S K 信号の復調には、送受信に複雑な回路が必要となり、レイテンシの観点からインターコネクに用いることが難しかった。上記の A D C 7 0 0 を用いて A S K 信号を復調する場合のレイテンシは、コンパレータ 7 1 1 等のアナログ回路 7 0 1 のレイテンシと、デコーダを構成するデジタル回路 7 0 2 のレイテンシとに分けられる。レイテンシは、通信の要求があつてから、実際にデータが受信部に到達するまでの時間である。

10

## 【 0 0 1 1 】

これまでの多値変調の適用領域である基幹系の通信や無線通信では通信帯域が重視されてきたが、インターコネクの領域ではキャッシュのスヌープなどのため、レイテンシを重視するようになっており、レイテンシを低減する要求が高まっている。

## 【 0 0 1 2 】

A S K 信号の復調に A D C 7 0 0 を用いた場合、図 7 のタイムチャートに示す如く、コンパレータ 7 1 1 の応答速度、回路配線などにより発生する遅延量のばらつき 7 2 0 を解消するために、デジタル回路（デコーダ）7 0 2 の入力段に F F 7 1 2 を設けている。さらに、デコーダ 7 0 2 の遅延量のばらつき 7 2 1 を解消するために、F F 7 1 4 を設けている。このように、デコーダ 7 0 2 には、2 段の F F 7 1 2 , 7 1 4 を設ける必要があるため、信号の入力タイミングから 2 クロック以降にデータが出力され、レイテンシが増大した。例えば、ボーレートが 2 5 G H z のインターコネクでは 4 0 p s e c のレイテンシとなる。

20

## 【 0 0 1 3 】

上記構成において、レイテンシを低減させるために、デコーダ 7 0 2 の入力段の F F 7 1 2 を取り除いた場合には、コンパレータ 7 1 1 の遅延量と、デコーダ 7 0 2 の遅延量が積算され、F F 7 1 4 のセットアップ時間違反が生じデータエラーが生じる。

## 【 0 0 1 4 】

一つの側面では、本発明は、A S K の多値信号からデジタル信号の復調を低レイテンシで実現することを目的とする。

30

【課題を解決するための手段】

## 【 0 0 1 5 】

一つの案では、予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログの A S K 信号をデジタル復号する A S K 識別判定回路において、前記 A S K 信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第 1 判定ブロックと、前記 A S K 信号が分岐入力され、前記 A S K 信号を重ね合わせることにより、当該 A S K 信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、前記第 1 判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第 2 判定ブロックと、前記第 1 判定ブロックおよび前記第 2 判定ブロックの識別結果をクロックに同期して出力する出力バッファと、を有し、前記 A S K 信号は、振幅が 4 つに分離された 4 値の信号であり、2 ビットのデジタル信号に復号されるものであり、前記第 1 判定ブロックは、上位ビットの値を判定し、前記重畳ブロックは、前記 A S K 信号を重ね合わせにより 4 値から 2 値の信号に変換し、前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換された信号の反転の有無を制御し、前記第 2 判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、前記出力バッファは、前記第 1 判定ブ

40

50

ックにより識別された上位ビットの値、および前記第2判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを要件とする。

【発明の効果】

【0016】

一つの実施形態によれば、ASKの多値信号からデジタル信号の復調を低レイテンシで実現できる。

【図面の簡単な説明】

【0017】

【図1】図1は、実施の形態にかかるASK識別判定回路を示す機能別のブロック図である。

10

【図2】図2は、実施の形態にかかるASK識別判定回路の一例を示す回路図である。

【図3】図3は、ASK識別判定回路の動作を説明する説明図である。(その1)

【図4】図4は、ASK識別判定回路の動作を説明する説明図である。(その2)

【図5】図5は、実施の形態のASK識別判定回路のタイミングチャートである。

【図6】図6は、ASK識別判定回路の適応例を示すブロック図である。

【図7】図7は、従来のフラッシュ型のADCを示す説明図である。

【発明を実施するための形態】

【0018】

(実施の形態)

以下に添付図面を参照して、開示技術の好適な実施の形態を詳細に説明する。図1は、実施の形態にかかるASK識別判定回路を示す機能別のブロック図である。

20

【0019】

ASK識別判定回路100には、伝送路104を介して入力信号105が入力される。この入力信号105は、例えば、多値変調のASK信号である。4値のASK信号の場合、送信器と受信器間では、例えば、信号の振幅が小さい順に、上位ビットおよび下位ビットの2ビットの組み合わせにより、“00”、“01”、“11”、“10”の4パターンの割り当てを任意に定義して運用する。

【0020】

このASK識別判定回路100は、上位ビット用ブロック101と、下位ビット用ブロック102と、出力バッファ103と、を含む。入力信号105は、上位ビット用ブロック101と、下位ビット用ブロック102に分岐入力される。上位ビット用ブロック101と、下位ビット用ブロック102は、アナログ回路であり、出力バッファ103はクロックに同期して動作するデジタル回路である。

30

【0021】

上位ビット用ブロック101は、入力信号105の上位ビットを判定する上位ビット判定ブロック111を含む。下位ビット用ブロック102は、入力信号105の上位ビットを判定するものであり、上位ビット重畳ブロック121と、反転ブロック122と、下位ビット判定ブロック123と、を含む。出力バッファ103は、フリップフロップ(FF)からなり、上位ビット判定ブロック111から出力される判定後の上位ビットのデータと、下位ビット判定ブロック123から出力される判定後の下位ビットのデータ、をそれぞれ保持出力する。

40

【0022】

このように、実施の形態のASK識別判定回路100は、1段のFF103を用いて構成し、入力信号105を1クロック内で識別し、出力することにより、レイテンシを低減させる。

【0023】

上位ビット用ブロック101の上位ビット判定ブロック111は、分岐された入力信号105が入力され、入力信号105の上位ビットを識別判定する。判定した上位ビットMSBは、出力バッファ103と、反転ブロック122とに出力される。

【0024】

50

入力信号105の振幅の大きい“11”と“10”の上位ビットはいずれも1であり、入力信号105の振幅が小さい(グラウンドレベル)“01”と“00”の上位ビットはいずれも0である。このため、上位ビット判定ブロック111は、入力信号105のこれら“10”と“01”の振幅の中心に一つの識別点を設けて、入力信号105の上位ビットの値を識別判定し、MSBを得る。

**【0025】**

下位ビット用ブロック102の上位ビット重畳ブロック121には、分岐された入力信号105が入力され、この入力信号105を重ね合わせて4レベルの信号波形を半分の2レベルの信号波形に変換し、反転ブロック122に出力する。

**【0026】**

反転ブロック122には、上位ビット重畳ブロック121の出力(制御信号)と、上位ビット判定ブロック111の出力(入力信号)が入力される。この反転ブロック122は、上位ビット判定ブロック111の出力に基づき、上位ビット重畳ブロック121の出力を非反転または反転させて下位ビット判定ブロック123に出力する。

**【0027】**

下位ビット判定ブロック123は、反転ブロック122の出力に基づき、下位ビットLSBを判定し、判定結果を出力バッファ103に出力する。この下位ビット判定ブロック123は、上位ビット判定ブロック111と同様に、入力信号105の振幅の中心に一つの識別点を設けて、入力信号105の下位ビットの値を識別判定し、下位ビットLSBを得る。

**【0028】**

出力バッファ(FF)103は、上位ビット判定ブロック111から出力された上位ビットMSBと、下位ビット判定ブロック123から出力された下位ビットLSBをクロックに同期して出力する。

**【0029】**

このように、ASK識別判定回路100は、入力される4値のASK信号を復号して出力し、上位ビットMSBと下位ビットLSBを同期して出力することで、既存のADCと同等の入出力機能を実現する。

**【0030】**

上記構成によれば、上位ビット判定ブロック111、および下位ビット判定ブロック123は、いずれも図1に示すように、識別点を入力信号105の振幅の中心に一つ設けるだけでこの中心から離れた上位ビットおよび下位ビットをいずれも安定して識別判定できる。例えば、あらかじめ入力信号105の振幅を測定して、識別点を振幅の中央に設定することができる。

**【0031】**

これにより、多値の入力信号105であっても、既存のADCの如く複数の識別点(例えば、3つの識別点)を設ける必要がなく、識別点のレベル設定を容易におこなうことができ、また、安定して識別判定できる。

**【0032】**

(ASK識別判定回路の回路構成例)

図2は、実施の形態にかかるASK識別判定回路の一例を示す回路図である。図1に示した機能をアナログ回路で構成した構成例を示す。

**【0033】**

以下に説明するように、ASK識別判定回路100は、出力バッファ103として上位ビット用のFF103aと、下位ビット用のFF103bを用いる。FF103(103a, 103b)以外の機能は、高速なアナログ回路で構成され、クロックに同期した動作をおこなわない。これにより、入力から1クロックで出力のFF103(103a, 103b)まで信号が伝達され、1クロックのタイミングで識別出力を得ることが可能となる。

**【0034】**

図2に示すように、上位ビット判定ブロック111には、リミッティングアンプやコンパレータ等の比較器201を用いる。リミッティングアンプは、中央の識別点を超えた入力信号105を所定の電圧で出力する。コンパレータの場合、入力端子には、入力信号105の他に、識別点用の基準電圧を入力させる。基準電圧の値は、入力信号105の振幅の中心となる電圧値を外部入力させる。このほかに、ピーク検出回路(Peak Detector)等により検出した信号振幅に基づいて設定してもよい。

【0035】

比較器201は、後段のFF103の仕様に合わせて、信号電圧が基準電圧を超えた場合は、Hi(true)となる電圧(例えば、標準的なTTLでは5V)を出力する。一方、信号電圧が基準電圧を下回った場合(以下の場合)は、Lo(0V)を出力する。

10

【0036】

上位ビット重畳ブロック121は、例えば、AC結合器202と、乗算器(第1の乗算器)203と、を用いて構成できる。AC結合器202は、高周波用のコンデンサを信号に直列に接続して構成できる。入力信号105の平均値が0になっていない場合は、AC結合器202によるACカップリングにより、グラウンドレベルを中心として正負が対称なレベルの信号に変換される。

【0037】

乗算器203は、AC結合器202の出力を4値レベルから2値レベルの信号に変換する。このため、乗算器203には、AC結合器202の出力を二つに分岐して同時に入力させる。乗算器203は、この並列入力の二乗を計算する。この乗算器203は、二つの入力が正負、すべてのパターンで計算可能な4象限乗算器であり、代表的な構成例は、ギルバートセルを複数配置したものであり、汎用のものを用いることができる。例えば、特開平11-220506号公報に開示の技術や、アナログ・デバイス株式会社製500MHz 4象限乗算器「AD834」等がある。

20

【0038】

例えば、AC結合器202により、入力信号105は、0と1の信号を「-1」と「1」の信号に変換する。このAC結合器202の信号を二つに分岐し、乗算器203に入力させる。これにより、ASKの入力信号105の“11”と“00”の信号は、出力が大きくなり、“10”と“01”の信号は出力が小さくなる。

【0039】

30

反転ブロック122は、例えば、信号反転ブロック122aと、反転制御ブロック122bとを用いて構成できる。信号反転ブロック122aは、ピーク検出器204と、減算器(第1の減算器)205とを用いる。ピーク検出器204は、上位ビット判定用の比較器201の出力のピーク値を検出し、減算器205に出力する。例えば、上記のように、TTLなどのHi(true)が正の値(例えば5V)をとり、Lo(false)が(例えば0V)をとっているとすれば、減算器205は、半分の2.5V分レベルシフトしてHiを「1」2.5V、Loを「-1」-2.5Vに変換した信号(制御信号)を出力する。

【0040】

反転制御ブロック122bは、乗算器(第2の乗算器)206と、減算器(第2の減算器)207とを用いる。乗算器206は、乗算器203と同様に4象限乗算器が用いられる。この乗算器206は、上位ビット重畳ブロック121の乗算器203が出力する信号を、減算器205が出力する制御信号により乗算する。これにより、制御信号がLoのときにレベルを反転させることができる。

40

【0041】

ここで、例えば、上位ビット重畳ブロック121(乗算器203)の出力が5V TTLの場合、反転させなかったときにはHiが5V、Loが0Vとなる。反転させた場合はHiが0V、Loが-5Vとなる。但し、このままでは、後段のFF103bの入力条件を満たさないため、乗算器206の出力には、上記同様のAC結合器、あるいは反転済の信号からレベルシフト後の制御信号を減算する減算器207を設ける。この減算器207

50



を介することにより、反転および非反転時のいずれにおいても、Hiが「1」2.5V、Loが「-1」-2.5Vの信号出力となる。

【0042】

反転ブロック122の出力は、下位ビット判定ブロック123に入力される。下位ビット判定ブロック123では、入力信号の正負の値を判定する。この下位ビット判定ブロック123では、上述の上位ビット判定ブロック111同様に、コンパレータやリミッティングアンプ等の比較器208を用いて実現する。比較器208の基準電圧はグラウンドレベルとなる。

【0043】

出力バッファ103を構成し、上位ビット判定ブロック111と下位ビット判定ブロック123の出力信号が接続された二つのFF103a, 103bは、それぞれ1ビットの情報を格納する。このFF103a, 103bは、入力クロックの立ち上がりまたは立ち下がりにより、データをストローブする記憶媒体であり、D-FFやJK-FFにより実現できる。FF103a, 103bに入力されるクロックは、伝送信号(入力信号105)のボーレートに一致した周波数のクロックであり、FF103a, 103bには同じ位相で入力される。これにより、これらFF103a, 103bは、同じ出力タイミングとなる。

【0044】

(ASK識別判定回路の回路動作)

次に、4値のASK信号に対するASK識別判定回路100の識別判定動作について説明する。図3および図4は、ASK識別判定回路の動作を説明する説明図である。これら図3および図4を用いて各部の信号波形を用いて識別判定動作を説明する。

【0045】

(入力信号が“00”の場合)

はじめに、図3の(a)は、入力信号105として、“00”が入力された状態を示している。“00”に相当する入力信号105は、4段階の振幅のうち最も低いグラウンド(G)レベル付近に位置している。上位ビット判定ブロック111は、振幅の中心で識別することにより、上位ビットの判定結果“0”をFF103に判定出力する。

【0046】

また、上位ビット重畳ブロック121は、入力信号105の振幅中央にグラウンドレベルGを合わせ、その信号を二乗する。これにより、上位ビット重畳ブロック121は、“10”と“01”を同じレベルに、“00”と“11”を同じレベルに変換する。“10”と“01”はグラウンドレベルGに近い二乗後は小さい振幅に変換され、“00”と“11”はグラウンドレベルGから遠いために大きな振幅に変換される。

【0047】

図3の(a)では、上位ビット重畳ブロック121は、上位ビット“0”がグラウンドレベルGから振幅の位置が遠いために大きな振幅に変換される。そして、この大きい振幅は「1」と判定され、この上位ビット“0”はグラウンドレベルGを中心に折り返され反転し下位ビット“1”として出力される。この場合、上位ビット重畳ブロック121が出力する入力信号105の下位ビット“1”は、期待値“0”に対して反転している。この上位ビット重畳ブロック121の出力は、反転ブロック122に入力される。

【0048】

信号反転ブロック122aでは、上位ビットの値“0/1”を制御信号として反転制御ブロック122bに出力する。反転制御ブロック122bは、上位ビット重畳ブロック121からの入力信号を制御信号が“1”であった場合、入力信号をそのまま出力し(非反転)、制御信号が“0”であった場合、入力信号を反転して出力する。

【0049】

図3の(a)の例では、制御信号の値はレベルシフトし、“0”を“-1”に変換して、入力信号と乗算することにより、入力信号105が示す“00”において反転した下位ビットの出力“1”を期待値“0”に一致させている。また、反転制御ブロック122b

10

20

30

40

50

では、出力の反転（および非反転）にかかわらず、グラウンドレベルGを合わせる必要があるため、さらに、信号をレベルシフトする。例えば、反転した場合、0と-1で示される信号を1と0にシフトすることで、反転していない場合のレベルと合わせる。

【0050】

下位ビット判定ブロック123は、上位ビット判定ブロック111と同様に振幅の中心で識別することにより、下位ビットの判定結果“0”をFF103に判定出力する。

【0051】

（入力信号が“01”の場合）

次に、図3の（b）は、入力信号105として、“01”が入力された状態を示している。“01”に相当する入力信号105は、4段階の振幅のうち下から2番目の振幅を有している。上位ビット判定ブロック111は、振幅の中心で識別することにより、上位ビットの判定結果“0”をFF103に判定出力する。

10

【0052】

また、上位ビット重畳ブロック121は、入力信号105の振幅中央にグラウンドレベルGを合わせ、その信号を二乗する。この際、上位ビット重畳ブロック121は、“01”はグラウンドレベルGに近いので二乗後は小さい振幅に変換される。

【0053】

図3の（b）では、上位ビット重畳ブロック121では、この小さい振幅を「0」と判定し、この上位ビット“0”は下位ビット“0”として出力される。この場合、上位ビット重畳ブロック121が出力する入力信号105の下位ビット“0”は、期待値“1”に対して反転している。この上位ビット重畳ブロック121の出力は、反転ブロック122に入力される。

20

【0054】

信号反転ブロック122aでは、上位ビットの値“0/1”を制御信号として反転制御ブロック122bに出力する。反転制御ブロック122bは、制御信号が“0”であった場合、入力信号を反転して出力する。

【0055】

図3の（b）の例では、制御信号の値はレベルシフトし、“0”を“-1”に変換して、入力信号と乗算することにより、入力信号105が示す“01”において反転した下位ビットの出力“0”を期待値“1”に一致させる。また、反転制御ブロック122bでは、出力の反転（および非反転）にかかわらず、グラウンドレベルGを合わせる必要があるため、さらに、信号をレベルシフトする。例えば、反転した場合、0と-1で示される信号を1と0にシフトすることで、反転していない場合のレベルと合わせる。

30

【0056】

下位ビット判定ブロック123は、上位ビット判定ブロック111と同様に振幅の中心で識別することにより、下位ビットの判定結果“1”をFF103に判定出力する。

【0057】

（入力信号が“10”の場合）

次に、図4の（a）は、入力信号105として、“10”が入力された状態を示している。“10”に相当する入力信号105は、4段階の振幅のうち下から3番目の振幅を有している。上位ビット判定ブロック111は、振幅の中心で識別することにより、上位ビットの判定結果“1”をFF103に判定出力する。

40

【0058】

また、上位ビット重畳ブロック121は、入力信号105の振幅中央にグラウンドレベルGを合わせ、その信号を二乗する。この際、上位ビット重畳ブロック121は、“10”はグラウンドレベルGに近いので二乗後は小さい振幅に変換される。

【0059】

図4の（a）では、上位ビット重畳ブロック121では、この小さい振幅を「0」と判定し、この上位ビット“0”は下位ビット“0”として出力される。この場合、上位ビット重畳ブロック121が出力する入力信号105の下位ビット“0”は、期待値“0”に

50

一致している。この上位ビット重畳ブロック 1 2 1 の出力は、反転ブロック 1 2 2 に入力される。

【 0 0 6 0 】

信号反転ブロック 1 2 2 a では、上位ビットの値 “ 0 / 1 ” を制御信号として反転制御ブロック 1 2 2 b へ出力する。反転制御ブロック 1 2 2 b は、制御信号が “ 1 ” であった場合、入力信号 “ 1 ” を反転せずにそのまま出力する。

【 0 0 6 1 】

また、反転制御ブロック 1 2 2 b では、出力の反転（および非反転）にかかわらず、グラウンドレベル G を合わせる必要があるため、さらに、信号をレベルシフトする。

【 0 0 6 2 】

下位ビット判定ブロック 1 2 3 は、上位ビット判定ブロック 1 1 1 と同様に振幅の中心で識別することにより、下位ビットの判定結果 “ 0 ” を F F 1 0 3 に判定出力する。

【 0 0 6 3 】

（入力信号が “ 1 1 ” の場合）

次に、図 4 の（ b ）は、入力信号 1 0 5 として、“ 1 1 ” が入力された状態を示している。“ 1 1 ” に相当する入力信号 1 0 5 は、4 段階の振幅のうち最も上の振幅を有している。上位ビット判定ブロック 1 1 1 は、振幅の中心で識別することにより、上位ビットの判定結果 “ 1 ” を F F 1 0 3 に判定出力する。

【 0 0 6 4 】

また、上位ビット重畳ブロック 1 2 1 は、入力信号 1 0 5 の振幅中央にグラウンドレベル G を合わせ、その信号を二乗する。この際、上位ビット重畳ブロック 1 2 1 は、“ 1 1 ” はグラウンドレベル G から遠いため二乗後は大きい振幅に変換される。

【 0 0 6 5 】

図 4 の（ b ）では、上位ビット重畳ブロック 1 2 1 では、この大きい振幅を「 1 」と判定し、この上位ビット “ 1 ” は下位ビット “ 1 ” として出力される。この場合、上位ビット重畳ブロック 1 2 1 が出力する入力信号 1 0 5 の下位ビット “ 1 ” は、期待値 “ 1 ” に一致している。この上位ビット重畳ブロック 1 2 1 の出力は、反転ブロック 1 2 2 に入力される。

【 0 0 6 6 】

信号反転ブロック 1 2 2 a では、上位ビットの値 “ 0 / 1 ” を制御信号として反転制御ブロック 1 2 2 b へ出力する。反転制御ブロック 1 2 2 b は、制御信号が “ 1 ” であった場合、入力信号 “ 1 ” を反転せずにそのまま出力する。

【 0 0 6 7 】

また、反転制御ブロック 1 2 2 b では、出力の反転（および非反転）にかかわらず、グラウンドレベル G を合わせる必要があるため、さらに、信号をレベルシフトする。

【 0 0 6 8 】

下位ビット判定ブロック 1 2 3 は、上位ビット判定ブロック 1 1 1 と同様に振幅の中心で識別することにより、下位ビットの判定結果 “ 1 ” を F F 1 0 3 に判定出力する。

【 0 0 6 9 】

図 5 は、実施の形態の A S K 識別判定回路のタイミングチャートである。A S K 識別判定回路 1 0 0 の各部の信号タイミングを示す。また、従来 of 2 段の F F を用いた A D C を用いた場合のタイミングチャートについても記載してある。

【 0 0 7 0 】

実施の形態の A S K 識別判定回路 1 0 0 は、図 3 および図 4 を用いて説明したように、4 値の A S K 信号は、上位ビットと下位ビットがそれぞれ F F 1 0 3 によりクロックに同期して出力される。この際、F F 1 0 3 は、入力信号 1 0 5 の入力タイミングから上位ビット M S B と下位ビット L S B の識別結果の出力まで 1 クロックのレイテンシ  $t_1$  で処理できる。

【 0 0 7 1 】

例えば、入力信号のボーレートを 3 2 G H z とすれば、従来は、信号入力から 2 クロ

10

20

30

40

50

ク分のレイテンシ  $t_2$  が必要であったのに対し、実施の形態では1クロック目に出力が得られるため、1クロック分(時間約31ps)のレイテンシを削減することができるようになる。

#### 【0072】

なお、従来のADC700で信号入力から初段のFF712までの回路はコンパレータ711のみであったのに対し、実施の形態では複数のアナログ回路のブロック(上位ビット判定ブロック111~下位ビット判定ブロック123)を経由している。しかしながら、例えば、回路を  $f_t$ : 200GHz程度の半導体テクノロジーを使用したと仮定すると、コンパレータ711で生じる遅延時間は5~10psである。一方、実施の形態では複数のアナログ回路のブロック(上位ビット判定ブロック111~下位ビット判定ブロック123)で生じるアナログ回路の処理にかかる遅延時間は15~20psである。したがって、実施の形態では、アナログ回路のブロック部分だけが約10ps程度のレイテンシ増加にとどまり、上記1クロック(31ps)以内の増加となり、全体として従来のADC700に比べてレイテンシを低減できる。

10

#### 【0073】

図6は、ASK識別判定回路の適応例を示すブロック図である。上記実施の形態において説明したASK識別判定回路100は、受信デバイス626に組み込み、適用することができる。図6には、ASK識別判定回路100の機能を有する受信デバイス626を備えたプロセッサ(CPU)600の例を示す。CPU600は、L1キャッシュ601aを有する複数のコア601を有する。コア601は、L2キャッシュ602を介してノースブリッジ603に接続され、ノースブリッジ603は、メモリコントローラ604およびIOブリッジ605に接続される。メモリコントローラ604およびIOブリッジ605は、IOTランシーバ606に接続されている。

20

#### 【0074】

IOTランシーバ606は、送信デバイス616と、受信デバイス626とを有し、他のCPUとの間でインターコネクタされる。そして、受信デバイス626部分に上述したASK識別判定回路100を設ける。これにより、CPU600は、他のCPUとの間でASK信号を用いたインターコネクタをおこなうことができるようになる。

#### 【0075】

このように、実施の形態の技術は、近年高速化するデータ通信の分野、例えば、CPU等のサイズ制限を有しピン数を増やすことが難しく、低レイテンシでデータを送受信する技術に好適である。

30

#### 【0076】

以上説明したように、実施の形態によれば、多値変調されたASK信号をアナログ回路により構成したASK識別判定回路100により、デジタル信号を高速に復号することができる。このASK識別判定回路100は、FF103を1段だけ用いるため、入力タイミングから1クロック目で識別出力でき、クロックレイテンシを低減することができる。すなわち、ASK信号の復号にかかるレイテンシと、クロック同期を前提とするFF103のレイテンシとを合わせた全体のレイテンシを低減できる。

#### 【0077】

また、上位ビット用ブロック101および下位ビット用ブロック102はASK信号の振幅の中央の一つの識別点だけで識別判定でき、複数段階の振幅に対応して複数の識別点を細かく設定する必要がなく、簡単かつ正確に識別判定できる。

40

#### 【0078】

また、上記の実施の形態では、下位ビットは二乗してから識別判定しているため、ノイズに対して信号劣化が少なく、比較器(リミッティングアンプ)201の入力換算雑音(従来のADCにおける電圧比較器の雑音相当)のノイズ耐力を向上でき、信号品質の改善を図ることができる。

#### 【0079】

また、上記実施の形態では、4値のASK信号について、信号の振幅が小さい順に、上

50

位ビットおよび下位ビットの2ビットの組み合わせは、“00”、“01”、“11”、“10”の4パターンの割り当てである例を説明した。送信器と受信器間では、これに限らず、信号の振幅に対する上位ビットおよび下位ビットの2ビットの組み合わせを定義し運用できる。この際、どのような組み合わせであっても、上記の実施の形態と同様の構成により、ASK信号を識別判定できる。

【0080】

このようなASK識別判定回路を受信デバイスに用いることにより、低レイテンシと高いQ値が必要とされる受信デバイスの特性改善に寄与する。また、この受信デバイスを有するCPUは、サイズやピン数の制約があってもASK信号を用いたインターコネクが行えるようになり、ポーレートを高速化し、低レイテンシで伝送できるようになる。

10

【0081】

上述した各実施の形態に関し、さらに以下の付記を開示する。

【0082】

(付記1) 予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログのASK信号をデジタル復号するASK識別判定回路において、

前記ASK信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第1判定ブロックと、

前記ASK信号が分岐入力され、前記ASK信号を重ね合わせることで、当該ASK信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、

前記第1判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、

20

前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第2判定ブロックと、

前記第1判定ブロックおよび前記第2判定ブロックの識別結果をクロックに同期して出力する出力バッファと、

を有することを特徴とするASK識別判定回路。

【0083】

(付記2) 前記ASK信号は、振幅が4つに分離された4値の信号であり、2ビットのデジタル信号に復号されるものであり、

前記第1判定ブロックは、上位ビットの値を判定し、

30

前記重畳ブロックは、前記ASK信号を重ね合わせにより4値から2値の信号に変換し、

前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換された信号の反転の有無を制御し、

前記第2判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、

前記出力バッファは、前記第1判定ブロックにより識別された上位ビットの値、および前記第2判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを特徴とする付記1に記載のASK識別判定回路。

【0084】

40

(付記3) 前記反転ブロックは、前記第1判定ブロックにより判定された上位ビットの値に対応して反転の有無を示す制御信号を出力する信号反転ブロックと、

前記重畳ブロックにより変換された信号を前記制御信号に基づき反転制御する反転制御ブロックと、

を含むことを特徴とする付記2に記載のASK識別判定回路。

【0085】

(付記4) 前記第1判定ブロックおよび前記第2判定ブロックは、リミッタアンプまたはコンパレータを用い、前記ASK信号の振幅の中央に設定された一つの識別点を用いて前記上位ビットの識別判定を行い、

前記重畳ブロックは、前記ASK信号をグラウンドレベルを中心として正負が対称なレ

50

ベルの信号に変換する A C 結合器と、当該 A C 結合器の出力を 2 分岐した出力を乗算する第 1 の乗算器とを用いて前記 A S K 信号の重ね合わせを行い、

前記信号反転ブロックは、前記上位ビットのピーク値を検出するピーク検出器と、前記ピーク値をレベルシフトし、前記制御信号として出力する第 1 の減算器とを有し、

前記反転制御ブロックは、前記重畳ブロックの前記第 1 の乗算器が出力する信号を前記信号反転ブロックの前記第 1 の減算器が出力する前記制御信号により乗算する第 2 の乗算器と、当該第 2 の乗算器の出力をレベルシフトする第 2 の減算器とを有し、

前記出力バッファは、前記上位ビットと前記下位ビットの値をクロックに同期して出力するフリップフロップである、

ことを特徴とする付記 3 に記載の A S K 識別判定回路。

10

【 0 0 8 6 】

(付記 5) 前記第 1 の乗算器および前記第 2 の乗算器は、4 象限乗算器であることを特徴とする付記 4 に記載の A S K 識別判定回路。

【 0 0 8 7 】

(付記 6) 前記第 1 判定ブロックと、前記重畳ブロックと、前記反転ブロックと、前記第 2 判定ブロックと、によるアナログ処理遅延量は、前記フリップフロップに供給される前記クロックの 1 サイクル内であることを特徴とする付記 4 または 5 に記載の A S K 識別判定回路。

【 0 0 8 8 】

(付記 7) 前記第 2 の減算器に代えて、第 2 の A C 結合器を用いることを特徴とする付記 4 ~ 6 のいずれか一つに記載の A S K 識別判定回路。

20

【 0 0 8 9 】

(付記 8) 対向する送信デバイスから送信された A S K 信号を受信する受信デバイスにおいて、

当該受信デバイスは、予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログの A S K 信号をデジタル復号する A S K 識別判定回路を有し、

前記 A S K 識別判定回路は、

前記 A S K 信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第 1 判定ブロックと、

30

前記 A S K 信号が分岐入力され、前記 A S K 信号を重ね合わせることにより、当該 A S K 信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、

前記第 1 判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、

前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第 2 判定ブロックと、

前記第 1 判定ブロックおよび前記第 2 判定ブロックの識別結果をクロックに同期して出力する出力バッファと、

を有することを特徴とする受信デバイス。

【 0 0 9 0 】

40

(付記 9) 前記 A S K 信号は、振幅が 4 つに分離された 4 値の信号であり、2 ビットのデジタル信号に復号されるものであり、

前記第 1 判定ブロックは、上位ビットの値を判定し、

前記重畳ブロックは、前記 A S K 信号を重ね合わせにより 4 値から 2 値の信号に変換し、

前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換された信号の反転の有無を制御し、

前記第 2 判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、

前記出力バッファは、前記第 1 判定ブロックにより識別された上位ビットの値、および

50

前記第 2 判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを特徴とする付記 8 に記載の受信デバイス。

【 0 0 9 1 】

(付記 1 0) 対向する送信デバイスから送信された A S K 信号を受信する受信デバイスを有し、受信した前記 A S K 信号を復調したデジタル信号に対する演算処理を行うプロセッサにおいて、

前記受信デバイスは、予め複数の振幅別に復号後の複数ビットの復調パターンが設定されて振幅偏移変調されたアナログの A S K 信号をデジタル復号する A S K 識別判定回路を有し、

前記 A S K 識別判定回路は、

前記 A S K 信号の振幅を一つの識別点を用いて前記複数ビットのうち一つのビットの値を識別する第 1 判定ブロックと、

前記 A S K 信号が分岐入力され、前記 A S K 信号を重ね合わせることにより、当該 A S K 信号の振幅中央値に対する差分の絶対値の信号を取り出す重畳ブロックと、

前記第 1 判定ブロックによる識別結果に基づき、前記重畳ブロックにより取り出された前記差分の絶対値の信号に対する反転の有無を制御する反転ブロックと、

前記反転ブロックから出力された信号の振幅を一つの識別点を用いて前記複数ビットのうち他のビットの値を識別する第 2 判定ブロックと、

前記第 1 判定ブロックおよび前記第 2 判定ブロックの識別結果をクロックに同期して出力する出力バッファと、

を有することを特徴とするプロセッサ。

【 0 0 9 2 】

(付記 1 1) 前記 A S K 信号は、振幅が 4 つに分離された 4 値の信号であり、2 ビットのデジタル信号に復号されるものであり、

前記第 1 判定ブロックは、上位ビットの値を判定し、

前記重畳ブロックは、前記 A S K 信号を重ね合わせにより 4 値から 2 値の信号に変換し、

前記反転ブロックは、上位ビットの識別結果に基づき、前記重畳ブロックにより変換された信号の反転の有無を制御し、

前記第 2 判定ブロックは、前記反転ブロックから出力された信号の振幅に基づいて、下位ビットの値を判定出力し、

前記出力バッファは、前記第 1 判定ブロックにより識別された上位ビットの値、および前記第 2 判定ブロックにより識別された下位ビットの値をクロックに同期して出力することを特徴とする付記 1 0 に記載のプロセッサ。

【符号の説明】

【 0 0 9 3 】

1 0 0 A S K 識別判定回路

1 0 1 上位ビット用ブロック

1 0 2 下位ビット用ブロック

1 0 3 ( 1 0 3 a , 1 0 3 b ) 出力バッファ ( F F )

1 0 4 伝送路

1 0 5 入力信号

1 1 1 上位ビット判定ブロック

1 2 1 上位ビット重畳ブロック

1 2 2 反転ブロック

1 2 2 a 信号反転ブロック

1 2 2 b 反転制御ブロック

1 2 3 下位ビット判定ブロック

2 0 1 , 2 0 8 比較器

2 0 2 A C 結合器

10

20

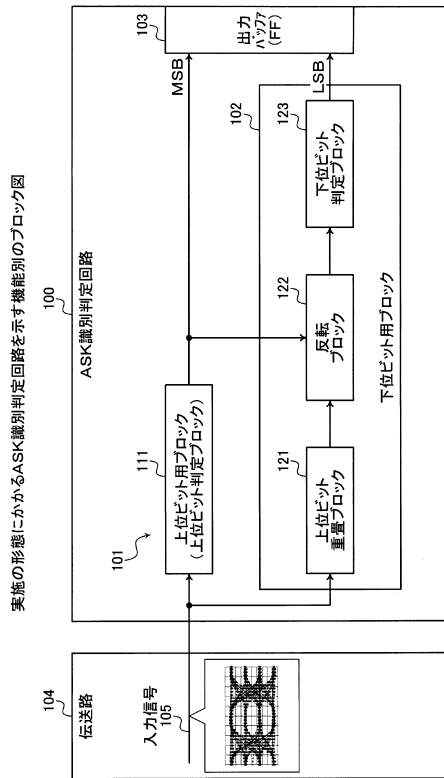
30

40

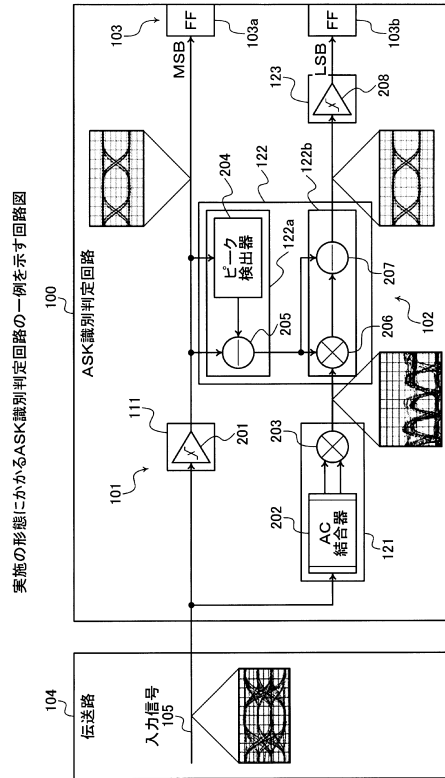
50

- 203, 206 乗算器
- 204 ピーク検出器
- 205, 207 減算器
- 600 CPU

【図1】

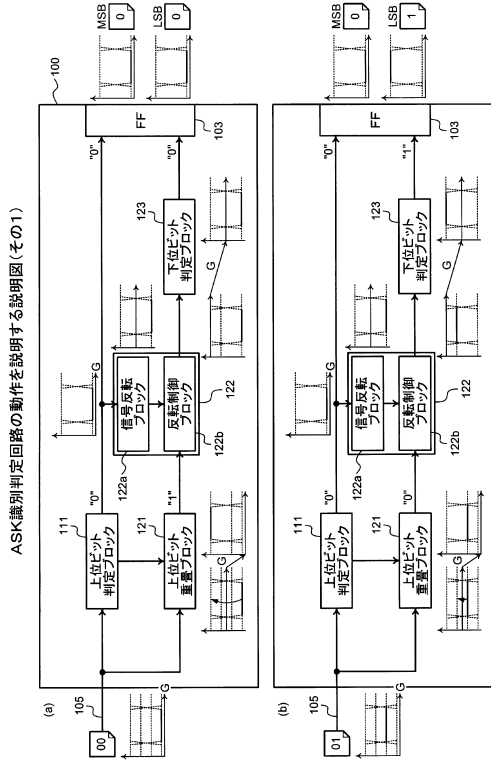


【図2】

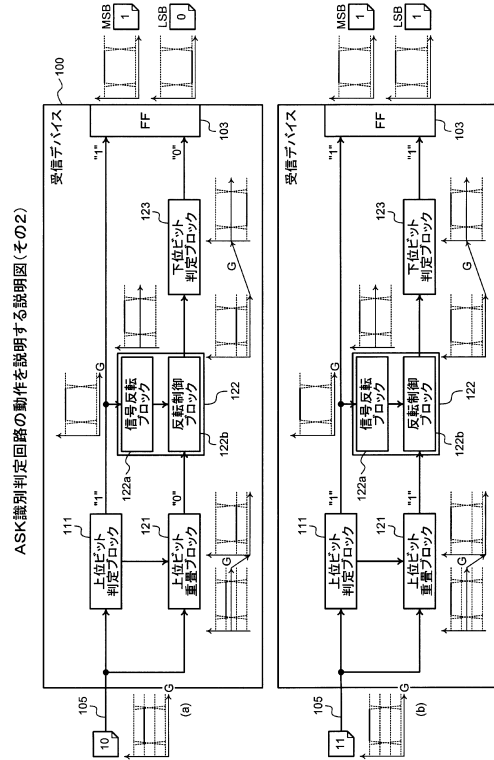




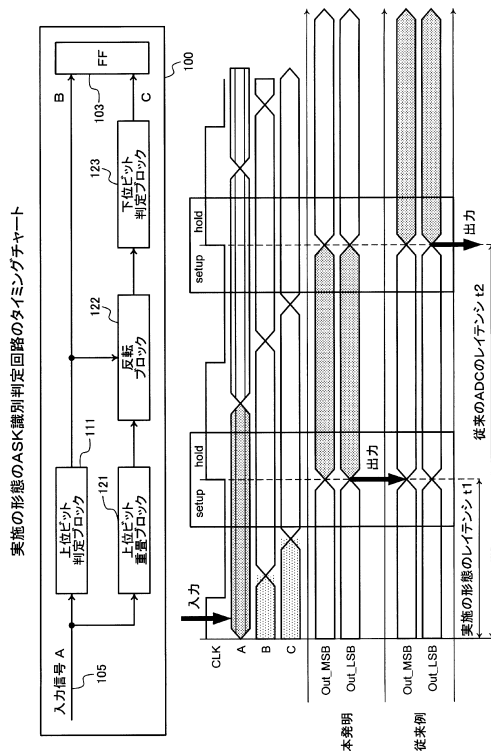
【図3】



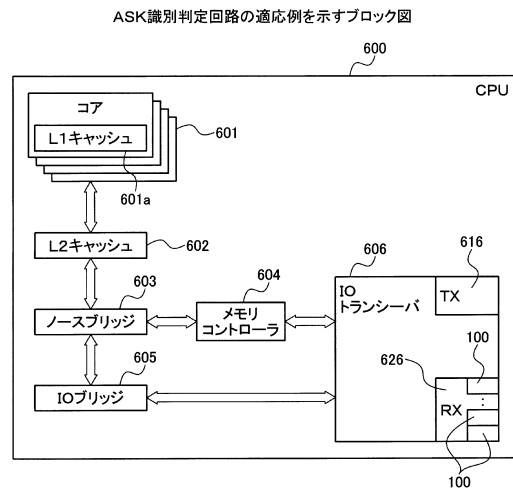
【図4】



【図5】

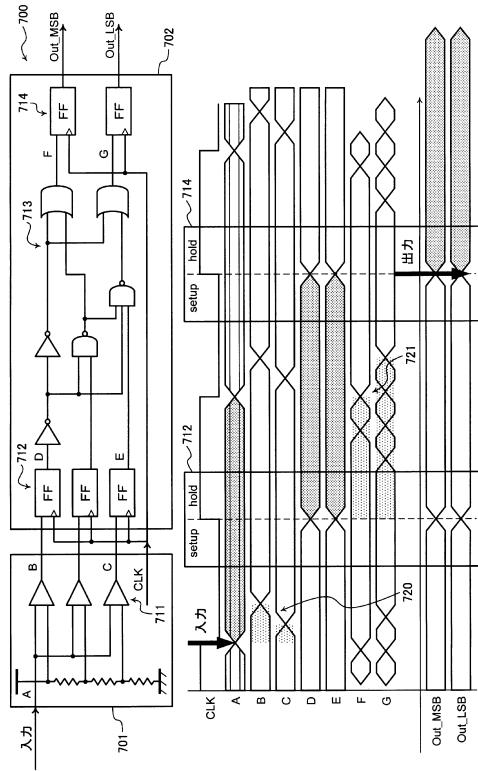


【図6】



【図7】

従来のフラッシュ型のADCを示す説明図



---

フロントページの続き

審査官 阿部 弘

- (56)参考文献 特開平04 - 346520 (JP, A)  
特開2001 - 077870 (JP, A)  
特開平08 - 237314 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/49  
H03M 5/20  
H04L 25/03  
H04L 27/02