



(12)实用新型专利

(10)授权公告号 CN 207504850 U

(45)授权公告日 2018.06.15

(21)申请号 201721633345.6

(22)申请日 2017.11.29

(73)专利权人 四川知微传感技术有限公司
地址 610000 四川省成都市高新区(西区)
天辰路88号4栋三单元4层

(72)发明人 李荣宽 周骏 沈泓翔

(74)专利代理机构 成都行之专利代理事务所
(普通合伙) 51220

代理人 王记明

(51) Int. Cl.

H03M 1/12(2006.01)

H03M 1/46(2006.01)

(ESM)同样的发明创造已同日申请发明专利

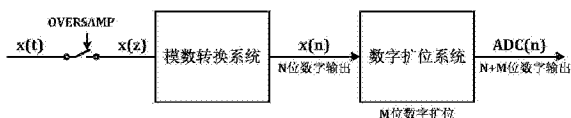
权利要求书1页 说明书5页 附图3页

(54)实用新型名称

一种过采样式Pipeline SAR-ADC装置

(57)摘要

本实用新型公开了一种过采样式Pipeline SAR-ADC装置,包括顺次连接的过采样开关、模数转换系统及数字扩位系统,其中,模数转换系统包括逐次逼近型模数转换模块和寄存器,逐次逼近型模数转换模块的数量为N块,N为大于或等于2的正整数,N块逐次逼近型模数转换模块顺次连接形成N阶,每块逐次逼近型模数转换模块的阶数与其在所有逐次逼近型模数转换模块中输入信号的次序对应,每块逐次逼近型模数转换模块的数字输出端均与寄存器的输入端连接。数字扩位系统包括数字位增加模块和时钟控制模块,数字位增加模块包括级联积分梳状滤波器及与级联积分梳状滤波器连接的移动平均滤波器。本实用新型使用元器件少,便于实现,成本低,应用时能提升输出速率和分辨率。



1. 一种过采样式Pipeline SAR-ADC装置,其特征在于,包括顺次连接的过采样开关、模数转换系统及数字扩位系统,所述模数转换系统包括逐次逼近型模数转换模块和寄存器,所述逐次逼近型模数转换模块的数量为N块,N为大于或等于2的正整数,N块所述的逐次逼近型模数转换模块顺次连接形成N阶,每块逐次逼近型模数转换模块的阶数与其在所有逐次逼近型模数转换模块中输入信号的次序对应,每块逐次逼近型模数转换模块的数字输出端均与寄存器的输入端连接;所述数字扩位系统包括数字位增加模块和时钟控制模块,所述数字位增加模块包括级联积分梳状滤波器及与级联积分梳状滤波器连接的移动平均滤波器;其中,

过采样开关,用于输入模拟信号并采样后输出;

逐次逼近型模数转换模块,用于将输入其内的模拟信号转换成数字信号,并发送至寄存器,其中,第一阶逐次逼近型模数转换模块输入的信号为过采样开关输出的信号;

寄存器,用于接收逐次逼近型模数转换模块输出的数字信号,并将N阶逐次逼近型模数转换模块输出的数字信号组合成流水线形式输出;

时钟控制模块,用于向级联积分梳状滤波器和移动平均滤波器提供时钟信号;

级联积分梳状滤波器,用于接收时钟控制模块发出的时钟信号,并在接收到触发启动时钟信号时接收寄存器输出的数字码,然后进行积分和降频,且在积分过程中实现位数的递增;

移动平均滤波器,用于接收时钟控制模块发出的时钟信号,并在接收到触发启动时钟信号时去除时钟抖动和级联积分梳状滤波器输出数字码的固有噪声,以实现平滑输出。

2. 根据权利要求1所述的一种过采样式Pipeline SAR-ADC装置,其特征在于,所述逐次逼近型模数转换模块包括采样开关、电容阵列、比较器、逻辑控制模块及输出缓冲模块,所述采样开关和电容阵列的数量均为两个,两个所述的采样开关与两个电容阵列的输入端一一对应连接,两个所述的电容阵列的输出端分别连接比较器的同相输入端和反相输入端;所述比较器的输出端与逻辑控制模块的输入端连接,所述逻辑控制模块的数字控制输出端与电容阵列的数字位控制输入端连接,逻辑控制模块的输出端与输出缓冲模块的输入端连接。

3. 根据权利要求1所述的一种过采样式Pipeline SAR-ADC装置,其特征在于,任意相邻两块逐次逼近型模数转换模块之间的线路上均设有信号放大电路。

4. 根据权利要求1~3中任意一项所述的一种过采样式Pipeline SAR-ADC装置,其特征在于,所述级联积分梳状滤波器由多个单级CIC滤波器级联构成。

5. 根据权利要求4所述的一种过采样式Pipeline SAR-ADC装置,其特征在于,所述CIC滤波器包括积分器、抽取器及微分器,所述积分器、抽取器及微分器顺次连接。

一种过采样式Pipeline SAR-ADC装置

技术领域

[0001] 本实用新型涉及集成电路技术领域,具体是一种过采样式Pipeline SAR-ADC装置。

背景技术

[0002] 模数转换器(ADC)作为将模拟信号转换成数字信号的关键器件,在航空航天与防务、汽车应用、软件无线电、消费电子、视频监控与图像采集、雷达通信等领域发挥着至关重要的作用。随着现代技术的不断发展,这些领域对速度和分辨率的要求不断提升,对模数转换器的要求也越来越高。

[0003] 传统的模数转换器常常采用Pipeline-ADC和SAR-ADC两种结构,其中,Pipeline-ADC结构应用时存在以下缺点:第一、Pipeline-ADC受电容失配的影响较大,这导致Pipeline-ADC分辨率受到很大的限制;第二,Pipeline-ADC需要配备误差修正模块,这会增加ADC的功耗和面积,限制其在工业控制等领域的应用。SAR-ADC结构应用时存在以下缺点:因SAR-ADC采用逐渐逼近式的电压比较方法,导致其无法运用在高速的环境中,即SAR-ADC的采样速率低。

实用新型内容

[0004] 本实用新型的目的在于解决传统模数转换器存在的分辨率低和采样速率低的问题,提供了一种过采样式Pipeline SAR-ADC系统,其具有Pipeline和SAR-ADC结构结合的优点,能提升输出速率和分辨率。

[0005] 本实用新型解决上述问题主要通过以下技术方案实现:一种过采样式Pipeline SAR-ADC装置,包括顺次连接的过采样开关、模数转换系统及数字扩位系统,所述模数转换系统包括逐次逼近型模数转换模块和寄存器,所述逐次逼近型模数转换模块的数量为N块,N为大于或等于2的正整数,N块所述的逐次逼近型模数转换模块顺次连接形成N阶,每块逐次逼近型模数转换模块的阶数与其在所有逐次逼近型模数转换模块中输入信号的次序对应,每块逐次逼近型模数转换模块的数字输出端均与寄存器的输入端连接;所述数字扩位系统包括数字位增加模块和时钟控制模块,所述数字位增加模块包括级联积分梳状滤波器及与级联积分梳状滤波器连接的移动平均滤波器;其中,

[0006] 过采样开关,用于输入模拟信号并采样后输出;

[0007] 逐次逼近型模数转换模块,用于将输入其内的模拟信号转换成数字信号,并发送至寄存器,其中,第一阶逐次逼近型模数转换模块输入的信号为过采样开关输出的信号;

[0008] 寄存器,用于接收逐次逼近型模数转换模块输出的数字信号,并将N阶逐次逼近型模数转换模块输出的数字信号组合成流水线形式输出;

[0009] 时钟控制模块,用于向级联积分梳状滤波器和移动平均滤波器提供时钟信号;

[0010] 级联积分梳状滤波器,用于接收时钟控制模块发出的时钟信号,并在接收到触发启动时钟信号时接收寄存器输出的数字码,然后进行积分和降频,且在积分过程中实现位

数的递增；

[0011] 移动平均滤波器，用于接收时钟控制模块发出的时钟信号，并在接收到触发启动时钟信号时去除时钟抖动和级联积分梳状滤波器输出数字码的固有噪声，以实现平滑输出。

[0012] 本实用新型应用时，由数字位增加模块和时钟控制模块来完成高精度的输出。在具体实施时，将数字码通过级联积分梳状滤波器进行累加的过程实现位数的增加，而不需要很多的存储元件。

[0013] 进一步的，所述逐次逼近型模数转换模块包括采样开关、电容阵列、比较器、逻辑控制模块及输出缓冲模块，所述采样开关和电容阵列的数量均为两个，两个所述的采样开关与两个电容阵列的输入端一一对应连接，两个所述的电容阵列的输出端分别连接比较器的同相输入端和反相输入端；所述比较器的输出端与逻辑控制模块的输入端连接，所述逻辑控制模块的数字控制输出端与电容阵列的数字位控制输入端连接，逻辑控制模块的输出端与输出缓冲模块的输入端连接。

[0014] 进一步的，任意相邻两块逐次逼近型模数转换模块之间的线路上均设有信号放大电路。

[0015] 进一步的，所述级联积分梳状滤波器由多个单级CIC滤波器级联构成。

[0016] 进一步的，所述CIC滤波器包括积分器、抽取器及微分器，所述积分器、抽取器及微分器顺次连接。

[0017] 综上所述，本实用新型具有以下有益效果：(1) 本实用新型整体结构简单，使用元器件少，便于实现，成本低，本实用新型采用SAR-ADC电路结构和Pipeline运作方式相结合，可有效的提高ADC的输出速率。

[0018] (2) 本实用新型采用全差分式的结构和数字扩位技术，能降低噪声和电容失配的干扰。

[0019] (3) 本实用新型应用时进行逐步量程划分，能把全量程从最大的(第一级)到最小的(N级)进行划分，每级都进行SAR-ADC的转换，然后组成Pipeline(流水线)形式重组输出，使得最终输出的分辨率大大的提升。

[0020] (4) 本实用新型在提升分辨率的同时不受电源电压变化的影响，最终实现高分辨率、高线性度的输出，进而有利于本实用新型的推广应用。

[0021] (5) 本实用新型应用时能适用于多种不同输入的位宽，使得本实用新型应用时更便于推广应用。

附图说明

[0022] 此处所说明的附图用来提供对本实用新型实施例的进一步理解，构成本申请的一部分，并不构成对本实用新型实施例的限定。在附图中：

[0023] 图1为本实用新型一个具体实施例的结构示意图；

[0024] 图2为本实用新型一个具体实施例中模数转换系统的框图；

[0025] 图3为图2中逐次逼近型模数转换模块的框图；

[0026] 图4为图1中数字扩位系统的框图；

[0027] 图5为图4中级联积分梳状滤波器的结构示意图；

- [0028] 图6为单级CIC滤波器的框图；
[0029] 图7为本实用新型一个具体实施例的应用框图；
[0030] 图8为本实用新型一个具体实施例的仿真图。

具体实施方式

[0031] 为使本实用新型的目的、技术方案和优点更加清楚明白，下面结合实施例和附图，对本实用新型作进一步的详细说明，本实用新型的示意性实施方式及其说明仅用于解释本实用新型，并不作为对本实用新型的限定。

[0032] 实施例1：

[0033] 如图1及图2所示，一种过采样式Pipeline SAR-ADC装置，包括顺次连接的过采样开关、模数转换系统及数字扩位系统，其中，模数转换系统包括逐次逼近型模数转换模块和寄存器，其中，逐次逼近型模数转换模块的数量为N块，N为大于或等于2的正整数，N块逐次逼近型模数转换模块顺次连接形成N阶。本实施例中每块逐次逼近型模数转换模块的阶数与其在所有逐次逼近型模数转换模块中输入信号的次序对应，N阶逐次逼近型模数转换模块输入信号的次序为：第一阶逐次逼近型模数转换模块、第二阶逐次逼近型模数转换模块、……、第N阶逐次逼近型模数转换模块。本实施例在具体设置时，任意相邻两块逐次逼近型模数转换模块之间的线路上均设有信号放大电路。本实施例的过采样开关用于输入模拟信号并采样后输出，第一阶逐次逼近型模数转换模块输入的信号为过采样开关输出的信号。

[0034] Pipeline SAR-ADC系统，包括逐次逼近型模数转换模块和寄存器，所述逐次逼近型模数转换模块的数量为N块，N为大于或等于2的正整数，N块所述的逐次逼近型模数转换模块顺次连接形成N阶，每块逐次逼近型模数转换模块的阶数与其在所有逐次逼近型模数转换模块中输入信号的次序对应，每块逐次逼近型模数转换模块的数字输出端均与寄存器的输入端连接；其中，逐次逼近型模数转换模块，用于将输入其内的模拟信号转换成数字信号，并发送至寄存器；寄存器，用于接收逐次逼近型模数转换模块输出的数字信号，并将N阶逐次逼近型模数转换模块输出的数字信号组合成流水线形式输出。

[0035] 本实施例的每块逐次逼近型模数转换模块的数字输出端均与寄存器的输入端连接，逐次逼近型模数转换模块，用于将输入其内的模拟信号转换成数字信号，并发送至寄存器；寄存器用于接收逐次逼近型模数转换模块输出的数字信号，并将N阶逐次逼近型模数转换模块输出的数字信号组合成流水线形式输出。

[0036] 如图4、图5所示，本实施例的数字扩位系统包括数字位增加模块和时钟控制模块，其中，数字位增加模块包括级联积分梳状滤波器及与级联积分梳状滤波器连接的移动平均滤波器。本实施例的级联积分梳状滤波器和移动平均滤波器两者的时钟连接时钟控制模块的时钟信号端clk，时钟控制模块用于向级联积分梳状滤波器和移动平均滤波器提供时钟信号。本实施例的级联积分梳状滤波器用于接收时钟控制模块发出的时钟信号，并在接收到触发启动时钟信号时接收寄存器输出的数字码，然后进行积分和降频，且在积分过程中实现位数的递增。本实施例的移动平均滤波器用于接收时钟控制模块发出的时钟信号，并在接收到触发启动时钟信号时去除时钟抖动和级联积分梳状滤波器输出信号的固有噪声，以实现平滑输出。

[0037] 本实施例的级联积分梳状滤波器由多个单级CIC滤波器级联构成,其中,单级CIC滤波器结构图如图6所示。CIC滤波器包括积分器、抽取器及微分器,积分器、抽取器及微分器顺次连接。

[0038] 本实施例中单级CIC滤波器的抽取倍数为D,积分器的时域表达式为 $y_1(n) = y_1(n-1) + x_1(n)$,微分器的时域表达式为 $y_2(n) = x_2(n) - x_2(n-D)$,其中, $x_1(n)$ 为积分器输入的数字码, $y_1(n)$ 为积分器输出的数字码, $x_2(n)$ 为微分器输入的数字码, $y_2(n)$ 为微分器输出的数字码。级联积分梳状滤波器就是将单级CIC多级级联完成积分和降频,在每一级积分过程都有相应位数的递增,递增的位数为 $N_{inc} = \frac{1}{2} \log_2 D$ 。将Q级CIC滤波器串行连接,得到总的输出数字量位数的表达式为 $B_{out} = Q \log_2 D + B_{in}$,其中Q为级联的级数, B_{in} 为输入信号的位宽。以此来实现位数的扩展,输出频率降低D倍。本实施例的移动平均滤波器主要用于提高系统输出的可靠性和精度,合理的去除电路固有噪声和时钟抖动所带来的误差,确保不降低数据精度提高分辨率,平滑输出。移动平均滤波器的时域表达式为 $y_3(n) = \frac{1}{n} \sum_{k=0}^{n-1} x_3(n-k)$,其中,n为移动平均窗口的大小, $y_3(n)$ 为移动平均滤波器输出的数字码。

[0039] 本实施例应用时,级联积分梳状滤波器的输入为 b_0, \dots, b_m ,输出 $f_0, \dots, f_{(m+Q \log_2 D)}$,移动平均滤波器输出端为 $B_0, \dots, B_{(m+(1/2+Q) \log_2 D)}$,最终实现的数字位增加为 $(1/2+Q \log_2 D)$ 位。

[0040] 本实施例应用时,模拟输入信号 $x(t)$ 以过采样的方式(采样频率远大与信号的带宽)通过开关OVERSAMP采样成 $x(z)$, $x(z)$ 进入第一阶逐次逼近型模数转换模块,通过第一阶逐次逼近型模数转换模块把模拟信号转成 N_1 位数字信号 D_1 储存至寄存器。由第一阶逐次逼近型模数转换模块输出的残余电压 V_{o1} 经信号放大电路放大成电压 V_{i2} ,电压 V_{i2} 经第二阶逐次逼近型模数转换模块把模拟信号转成 N_2 位数字信号 D_2 储存至寄存器,由第二阶逐次逼近型模数转换模块输出的残余电压 V_{o2} 经信号放大电路放大成电压 V_{i3} 。以此类推,在最后一阶输入信号 V_{in} 进入第N阶逐次逼近型模数转换模块后,把模拟信号转成 N_n 位数字信号 D_n 。最后N位数字输出信号 $x(n)$ 进入数字扩位系统后,由数字扩位系统把N位的数字信号【 $x(n)$ 】扩展成 $(N+M)$ 位,最终输出 $(N+M)$ 位数字的模数转换数字信号ADC(n)。

[0041] 如图7所示,本实施例应用并实现了一个24位模数转换器(24-bit ADC)。模拟输入信号 $x(t)$ 由过采样开关采样成 $x(z)$ 进入模数转换系统,模数转换系统转换成16位数字信号后,通过数字扩位系统将16位的数字信号提升到24位数字信号,最终输出24位数字的模数转换数字信号。该24位过采样式Pipeline SAR-ADC系统采样速率为33kHz,参考电压为2.5V,输入信号从0V变化至2.5V。输出结果为有效位数(ENOB)达到16位,积分非线性(INL)小于0.5LSB,微分非线性(DNL)小于0.5LSB。图8所示24位过采样式Pipeline SAR-ADC系统的仿真图,仿真方法是将24位过采样式Pipeline SAR-ADC系统的输出数字信号通过一个理想的DAC,由DAC输出的模拟信号与输入的模拟信号进行比较。其中图8所示坐标系中上方的线条是从0V变化至2.5V的电压输入信号,下方的线条是该电路由输出数字信号转换成的模拟信号。从图8可知,该电路的电压输出信号呈线性变化而且和电压输入信号基本相符。

[0042] 实施例2:

[0043] 本实施例在实施例1的基础上做出了如下进一步限定:本实施例的逐次逼近型模

数转换模块包括采样开关、电容阵列、比较器、逻辑控制模块及输出缓冲模块,其中,电容阵列设有IN、OUT、G、H、L及 C_{1-N} 引脚,逻辑控制模块设有IN、OUT、CLK、 $C_{1(1-N)}$ 及 $C_{2(1-N)}$ 引脚。本实施例中采样开关和电容阵列的数量均为两个,两个采样开关分别为采样开关SAMP₁和采样开关SAMP₂,采样开关SAMP₁和采样开关SAMP₂分别与两个电容阵列的IN输入端一一对应连接,输入电压 $V_{ip(t)}$ 由采样开关SAMP₁输入,输入电压 $V_{in(t)}$ 由采样开关SAMP₂输入。两个电容阵列的OUT输出端分别连接比较器的同相输入端和反相输入端。比较器的输出端与逻辑控制模块的IN输入端连接,逻辑控制模块的 $C_{1(1-N)}$ 数字控制输出端与一个电容阵列的 C_{1-N} 数字位控制输入端连接,逻辑控制模块的 $C_{2(1-N)}$ 数字控制输出端与另一个电容阵列的 C_{1-N} 数字位控制输入端连接,逻辑控制模块的OUT输出端与输出缓冲模块的输入端连接。

[0044] 本实施例应用时,两个电容阵列的H端输入参考高电压 V_{refH} ,两个电容阵列的L端输入参考低电压 V_{refL} ,两个电容阵列的G端输入地电压GND,逻辑控制模块的CLK时钟输入端输入时钟Clock信号。在采样阶段时,采样开关SAMP₁、采样开关SAMP₂闭合,差分式正端输入电压 $V_{ip(t)}$ 通过采样开关SAMP₁形成 $V_{ip(z)}$ 进入一个电容阵列,负端输入电压 $V_{in(t)}$ 通过采样开关SAMP₂形成 $V_{in(z)}$ 进入另一个电容阵列。在比较阶段时,采样开关SAMP₁、采样开关SAMP₂断开,比较器CMP比较两个电容阵列输出电压 V_p 和 V_n 之间的大小,从而确定比较器CMP的输出逻辑 D_{cmp} 输入至逻辑控制模块。根据输出电压值输入到逻辑控制模块的IN输入端,逻辑控制模块从 $C_{1(1-N)}$ 输出相应数字位置的控制信号至一个电容阵列的控制端口 C_{1-N} ,以及从 $C_{2(1-N)}$ 输出相应数字位置的控制信号至另一个电容阵列的控制端口 C_{1-N} ,进而消除两个电容阵列对应该数字位置内部储存的电荷,同时也记下该数字位置的相应数字数据。完成一次比较程序后,逻辑控制模块以同样的方式逐次循环地消除电容阵列内部储存的电荷,来完成全部数字位置的输出数据,最后以流水线(pipeline)的形式输出最终数字数据 D_{out} 。由具体需求可选择添加输出缓冲模块输出缓冲信号 D_{bout} 。

[0045] 以上所述的具体实施方式,对本实用新型的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本实用新型的具体实施方式而已,并不用于限定本实用新型的保护范围,凡在本实用新型的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本实用新型的保护范围之内。

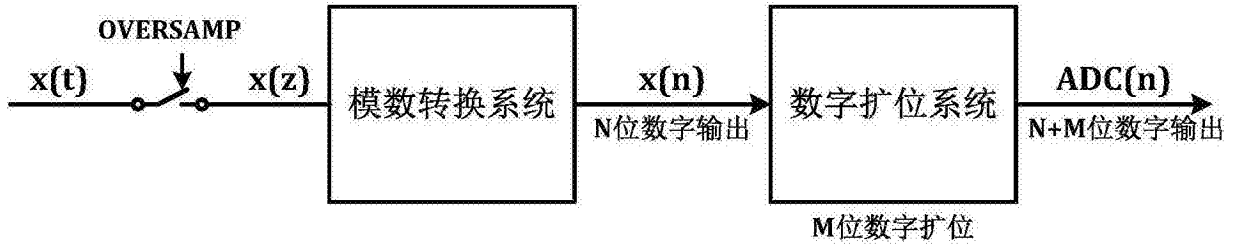


图1

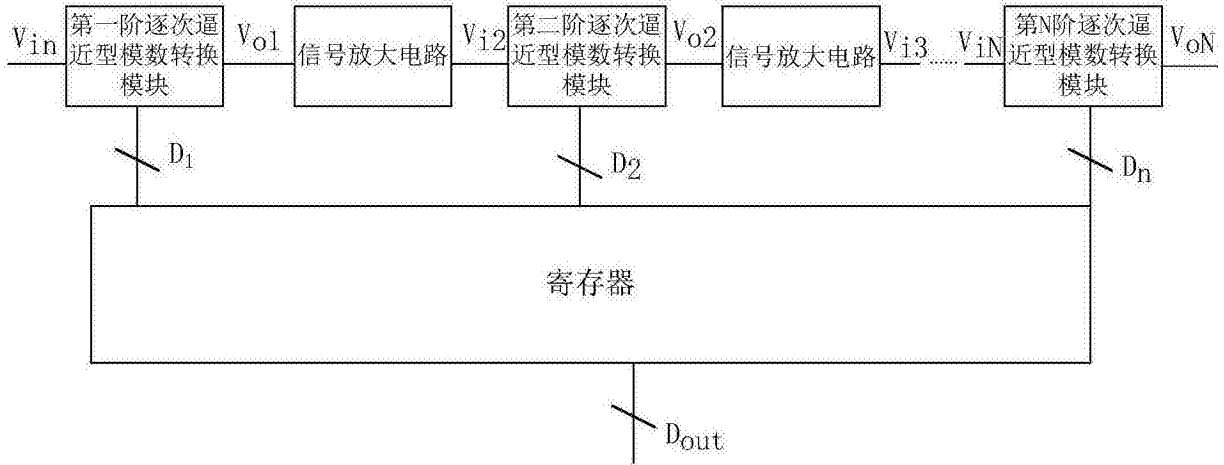


图2

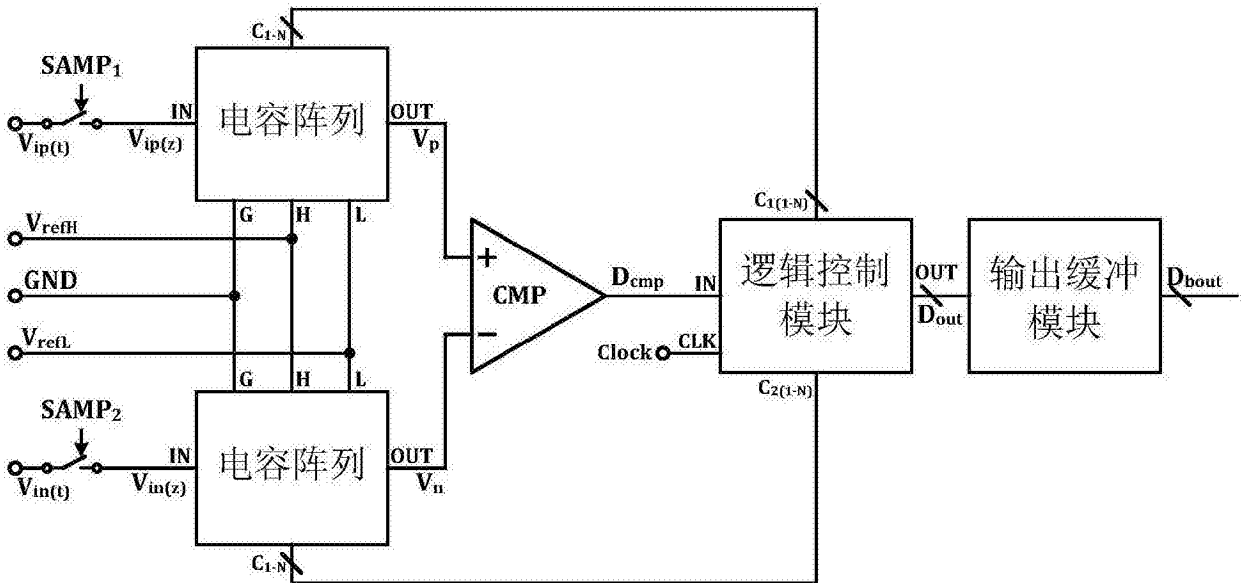


图3

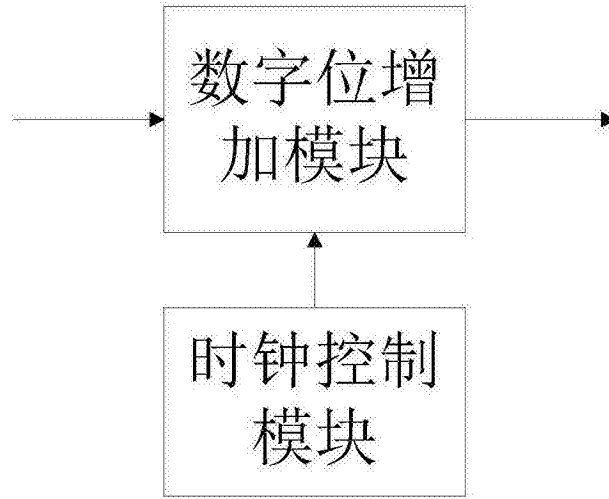


图4

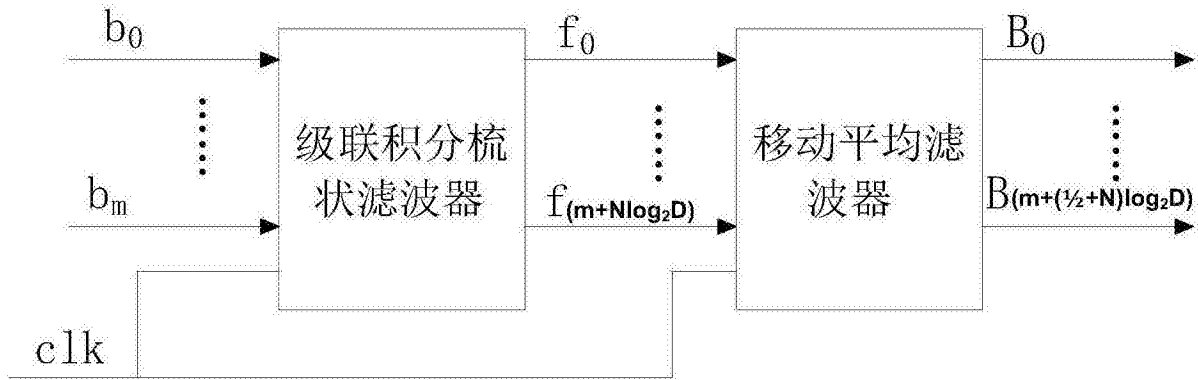


图5

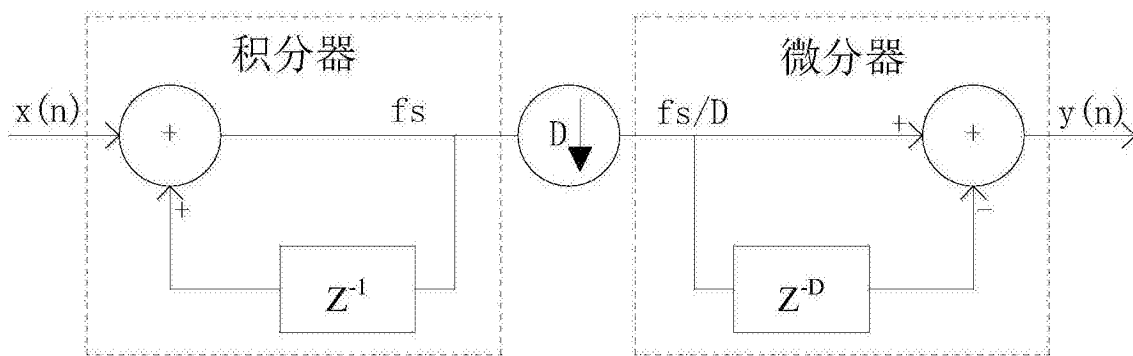


图6

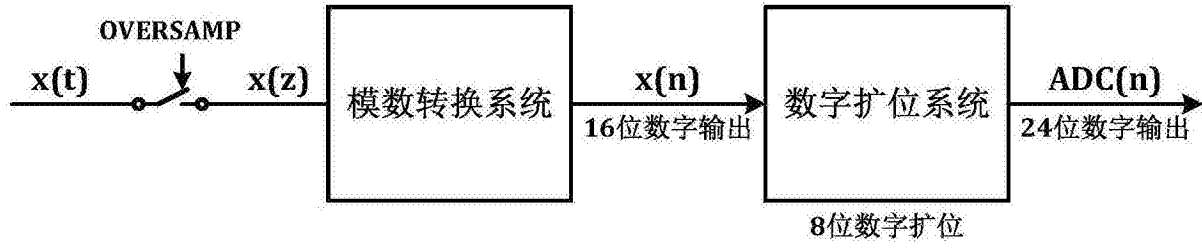


图7

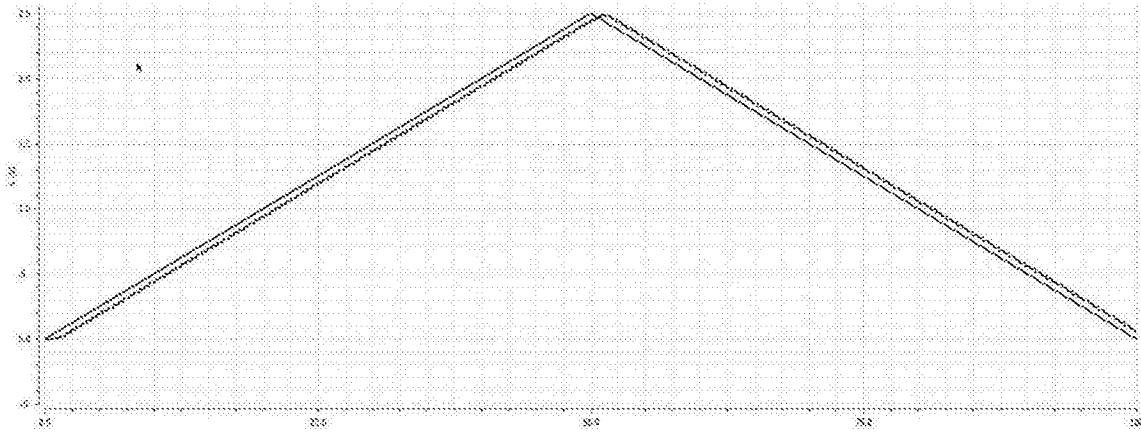


图8