



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월17일  
(11) 등록번호 10-1002306  
(24) 등록일자 2010년12월13일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2003-0085129

(22) 출원일자 2003년11월27일

심사청구일자 2008년09월24일

(65) 공개번호 10-2005-0051358

(43) 공개일자 2005년06월01일

(56) 선행기술조사문헌

KR1020030051922 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박재현

대구광역시수성구지산1동보성맨션106동102호

김진성

경상북도구미시구포동성원아파트109동1204호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 6 항

심사관 : 장경태

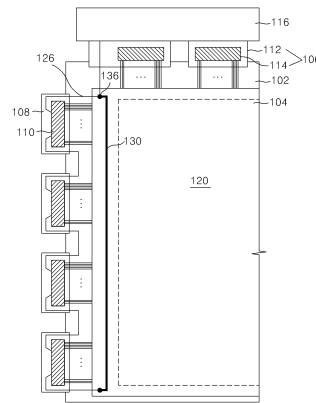
(54) 라인 온 글래스형 액정 표시 장치

(57) 요약

본 발명은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치를 제공하는 것이다.

본 발명에 라인 온 글래스형 액정 표시 장치는 신호라인을 구동시키는 집적회로와, 상기 집적회로에 구동신호를 공급하며 제1 기판 상에 직접 형성되는 제1 신호라인들과; 상기 제1 기판과 대향하는 제2 기판 상에 형성되며 제1 신호라인들과 병렬로 접속된 적어도 하나의 제2 신호라인을 구비하는 것을 특징으로 한다.

대표도 - 도9



**특허청구의 범위**

**청구항 1**

다수의 게이트 라인을 구동하는 게이트 집적회로와,

상기 게이트 집적회로에 게이트 구동신호를 공급하며 제1 기판 상에 직접 형성되는 제1 신호라인들과;

상기 제1 기판과 대향하는 제2 기판 상에 형성되고, 상기 게이트 구동신호 중 게이트 로우 전압 신호 및 게이트 하이 전압 신호를 공급하는 상기 제1 신호라인과 병렬로 접속되도록 형성된 제2 신호라인들; 및

상기 게이트 집적회로들 사이에 위치하는 상기 제1 신호라인과 상기 제2 신호라인 사이에 각각 접속되어, 상기 제2 신호라인으로부터 상기 게이트 로우 전압 신호 및 상기 게이트 하이 전압 신호를 상기 게이트 집적회로 쪽으로 공급하는 연결라인을 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 제1 신호라인과 상기 제2 신호라인을 전기적으로 병렬 접속시키기 위한 접속도트를 추가로 구비하는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

**청구항 5**

제 4 항에 있어서,

상기 제2 신호라인은 게이트절연막 및 보호막을 관통하는 제1 콘택홀에 의해 노출된 상기 제1 신호라인과 상기 접속도트를 통해 접속되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

**청구항 6**

제 1 항에 있어서,

상기 제2 신호라인은 상기 제2 기판의 외곽영역에 형성되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

**청구항 7**

제 6 항에 있어서,

상기 제2 신호라인은 상기 제2 기판의 표시영역에 형성된 공통전극과 동일물질로 상기 공통전극과 이격되어 형성되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

**청구항 8**

삭제

**청구항 9**

제 1 항에 있어서,

상기 연결라인은 게이트절연막을 관통하는 제2 콘택홀에 의해 노출된 상기 제1 신호라인과 접속되며,

상기 연결라인은 보호막을 관통하여 제3 콘택홀에 의해 노출되어 접속도트를 통해 상기 제2 신호라인과 접속되는 것을 특징으로 하는 라인 온 글래스형 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0023] 본 발명은 액정 표시 장치에 관한 것으로, 특히 신호왜곡에 따른 화질 저하를 최소화할 수 있는 라인 온 글래스형 액정 표시 장치에 관한 것이다.
- [0024] 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.
- [0025] 액정 표시 패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.
- [0026] 구동 회로는 액정 표시 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.
- [0027] 데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 IC 영역에 실장되거나 COF(Chip On Film) 방식으로 TCP의 베이스 필름 상에 실장되고, TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.
- [0028] TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 제어부 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 FPC와 데이터 PCB를 통해 메인 PCB에 실장된 타이밍 제어부로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 게이트 FPC와 게이트 PCB를 통해 메인 PCB 상에 실장된 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.
- [0029] COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC와 액정 표시 패널에 형성되는 라인 온 글래스(Line On Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 제어부로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.
- [0030] 최근에는 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 PCB를 제거함으로써 액정 표시 장치가 더욱 박형화되게 하고 있다. 특히, 상대적으로 적은 신호를 전달하는 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하고 있다. 이에 따라, TCP에 실장된 게이트 드라이브 IC들은 메인 PCB->FPC->데이터 PCB->데이터 TCP->LOG 신호 라인->게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다. 이 경우, 게이트 드라이브 IC에 공급되는 게이트 제어 신호들과 게이트 전원 신호들이 LOG 신호 라인들의 라인 저항에 의해 왜곡됨으로써 액정 표시 패널에 표시되는 화상의 품질이 저하되는 문제가 발생하게 된다.
- [0031] 구체적으로, 게이트 PCB가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 타이밍 제어부(22)와 전원부(24)를 포함하는 메인 PCB(20)와, FPC(18)를 통해 메인 PCB(20)와 접속된 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)를 구비한다.
- [0032] 액정 표시 패널(6)은 박막 트랜지스터 어레이 기관(2)과, 칼러 필터 어레이 기관(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역

마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.

- [0033] 데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)와 FPC(18)를 통해 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.
- [0034] 게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.
- [0035] 이를 위하여, 메인 PCB(20) 상의 타이밍 제어부(22) 및 전원부(24)로부터의 게이트 제어 신호들과 전원 신호들은 FPC(18)와 데이터 PCB(16)를 경유하여 데이터 TCP(12)에 공급된다. 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기판(2)의 가장자리 영역에 형성된 LOG 신호 라인군(26)을 경유하여 게이트 TCP(8)에 공급된다. 게이트 TCP(12)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 입력 단자들을 통해 게이트 드라이브 IC(10) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 출력 단자들을 통해 출력되어 게이트 TCP(8)와 LOG 신호 라인군(26)을 경유하여 다음 게이트 TCP(8)에 실장된 게이트 드라이브 IC(10)로 공급된다.
- [0036] LOG형 신호라인군(26)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.
- [0037] 이러한 LOG 신호 라인군(26)은 박막 트랜지스터 어레이 기판(2)의 한정된 패드 영역에 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 또한, LOG 신호 라인군(26)은 게이트 TCP(8)와 ACF 본딩(Bonding)을 통해 접촉됨에 따라 그 게이트 TCP(8)와의 접촉 부분(A)이 증가하여 접촉 저항이 커지게 된다. 이에 따라, LOG 신호 라인군(26)은 기존의 게이트 PCB의 신호 라인들 보다 큰 라인 저항을 가지게 된다. 이러한 라인 저항으로 인하여 LOG 신호 라인군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 가로 줄무늬, 얼룩 등이 발생되고 도트 패턴의 크로스토크, 그리니쉬(Greenish) 등과 같은 화질 저하 현상이 심해지게 된다.
- [0038] 예를 들면, 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)을 공급하는 LOG 신호 라인군(26)들은 도 2에 도시된 바와 같이 게이트 TCP들(8) 사이 각각에 접속되는 제1 내지 제4 LOG 신호 라인군(LOG1 내지 LOG4)으로 구성된다. 제1 내지 제4 LOG 신호 라인군(LOG1 내지 LOG4) 각각은 그 라인길이에 비례하는 라인 저항( $a\Omega$ ,  $b\Omega$ ,  $c\Omega$ ,  $d\Omega$ )을 갖고 게이트 TCP(8)와 게이트 드라이브 IC(10)를 경유하여 직렬로 연결된다. 이러한 제1 내지 제4 LOG 신호 라인군(LOG1 내지 LOG4)으로 인하여 게이트 드라이브 IC(10) 마다 입력되는 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM) 간에 레벨 차가 발생하게 된다. 이 결과, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 수평라인 블록들(A 내지 D) 간에 휘도차가 발생되어 가로선 줄무늬(32)가 생기게 된다.
- [0039] 구체적으로, 제1 게이트 드라이브 IC(10)에는 제1 LOG 신호 라인군(LOG1)의 제1 라인 저항( $a\Omega$ )에 의해, 제2 게이트 드라이브 IC(10)에는 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 제1 및 제2 라인 저항( $a\Omega+b\Omega$ )에 의해, 제3 게이트 드라이브 IC(10)에는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 제1 내지 제3 라인 저항( $a\Omega+b\Omega+c\Omega$ )에 의해, 제4 게이트 드라이브 IC(10)에는 제1 내지 제4 LOG 신호 라인군(LOG1 내지 LOG4)의 제1 내지 제4 라인 저항( $a\Omega+b\Omega+c\Omega+d\Omega$ )에 의해 전압 강하된 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 공급된다. 이에 따라, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 제1 내지 제4 수평 블록(A 내지 D)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG4) 간에 차이가 발생함에 따라 그 수평 라인 블록(A 내지 D) 간에 가로선 줄무늬(32)가 발생하게 된다.
- [0040] 또한, 도 3에 도시된 바와 같이 도트 인버전 방식으로 구동되는 액정 패널에 블랙 그레이와 31 그레이가 화소 단위로 교번하는 패턴을 표시하는 경우 인접한 화소간에 트랜지션되는 데이터 크기가 상쇄되지 않음에 따라 도

4a 및 도 4b에 도시된 바와 같이 기생 캐패시터에 의해 게이트 로우 전압(VGL) 및 공통 전압(VCOM)이 공급된다. 도 4a 및 도 4b 각각은 블랙 그레이 신호와 31 그레이 신호가 특정 데이터 라인에 도트 인버전 방식으로 공급되는 경우 기생 캐패시터에 의해 스윙되는 공통 전압(VCOM) 및 게이트 로우 전압(VGL) 파형을 도시한 것이다. 여기서, 공통 전압(VCOM) 및 게이트 로우 전압(VGL)은 상대적으로 큰 전압의 블랙 그레이 신호와 동일한 위상을 가지고 스윙하게 됨을 알 수 있다.

[0041] 이 결과, 도 5에 도시된 바와 같이 도 3에 도시된 R1, G1, B1 각각에 블랙 화소 신호를 공급하고 R2, G2, B2 각각에 31 그레이의 화소 신호를 공급하는 경우 블랙 화소 신호를 따라 스윙하는 공통 전압(VCOM)으로 인하여 R1, B1, G2의 화소 신호 충전값(VR1, VG1, VB2)의 G1, R2, B2의 화소 신호 충전값(VG1, VR2, VB2) 보다 작아지게 된다. 이에 따라 G1, R2, B2 화소가 상대적으로 밝게 보이는데, 블랙 화소 신호가 공급되는 R1, B1은 육안 감지가 불가능하므로 31 그레이가 공급되는 G2 화소만 밝게 보이게 되어 그리니쉬 현상이 발생하게 된다.

[0042] 그리고, 도 6에 도시된 바와 같이 액정 패널에 31 그레이와 블랙 그레이가 서브 화소 단위로 교번하는 패턴을 표시하고 특정 영역에 동일한 그레이를 표시하는 윈도우(W)를 표시하는 경우 그 윈도우 영역(W)에서는 동일 그레이를 표시하므로 인접한 화소들 간의 화소 신호 트랜지션 크기가 상쇄된다. 이에 따라, 도 7에 도시된 바와 같이 상기 윈도우 영역(W)이 포함되는 T2 구간에서의 게이트 로우 전압(VGL) 및 공통 전압(VCOM)의 스윙 폭은 그 윈도우 영역(W)이 포함되지 않는 T1 구간 보다 작아지게 된다. 따라서, 윈도우 영역(W)을 포함하는 T2 구간에 구동되는 화소들과 그 윈도우 영역(W)이 포함하지 않는 T1 구간에 구동되는 화소들의 충전값이 달라지게 된다. 구체적으로, 도 8에 도시된 바와 같이 R1, G1, B1 라인을 살펴 보면 블랙 화소 신호가 공급되는 G1 라인(육안 감지 않됨)을 제외하고 R1 및 B1 라인은 T1 구간에서의 충전량(VR1, VB1) 보다 T2 구간에서의 충전량(VR2, VB2)이 작아짐을 알 수 있다. 이 결과, 윈도우 영역(W)을 포함하는 T2 구간에 구동되는 화소들이 그 윈도우 영역(W)을 포함하지 않는 T1 구간에 구동되는 화소들 보다 상대적으로 밝게 보이는 수평 크로스토크가 발생하게 된다.

[0043] 이렇게 화소 신호의 트랜지션 크기에 따른 공통 전압(VCOM) 및 게이트 로우 전압(VGL)의 스윙 전압은 전류 패스를 형성하는 그라운드 라인으로 유기된다. 이에 따라, 그라운드 전압을 공급하는 LOG 신호 라인의 상대적으로 큰 저항 성분에 의해 공통 전압(VCOM) 및 게이트 로우 전압(VGL)의 스윙 폭은 더욱 증대하게 됨으로써 전술한 그리니쉬 및 수평 크로스토크 현상은 더욱 선명해지게 된다.

**발명이 이루고자 하는 기술적 과제**

[0044] 따라서, 본 발명의 목적은 신호왜곡에 따른 화질 저하를 최소화할 수 있는 LOG형 액정 표시 장치를 제공하는 것이다.

**발명의 구성 및 작용**

[0045] 상기 목적을 달성하기 위하여, 본 발명에 따른 라인 온 글래스형 액정 표시 장치는 신호라인을 구동시키는 집적 회로와, 상기 집적회로에 구동신호를 공급하며 제1 기관 상에 직접 형성되는 제1 신호라인들과; 상기 제1 기관과 대향하는 제2 기관 상에 형성되며 제1 신호라인들과 병렬로 접속된 적어도 하나의 제2 신호라인을 구비하는 것을 특징으로 한다.

[0046] 상기 제1 신호라인들은 게이트집적회로에 게이트 구동 신호를 공급하는 것을 특징으로 한다.

[0047] 상기 적어도 하나의 제2 신호라인은 상기 게이트 구동 신호 중 게이트 로우 전압 신호 및 게이트 하이 전압 신호 중 적어도 어느 하나를 공급하는 제1 신호라인과 병렬로 접속되는 것을 특징으로 한다.

[0048] 상기 제1 신호라인과 제2 신호라인을 전기적으로 병렬 접속시키기 위한 접속도트를 추가로 구비하는 것을 특징으로 한다.

[0049] 상기 제2 신호라인은 게이트절연막 및 보호막을 관통하는 제1 콘택홀에 의해 노출된 상기 제1 신호라인과 상기 접속도트를 통해 접속되는 것을 특징으로 한다.

[0050] 상기 제2 신호라인은 상기 제2 기관의 외곽영역에 형성되는 것을 특징으로 한다.

[0051] 상기 제2 신호라인은 상기 제2 기관의 표시영역에 형성된 공통전극과 동일물질로 상기 공통전극과 이격되어 형

성되는 것을 특징으로 한다.

- [0052] 상기 라인 온 글래스형 액정표시장치는 상기 제2 신호라인과 집적회로들의 입력단 사이에 각각 접속되어 상기 제2 신호라인으로부터 상기 구동신호를 상기 집적회로 쪽으로 공급하는 연결라인을 추가로 구비하는 것을 특징으로 한다.
- [0053] 상기 연결라인은 게이트절연막을 관통하는 제2 콘택홀에 의해 노출된 상기 제1 신호라인과 접속되며, 상기 연결라인은 보호막을 관통하여 제3 콘택홀에 의해 노출되어 접속도트를 통해 상기 제2 신호라인과 접속되는 것을 특징으로 한다.
- [0054] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0055] 이하, 도 9 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0056] 도 9는 본 발명의 제1 실시 예에 따른 LOG형 액정표시장치를 나타내는 도면이다.
- [0057] 도 9를 참조하면, 본 발명의 제1 실시 예에 따른 LOG형 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(106)과, 액정패널(106)의 게이트라인들(GL)을 구동하기 위한 게이트 드라이브 IC(110)와, 액정패널(106)의 데이터라인들(DL)을 구동하기 위한 데이터 드라이브 IC(114)를 구비한다.
- [0058] 데이터 드라이브 IC들(114)은 데이터 TCP(112) 및 액정패널(106)의 데이터 패드부를 경유하여 데이터 라인들(DL)과 접속된다. 여기서, 데이터 드라이브 IC들(114)은 데이터 TCP(112)에서 오픈된 IC 영역에 실장되거나, COF 방식으로 데이터 TCP(112)의 베이스 필름 위에 실장된다. 이러한 데이터 드라이브 IC들(114)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC들(114)은 데이터 PCB(116)를 통해 메인 PCB 상의 타이밍 제어부 및 전원부로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.
- [0059] 게이트 드라이브 IC들(110)은 게이트 TCP(108) 및 액정패널(106)의 게이트 패드부를 경유하여 게이트 라인들(GL)과 접속된다. 여기서, 게이트 드라이브 IC들(110)은 게이트 TCP(108)에서 오픈된 IC 영역에 실장되거나, COF 방식으로 게이트 TCP(108)의 베이스 필름 상에 실장된다. 이러한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(110)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.
- [0060] 이를 위하여, 타이밍 제어부 및 전원부로부터의 게이트 제어 신호들과 전원 신호들은 데이터 PCB(116)를 경유하여 데이터 TCP(112)에 공급된다. 데이터 TCP(112)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(102)의 가장자리 영역에 형성된 LOG 신호 라인군(126)을 경유하여 게이트 TCP(108)에 공급된다. 게이트 TCP(108)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 입력단자들을 통해 게이트 드라이브 IC(110) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(110)의 출력 단자들을 통해 출력되어 게이트 TCP(108)와 LOG 신호 라인군(126)을 경유하여 다음 게이트 TCP(108)에 실장된 게이트 드라이브 IC(110)로 공급된다.
- [0061] 액정패널(106)은 박막 트랜지스터 어레이 기관(102)과, 칼러 필터 어레이 기관(104)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정패널(106)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 형성되며 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들로 구성되어 화상을 표시하는 화상표시영역(120)과, 화상표시영역(120)의 신호라인에 구동신호를 공급하기 위한 패드들이 위치하는 비표시영역을 포함한다.
- [0062] 비표시영역의 하부기관(101)에는 도 10에 도시된 바와 같이 데이터라인(DL)으로부터 신장되는 데이터 패드들(D1, D2...)과, 게이트라인(GL)으로부터 신장되는 게이트 패드들(G1, G2, G3...)이 형성된다. 또한, 비표시영역에는 데이터 패드들(D)과 함께 나란하게 형성되며 제1 데이터 TCP(도시하지 않음)와 접속되는 제1 LOG형 패드군(132)과, 게이트 패드들(G)과 나란하게 형성되며 게이트 TCP(도시하지 않음)와 접속되는 제2 LOG형 패드군(134)이 형성된다. 또한, 비표시영역에는 게이트 드라이브 IC(110)에 공급되는 게이트 구동신호들을 전송하기 위해 제1 LOG형 패드군(132)과 제2 LOG형 패드군(134) 사이에 형성된 LOG형 신호라인군(126)이 형성된다.
- [0063] LOG형 신호 라인군(126)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스

(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

[0064] 비표시영역의 상부기판(103)에는 도 10 및 도 11에 도시된 바와 같이 LOG형 신호라인군(126)과 접속도트(136)를 통해 병렬로 접속되는 신호전송라인(130)이 형성된다. 특히, 신호전송라인(130)은 화질에 큰 영향을 미치는 게이트 로우 전압(VGL)을 공급하는 LOG형 신호라인 및 게이트 하이 전압(VGH)을 공급하는 LOG형 신호라인 중 적어도 어느 하나와 접속도트(136)를 통해 접속된다. 즉, 도 11에 도시된 바와 같이 게이트 로우 전압(VGL) 및 게이트 하이 전압(VGH) 중 적어도 어느 하나를 공급하는 LOG형 신호라인(126)은 게이트절연막(142)과 보호막(142)을 관통하는 콘택홀(152)을 통해 노출되어 접속도트(136)를 통해 상부기판(103) 상에 형성된 신호전송라인(130)과 접속된다. 이 때, 콘택홀(152)은 공통전압(VCOM)을 공급하는 LOG형 신호라인(126)을 노출시키는 공통 콘택홀(150)과 동시에 형성되며, 신호전송라인(130)은 화상표시영역과 대응되는 영역에 형성된 공통전극(140)과 동일급속으로 동일평면 상에 공통전극(140)과 이격되어 형성된다.

[0065] 이와 같이, 본 발명에 따른 라인 온 글래스형 액정표시장치는 LOG형 신호라인들과 신호전송라인들이 은 도트를 통해 병렬로 연결됨으로써 신호전송라인에 의해 LOG형 신호라인의 라인저항값을 줄일 수 있다. 예를 들어, LOG형 신호라인들 중 화질에 큰 영향을 미치는 게이트로우전압 및 게이트하이전압 중 적어도 어느 하나를 공급하는 LOG형 신호라인을 접속도트를 통해 신호전송라인과 병렬로 접속된 구조로 형성한다. 즉, LOG형 신호라인들 각각의 라인저항은 LOG형 신호라인들의 제1 라인저항과, 신호전송라인들의 제2 라인저항이 병렬로 접속된 구성을 가짐에 따라 종래의 LOG형 신호라인들로부터 형성된 경우 보다 그 라인저항값이 작아지게 된다.

[0066] 한편, 본 발명에 따른 액정표시패널은 LOG형 신호라인, 데이터라인, 게이트라인, 박막트랜지스터 및 화소전극이 형성된 박막트랜지스터 어레이 기판을 마련한다. 또한, 공통전극, 신호전송라인, 컬러필터가 형성된 컬러필터 어레이 기판을 마련한다. 그런 다음, 접속도트를 이용하여 LOG형 신호라인과 신호전송라인을 전기적으로 접속시킨다.

[0067] 도 12는 본 발명의 제2 실시 예에 따른 라인 온 글래스형 액정표시장치를 나타내는 도면이다.

[0068] 도 12를 참조하면, 본 발명의 제2 실시 예에 따른 라인 온 글래스형 액정표시장치는 도 11에 도시된 액정표시장치와 비교하여 드라이브 IC별로 LOG형 신호라인과 신호전송라인을 연결하는 연결라인을 추가로 구비하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

[0069] 연결라인(154)은 게이트 TCP들(108) 사이 각각에 접속되는 제2 내지 제4 LOG 신호 라인군(LOG2 내지 LOG4)과 접속되도록 형성된다. 즉, 연결라인(154)은 도 13에 도시된 바와 같이 하부기판(101) 상에 게이트급속으로 형성된 제2 내지 제4 LOG 신호라인(126) 각각과 게이트절연막(142)을 관통하는 제1 콘택홀(158)을 통해 접속된다. 또한, 연결라인(154)은 보호막(148)을 관통하는 제2 콘택홀(156)에 의해 노출되어 접속도트(136)를 통해 신호전송라인(130)과 접속된다.

[0070] 연결라인(154)을 통해 신호전송라인(130)과 접속되는 LOG형 신호라인들 각각의 라인저항은 LOG형 신호라인들의 제1 라인저항과, 신호전송라인들(130)의 제2 라인저항과, 연결라인(154)의 제3 라인저항이 병렬로 접속된 구성을 가짐에 따라 종래의 LOG형 신호라인들로부터 형성된 경우 보다 그 라인저항값이 작아지게 된다.

### 발명의 효과

[0071] 상술한 바와 같이, 본 발명에 따른 LOG형 액정 표시 장치는 LOG형 신호라인들과 신호전송라인들이 은 도트를 통해 병렬로 연결됨으로써 신호전송라인에 의해 LOG형 신호라인의 라인저항값을 줄일 수 있다. 라인저항이 줄어든 LOG형 신호라인에 의해 게이트 드라이브 IC 별로 공급되는 게이트구동신호의 차이를 최소화할 수 있다. 이에 따라, 드라이브 IC별로 접속되는 수평라인 블록간의 가로선 현상을 포함하는 화질저하를 방지할 수 있다.

[0072] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

[0001] 도 1은 라인 온 글래스형 액정 표시 장치를 도시한 평면도이다.

- [0002] 도 2는 도 1에 도시된 액정 표시 장치에서의 가로선 줄무늬 현상을 설명하기 위한 도면이다.
- [0003] 도 3은 종래의 액정 표시 장치에서 그리니쉬를 유발하는 특정 패턴을 도시한 도면이다.
- [0004] 도 4a 및 도 4b는 도 3에 도시된 특정 패턴으로 인한 공통 전압과 게이트 로우 전압의 스윙 폭을 비교하여 도시한 도면이다.
- [0005] 도 5는 도 4a 및 도 4b에 도시된 공통 전압의 스윙으로 인한 그리니쉬 현상을 설명하기 위한 도면이다.
- [0006] 도 6은 종래의 액정 표시 장치에서 수평 크로스토크를 유발하는 윈도우를 포함하는 특정 패턴을 도시한 도면이다.
- [0007] 도 7은 도 6에 도시된 윈도우 영역을 포함하는 구간과 포함하지 않는 구간에서의 공통 전압과 게이트 로우 전압의 스윙 폭을 비교하여 도시한 도면이다.
- [0008] 도 8은 도 7에 도시된 공통 전압의 스윙으로 인한 수평 크로스토크 현상을 설명하기 위한 도면이다.
- [0009] 도 9는 본 발명의 제1 실시 예에 따른 라인 온 글래스형 액정 표시 장치를 도시한 평면도이다.
- [0010] 도 10은 도 9에 도시된 액정표시패널의 라인 온 글래스형 신호라인과 신호전송라인을 나타내는 평면도이다.
- [0011] 도 11은 도 10에서 선"VI-VI"를 따라 절취한 액정표시패널을 나타내는 단면도이다.
- [0012] 도 12는 본 발명의 제2 실시 예에 따른 라인 온 글래스형 액정 표시 장치를 도시한 평면도이다.
- [0013] 도 13은 도 12에서 선"VIII-VIII"를 따라 절취한 액정표시패널을 나타내는 단면도이다.

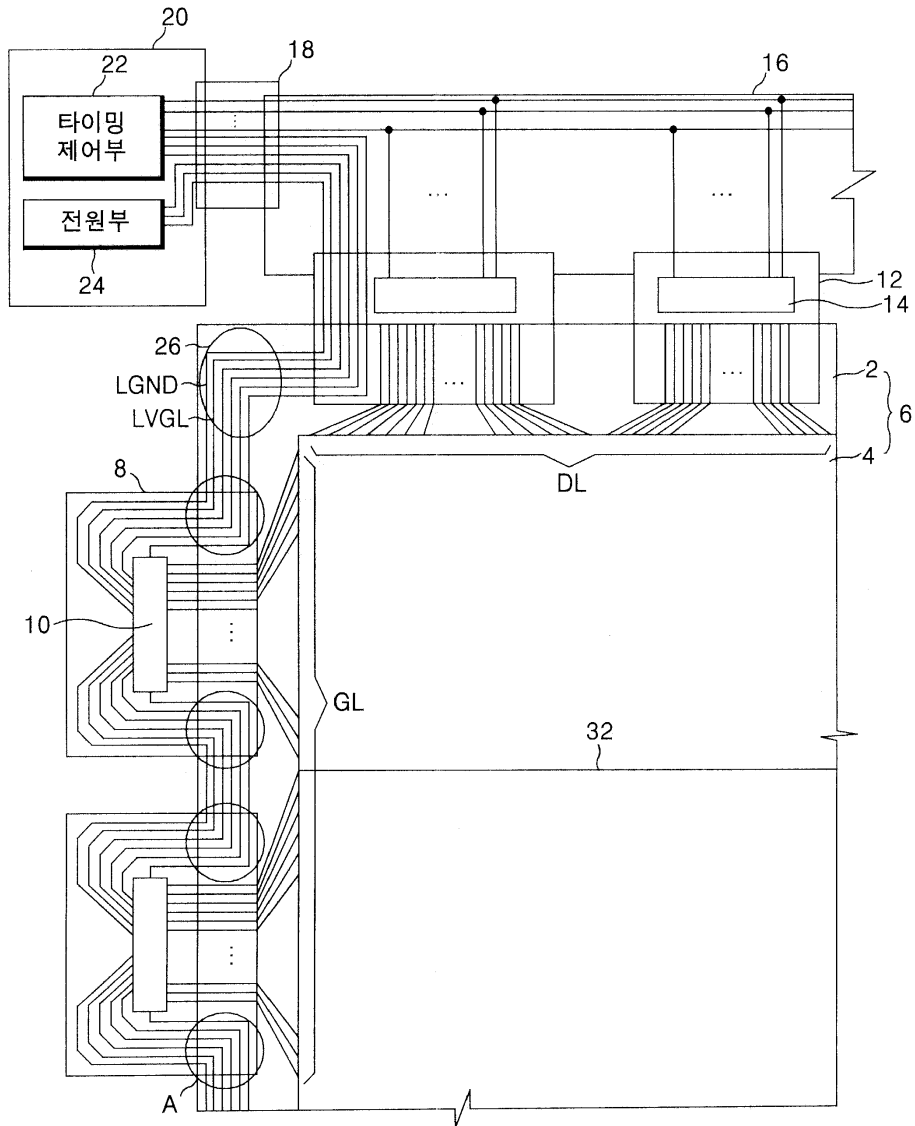
[0014] <도면의 주요부분에 대한 설명>

- |                                |                      |
|--------------------------------|----------------------|
| [0015] 2,102 : 박막 트랜지스터 어레이 기판 | 4,104 : 칼라 필터 어레이 기판 |
| [0016] 6,106 : 액정패널            | 8,108 : 게이트 TCP      |
| [0017] 10,110 : 게이트 드라이브 IC    | 12,112 : 데이터 TCP     |
| [0018] 14,114 : 데이터 드라이브 IC    | 16,116 : 데이터 PCB     |
| [0019] 18 : FPC                | 20 : 메인 PCB          |
| [0020] 22 : 타이밍 제어부            | 24 : 전원부             |
| [0021] 26,126 : LOG 신호 라인군     | 130 : 신호전송라인         |
| [0022] 136 : 접속 도트             |                      |

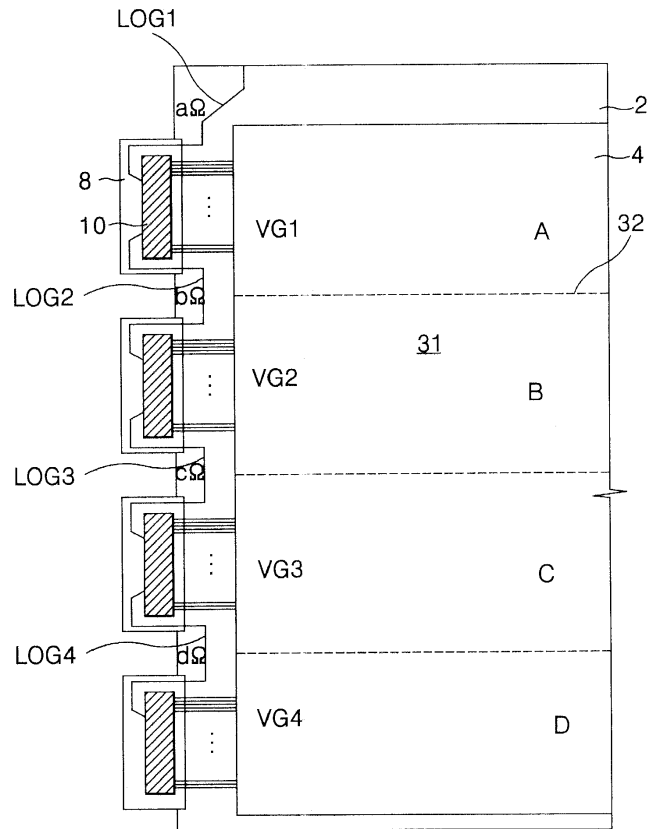


도면

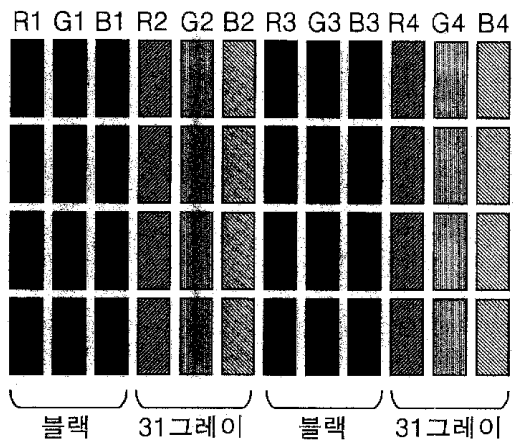
도면1



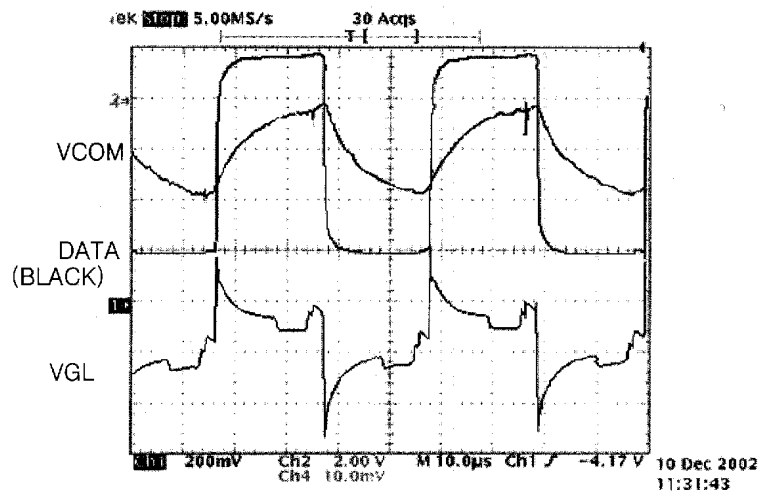
도면2



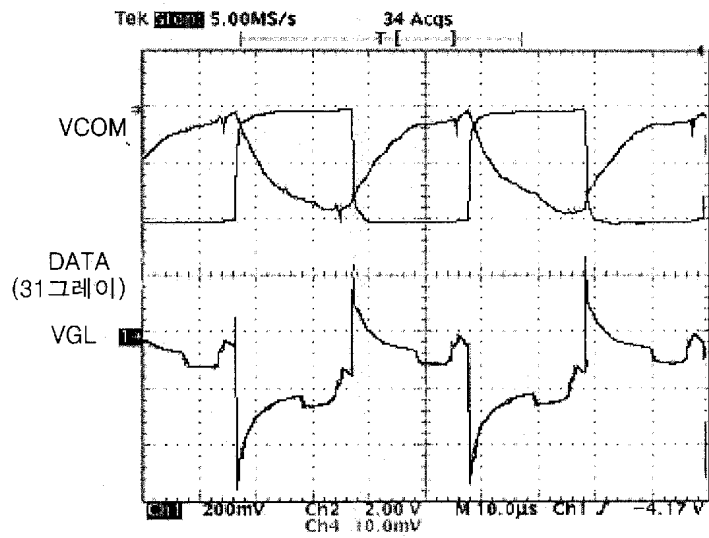
도면3



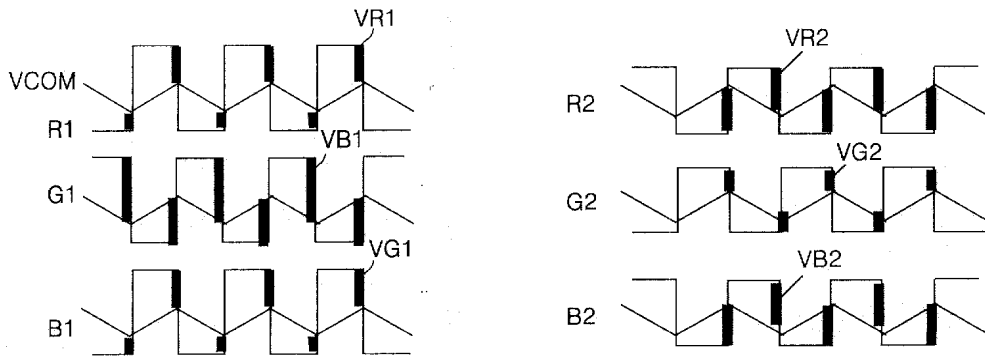
도면4a



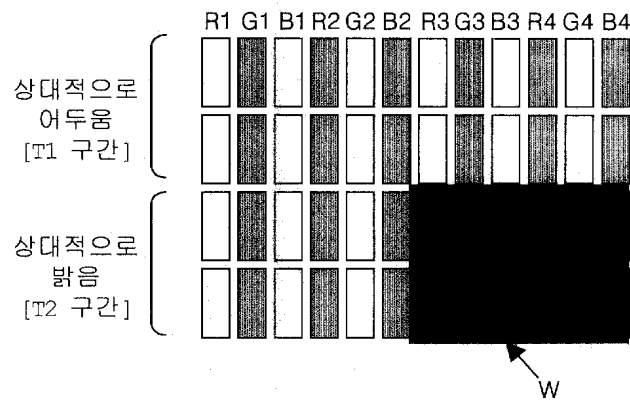
도면4b



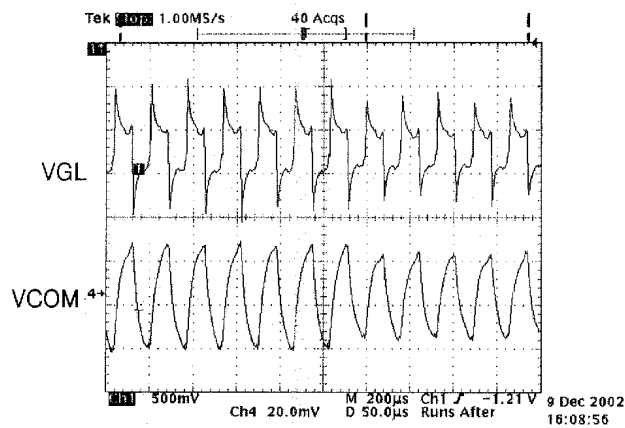
도면5



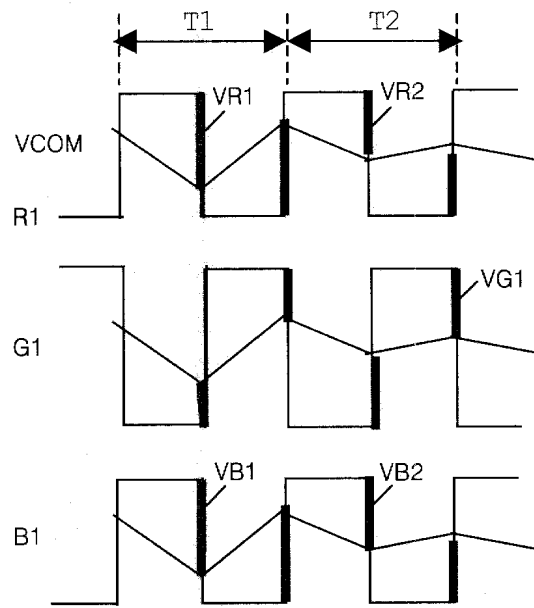
도면6



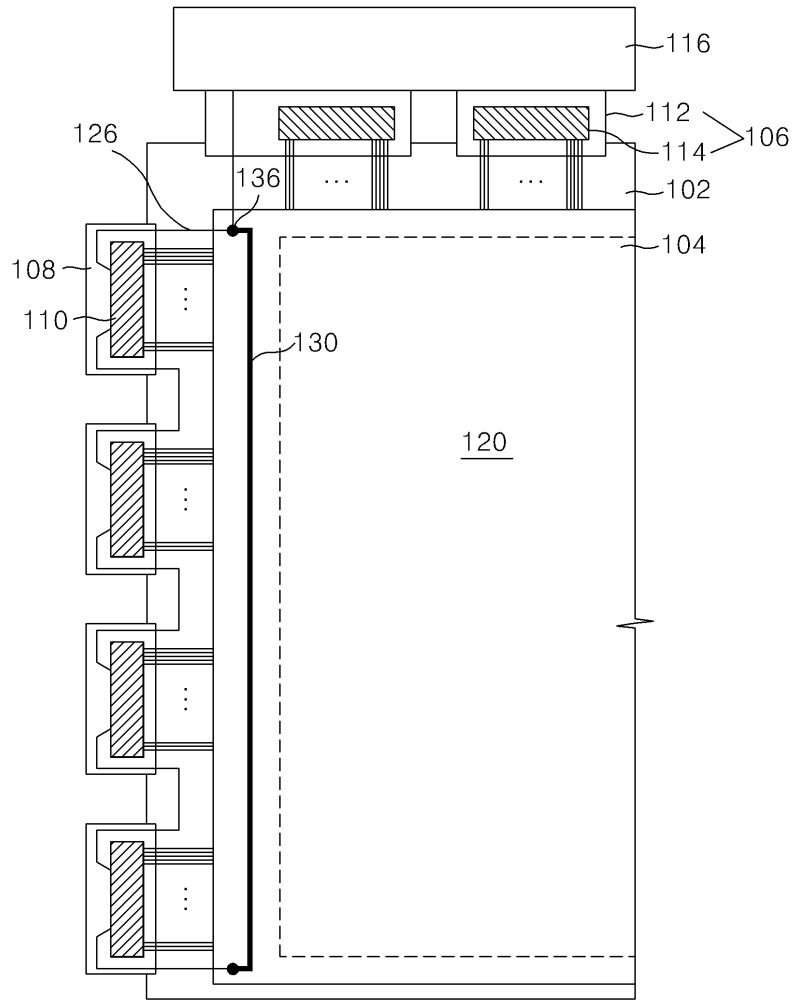
도면7



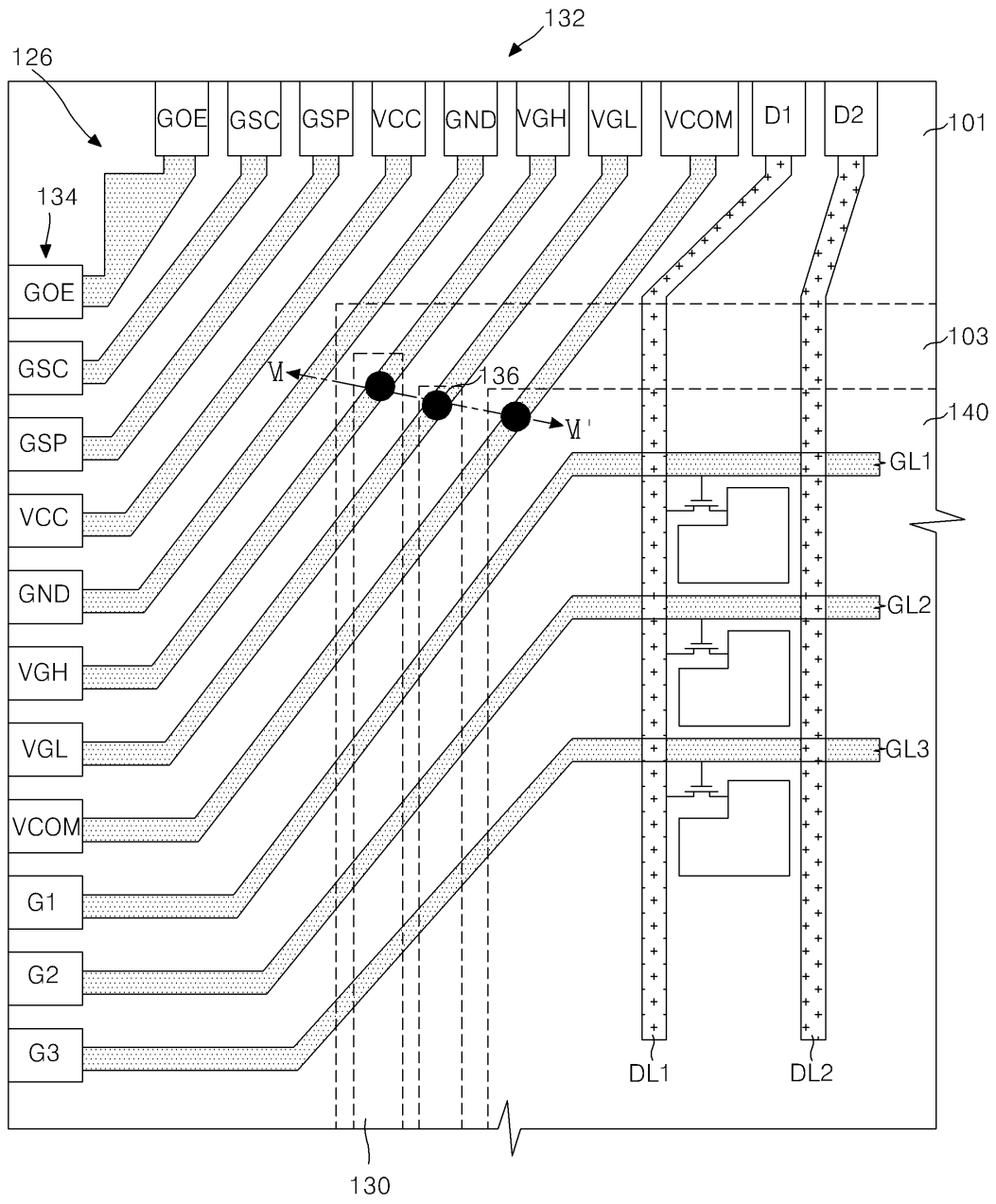
도면8



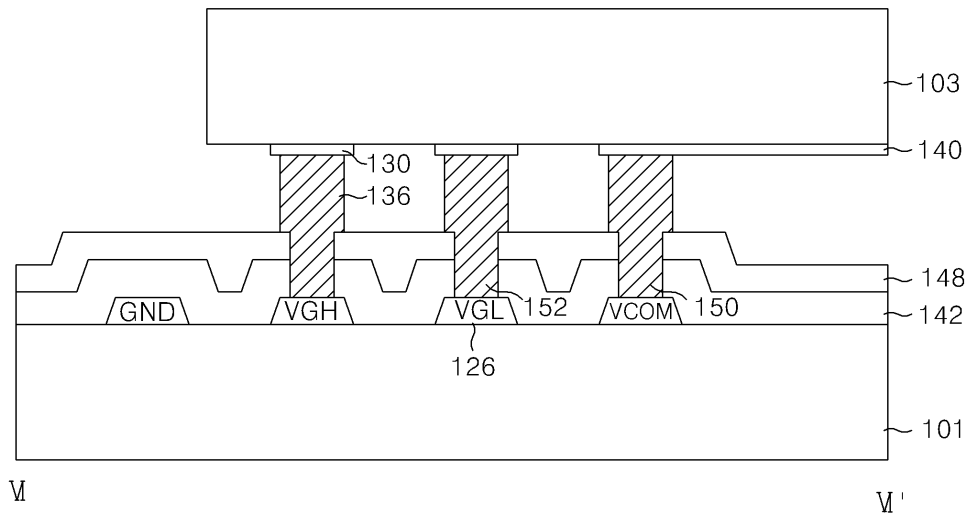
도면9



도면10

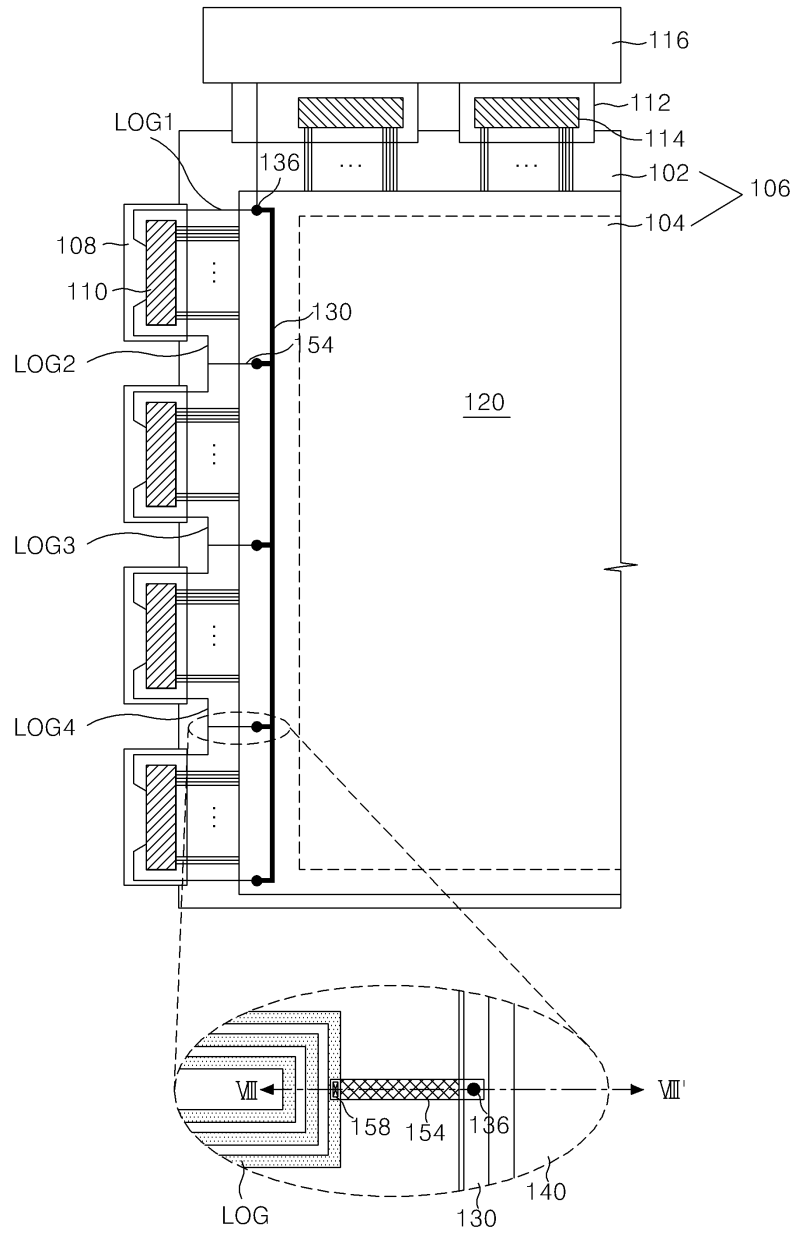


도면11





도면12



도면13

